

$$I_{E1} + I_{E2} = I_O = I_S \left[\left(e^{\frac{V_{BE1}}{V_T}} - 1 \right) + \left(e^{\frac{V_{BE2}}{V_T}} - 1 \right) \right] = I_S \left(e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}} \right)$$

Si come almeno uno dei due transistor è acceso, almeno un esponenziale è molto maggiore di 1 $\Rightarrow$ si può trascurare il -1.

$$I_S = \frac{I_O}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \Rightarrow V_M = V_{CC} - R_C I_O \frac{e^{\frac{V_{BE1}}{V_T}} - 1}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}}$$

$$V_M = V_{CC} - R_C I_O \left\{ \frac{e^{\frac{V_{BE1}}{V_T}}}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} - \frac{1}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \right\}$$

$$\text{da } V_i - V_{REF} = V_{BE1} - V_{BE2}$$

Si come almeno un esponenziale è molto maggiore di 1, questo termine tende a 0

$$V_M = V_{CC} - R_C I_O \frac{1}{1 + e^{\frac{V_{REF} - V_i}{V_T}}}$$

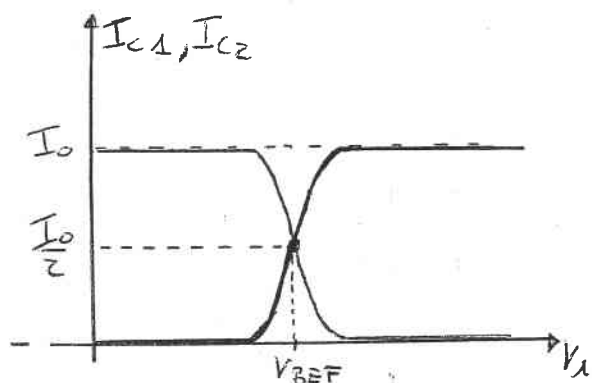
$$\Rightarrow I_{C1} = \frac{I_O}{1 + e^{\frac{V_{REF} - V_i}{V_T}}}$$

$\hookrightarrow$ la caratteristica (di invertitore) è determinata senza portare i due transistor in regione di saturazione

$$I_{E1} + I_{E2} \approx I_{C1} + I_{C2} = I_O \Rightarrow I_{C2} = I_O - I_{C1}$$

$\hookrightarrow$ il generatore di tensione I_O

limita le due correnti I_{C1} ed $I_{C2} \Rightarrow$ questo implica che per V_i maggiore di V_{REF} , I_{C1} è costante $\Rightarrow$ la caduta su R_C è costante $\Rightarrow$ l'uscita è costante senza che i due transistor entrino in saturazione



$\hookrightarrow$ le due correnti, a causa del generatore di corrente, sono complementari.

per $V_i > V_{REF}$

$$I_{C1} \rightarrow I_O \Rightarrow V_M \rightarrow V_{CC} - R_C I_O$$

$$I_{C2} \rightarrow 0$$

per $V_i = V_{REF}$

$$I_{C1} = \frac{I_O}{2} \Rightarrow V_M = V_{CC} - R_C \frac{I_O}{2}$$

$$I_{C2} = \frac{I_O}{2}$$

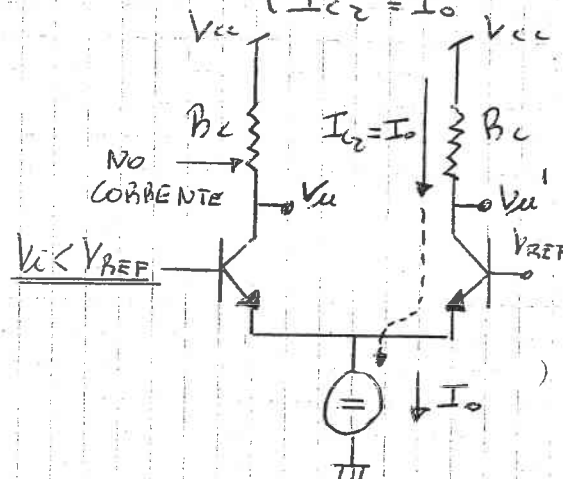
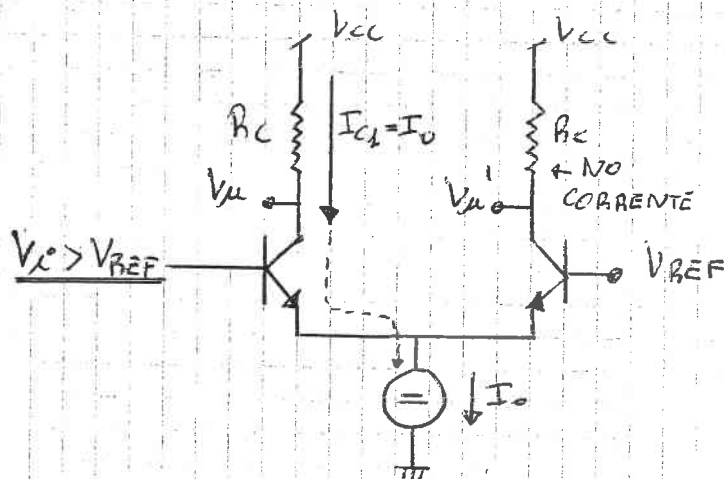
per $V_i < V_{REF}$

$$I_{C1} \rightarrow 0 \Rightarrow V_M = V_{CC}$$

$$I_{C2} \rightarrow I_O$$

$$\left. \begin{aligned} V_{BE1} &= V_i - V_x \\ V_{BE2} &= V_{REF} - V_x \end{aligned} \right\} \text{ se } V_i > V_{REF} \Rightarrow V_{BE1} > V_{BE2} \Rightarrow e^{\frac{V_{BE1}}{V_T}} \gg e^{\frac{V_{BE2}}{V_T}} \Rightarrow I_{C1} \gg I_{C2} \Rightarrow \begin{cases} I_{C1} \approx I_0 \\ I_{C2} \approx 0 \end{cases}$$

$$\text{se } V_i < V_{REF} \Rightarrow V_{BE1} < V_{BE2} \Rightarrow e^{\frac{V_{BE1}}{V_T}} \ll e^{\frac{V_{BE2}}{V_T}} \Rightarrow I_{C1} \ll I_{C2} \Rightarrow \begin{cases} I_{C1} \approx 0 \\ I_{C2} \approx I_0 \end{cases}$$



↳ la tensione V_i determina su quale ramo far scorrere la corrente del generatore I_0 .

↳ la corrente $I_{C1} = I_0$ e quindi $V_u = V_{CC} - R_C I_0 \rightarrow$ valore basso

↳ la corrente $I_{C2} = 0$ e quindi $V_{u'} = V_{CC} \rightarrow$ valore alto

↳ la corrente $I_{C1} = 0$ e quindi $V_u = V_{CC} \rightarrow$ valore alto

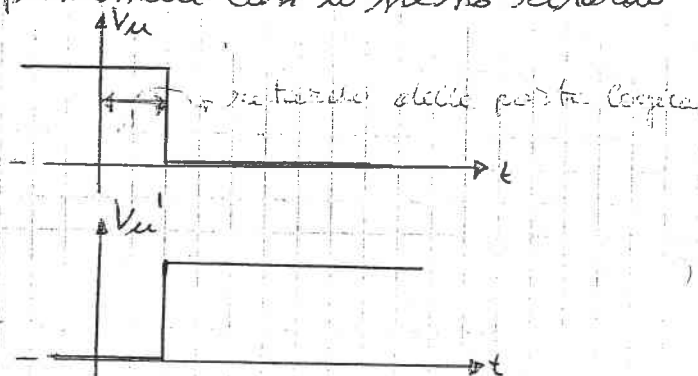
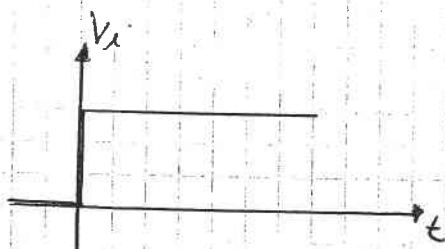
↳ la corrente $I_{C2} = I_0$ e quindi $V_{u'} = V_{CC} - R_C I_0 \rightarrow$ valore basso

↳ $V_{u'}$ è il complementare di V_u $V_i \rightarrow \begin{cases} V_u = \bar{V}_i \\ V_{u'} = V_i \end{cases}$

La funzione identità $V_{u'}(V_i)$ è utile per

① l'immunità ai disturbi: i due tratti a pendenza nulle sopprimono il rumore

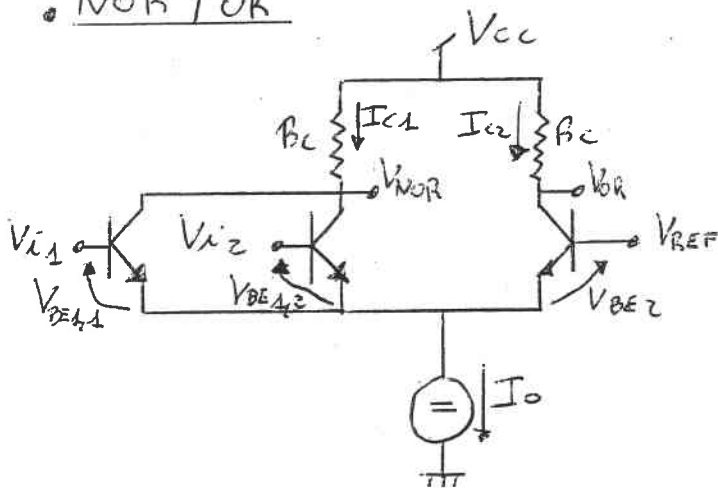
② avere due segnali complementari con lo stesso ritardo



↳ i due segnali di uscita non sono disallineati

FUNZIONI LOGICHE A PIU' INGRESSI

NOR / OR

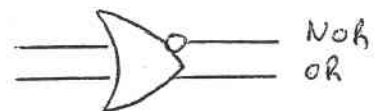


V_{i1}	V_{i2}	V_{NOR}	V_{OR}
V_L	V_L	V_H	V_L
V_L	V_H	V_L	V_H
V_H	V_L	V_L	V_H
V_H	V_H	V_L	V_H

(con $V_L < V_{REF} < V_H > V_{REF}$)

• se $V_{i1} \text{ e } V_{i2} < V_{REF}$

- $\rightarrow V_{BE2} > V_{BE1,1} \text{ e } V_{BE1,2}$
- $\rightarrow I_{C2} = I_0 \text{ e } I_{C1} = 0$
- $\rightarrow V_{NOR} = V_{CC} = V_H \text{ e } V_{OR} = V_{CC} - R_C I_0 = V_L$



• se almeno uno tra $V_{i1} \text{ e } V_{i2} > V_{REF}$

- $\rightarrow V_{BE2} < V_{BE1,1} \text{ o } V_{BE1,2} \rightarrow I_{C2} = 0 \rightarrow V_{OR} = V_{CC} = V_H$
- $\rightarrow I_{C1} = I_0 \rightarrow V_{NOR} = V_{CC} - R_C I_0 = V_L$

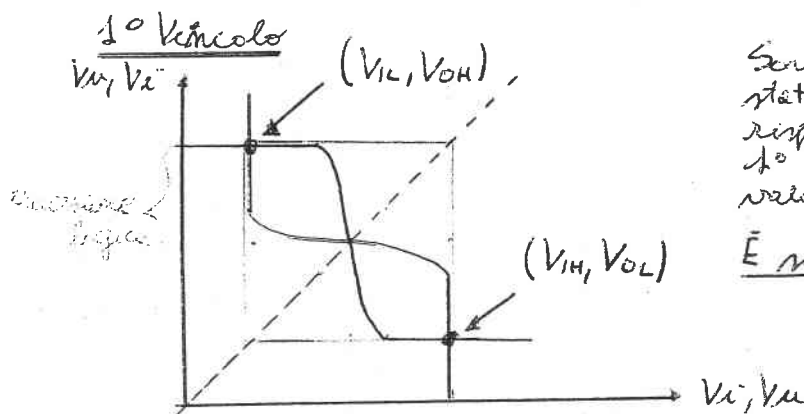
STUDIO DEI VINCOLI DI PROGETTO

Bisogna imporre che i due transistor non siano mai saturati e che l'escursione logica sia massima (in modo da avere un buon margine di immunità ai disturbi) ottenendo la scelta dei parametri liberi ed indipendenti.

V_{CC} (tracce la caratteristica statica verticalmente $\updownarrow$)

V_{REF} (tracce la caratteristica statica orizzontalmente $\leftrightarrow$)

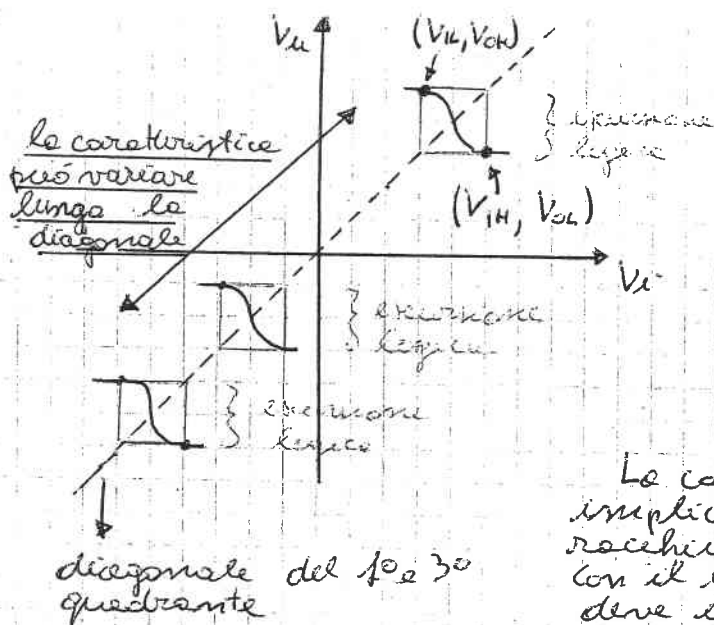
$R_C I_0$ (è l'escursione logica)



Sovrapporre la caratteristica statica con la stessa ribaltata rispetto la bisettrice del 1° quadrante si trovano i valori bassi ed alti (cioè V_L e V_H)

È necessario che

$$V_{IL} = V_{OL} \text{ e } V_{OH} = V_{IH}$$



$V_{OH} = V_{IH}$ e $V_{OL} = V_{IL}$
 implica che i valori bassi o alti di uscita di una porta siano considerati come tali dall'ingresso di una porta logica identica successive
 ↳ si possono connettere in cascata più porte logiche

La condizione $V_{OH} = V_{IH}$ e $V_{OL} = V_{IL}$ implica che il quadrato, che racchiude la caratteristica statica, con il lato pari all'esaurimento, deve essere proiettato sulle diagonale del 1° e 3° quadrante

1° vincolo: il quadrato che racchiude la caratteristica può variare lungo la bisettrice del 1° e 3° quadrante

2° vincolo

$V_{CE1} > V_{CESAT}$ (e $V_{CE2} > V_{CESAT} \Rightarrow$ condizione che si può trascurare in quanto, avendo il circuito fortemente simmetrico, è garantita da $V_{CE1} > V_{CESAT}$)

$V_{CE1} = V_{CC} - (V_{I1} - V_{BE1})$

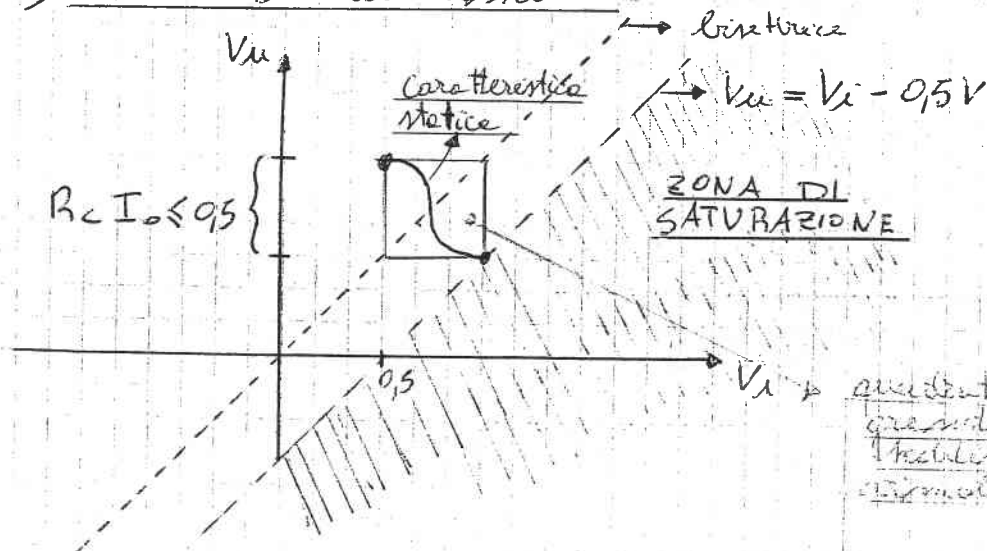
$V_{CE1} \cong V_{CC}$ (non uguale perché per tracciare la caratteristica non si è usato il modello a soglia)

2° vincolo

$$V_{CC} > V_{I1} - V_{BE1} + V_{CESAT}$$

$$V_{CC} > V_{I1} - 0,5$$

↳ usando i due vincoli



questo più grande che l'altezza delle porte

In questo modo l'emissione logica $\leq 0,5 V \Rightarrow N_{ML} + N_{MH} < 95$

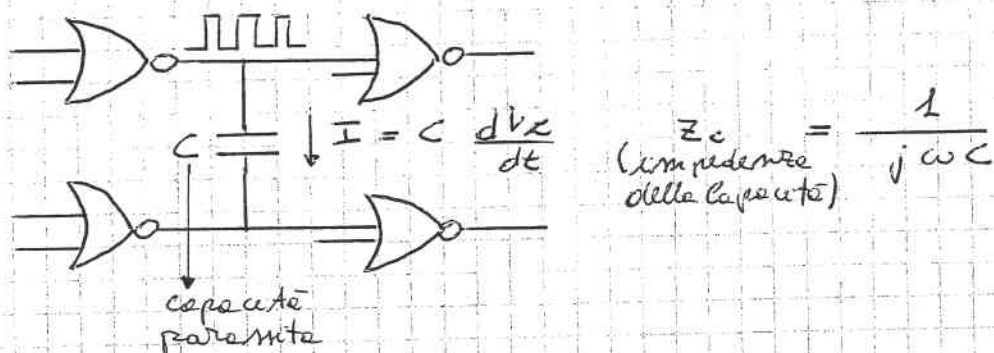
$$\Rightarrow N_M = \min \{N_{ML}, N_{MH}\} < 0,25$$

La non saturazione $\Rightarrow$ tempi di propagazione piccoli
 $\Rightarrow$ ridotto N_M

Problema : Fenomeno di CROSS TALK e INDUTTIVI

Le porte veloci (t_p piccolo) sono soggette ad un elevato rumore $\Rightarrow$ serve un alto N_M

- Infatti, data una rete combinatoria realizzata da sole porte NOR in logica ECL

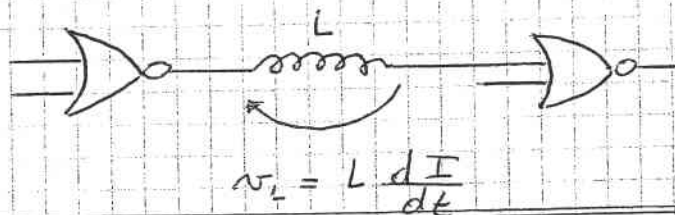


la corrente $I = C \frac{dV_c}{dt}$ è un disturbo del circuito che aumenta con l'aumentare della velocità e quindi della variazione di V_c

Z_c diminuisce all'aumentare delle frequenze (velocità) provocando un cortocircuito e quindi un forte rumore nella rete combinatoria vicina.

$\Rightarrow$ Fenomeno di CROSS TALK

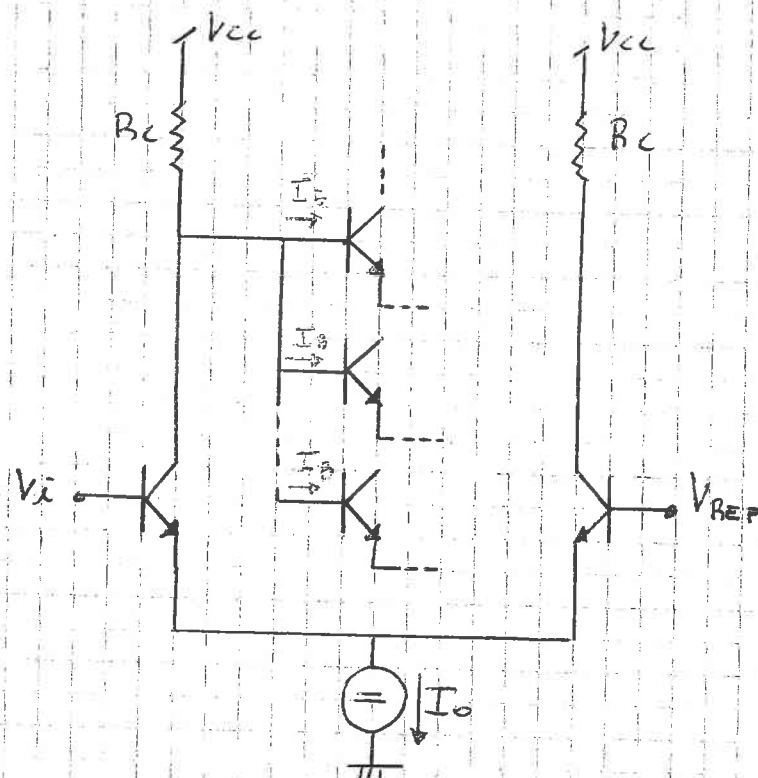
- Il filo che collega due porte logiche ha un'induttanza L parassita la cui caduta è proporzionale alla derivata della corrente $\Rightarrow$ il segnale si degrada (rumore)



Alle alte frequenze le interconnessioni introducono un forte rumore

Problema : FAN-OUT

Con $f_{an-out} > 1$



Quando l'uscita è alta i transistor collegati ad essa si accendono $\Rightarrow$ le correnti di base non sono nulle

$\hookrightarrow$ l'uscita alta è $V_{cc} - R_C \cdot n I_B < V_{cc}$
 $\downarrow$
 f_{an-out}

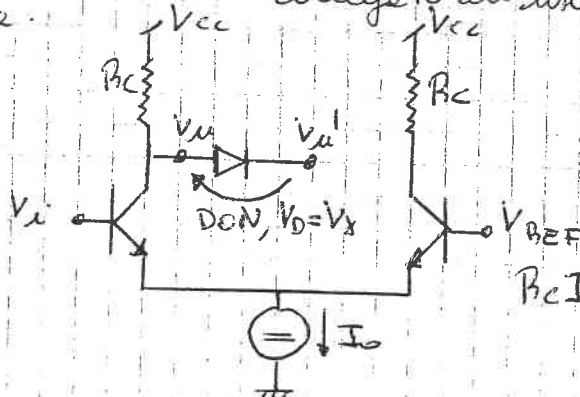
$\hookrightarrow$ diminuire $V_H \Rightarrow$ diminuire l'escursione logica

$\hookrightarrow$ diminuire N_H

$\hookrightarrow$ per non annullare N_H (già vicino a 0 con $f_{an-out}=0$) il f_{an-out} deve essere molto piccolo

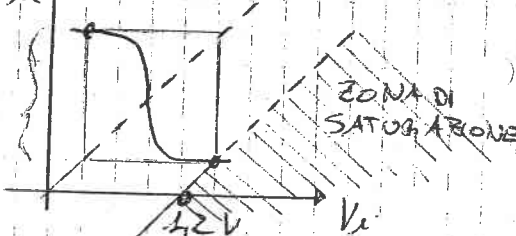
1^a Soluzione

Si usa un diodo collegato all'uscita per aumentare l'escursione logica.

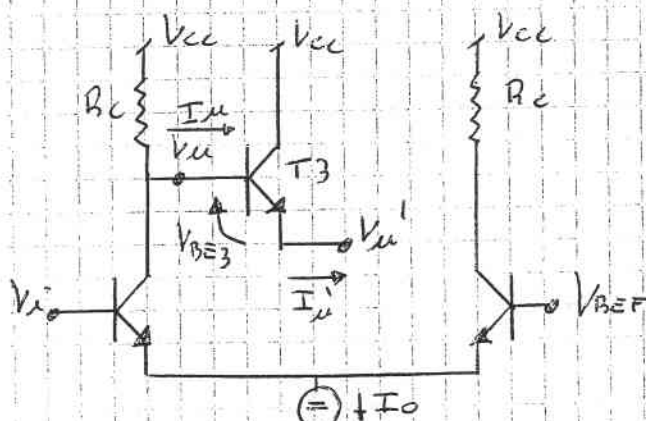


$$V_u' = V_u - V_x \text{ e da } V_u > V_i - V_{BE} + V_{CESAT}$$

$$V_u' > V_i - 2V_{BE} + V_{CESAT} = V_i - 1,2$$



2ª Soluzione : STADIO DI BUFFER



① Siccome $Vu' > Vi - 2V_{BE} + V_{CESAT}$ l'escursione logica massima ($R_c I_o = 1V$) e, come nel diodo, aumento il margine di immunità ai disturbi.

② T3 non è SAT perché per esserlo $V_{BC3} > 0$ ma $V_{C3} = V_{CC}$ e $V_{B3} < V_{CC}$ e quindi $V_{BC3} < 0$.

T3 è in RN (non c'è il problema dell'uscita dalla saturazione)

$$Iu' = (\beta_F + 1) Iu \Rightarrow Iu = \frac{Iu'}{(\beta_F + 1)}$$

se n è il fan-out ed I_o la corrente entrante in ogni porta collegata all'uscita della porta da analizzare

↳ l'uscita alta è $V_{CC} - R_c Iu = V_{CC} - R_c \frac{Iu'}{(\beta_F + 1)}$ ma

$Iu' = n I_B$ quindi

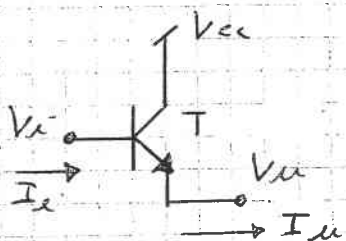
$$V_H = V_{CC} - R_c I_B = \frac{n}{(\beta_F + 1)}$$

degrada poco il valore alto.

↳ il fan-out massimo è aumentato di un fattore $(\beta_F + 1)$ rispetto alle porte senza transistor in uscita.

↳ aumentare il fan-out

STADIO DI BUFFER (a collettore comune)



T è in RN

$$Vu = Vi - V_{BE}$$

$$A_V = \frac{dVu}{dVi} = 1$$

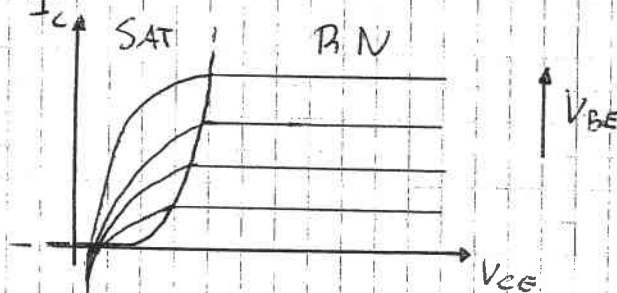
$$Iu = (\beta_F + 1) Ii$$

$$A_I = \frac{dIu}{dIi} = (\beta_F + 1)$$

↳ amplificatore di corrente
($Iu \gg Ii$; moltiplica la corrente di uscita da quella di ingresso)

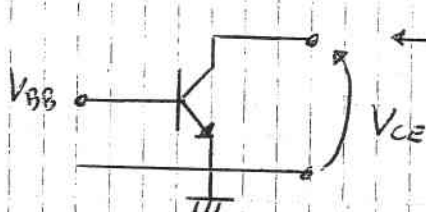
STUDIO DEL GENERATORE DI CORRENTE (GENERATORE A SPECCHIO DI CORRENTE)

→ Si usa la caratteristica di uscita di un BJT



se $V_{CE} > V_{CE_{SAT}}$ allora la corrente I_C varia al variare della V_{BE}

→ generatore di corrente controllato in tensione



$$I = I_C(V_{BE})$$

→ non varia al variare di V_{CE} (se si trascura l'effetto Early) se il transistor è in RN.

→ Negliando $V_{BB} = V_{BE} \Rightarrow$ si determina I_C .

Problemi

① Nella realtà non si possono avere in un circuito più tensioni di alimentazione (V_{CC} , V_{BE} , V_{BB}) per tutte le migliaia di porte logiche di un circuito integrato

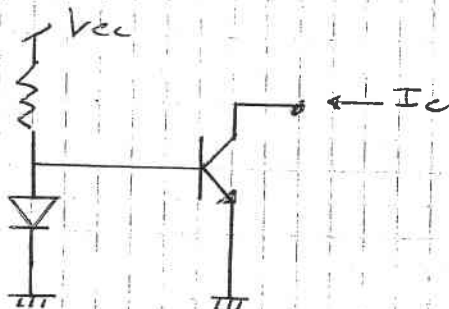
② Usando la tensione V_{BB} il circuito è molto sensibile al rumore in quanto in RN

$$I_C = I_S \left(e^{\frac{V_{BB}}{V_T}} - 1 \right)$$

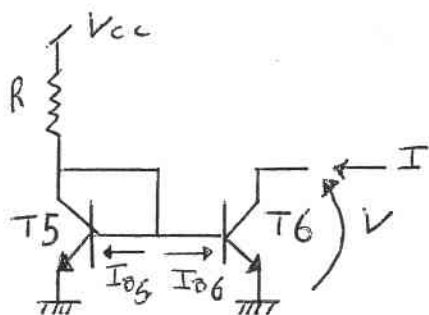
se varia poco V_{BB} , a causa del rumore, la corrente I_C , che dovrebbe essere costante, varia molto.

1ª Soluzione

Per polarizzare il circuito servibile $V_{BB} = V_f$ quando



2ª Soluzione : GENERATORE A SPECCHIO DI CORRENTE



re T5 e T6 β_F

$$I_{C6} = I_S \left(e^{\frac{V_{BE6}}{V_T}} - 1 \right)$$

$$I_{C5} = I_S \cdot \left(e^{\frac{V_{BE5}}{V_T}} - 1 \right)$$

ma $V_{BE6} = V_{BE5}$ quindi

$$I_{C5} = I_{C6} = I$$

la corrente I_{C6} non dipende dalle tensioni applicate alle base di T6 ma specchia la corrente I_{C5} .

$$\text{da } V_{CC} - R(I_{C5} + I_{B6} + I_{B5}) - V_{BE5} = 0$$

$$V_{BE5} = V_T ; I_{B6} = I_{B5} \text{ (perché } V_{BE1} = V_{BE2})$$

$$I_{C6} = \beta_F I_{B6} \quad \text{e} \quad I_{C5} = \beta_F I_{B5}$$

$$V_{CC} - R \left\{ I + \frac{2I}{\beta_F} \right\} - V_T = 0 \quad V_{CC} - V_T = RI \left(1 + \frac{2}{\beta_F} \right)$$

$$I = \frac{V_{CC} - V_T}{R \left(1 + \frac{2}{\beta_F} \right)} \quad \text{ma } \beta_F \gg 1 \text{ quindi}$$

$$\boxed{I = \frac{V_{CC} - V_T}{R}}$$

modificando il valore di R varia la corrente I

↳ la dipendenza lineare, e non più esponenziale, rende stabile la corrente I e fronte di piccole variazioni della resistenza R.

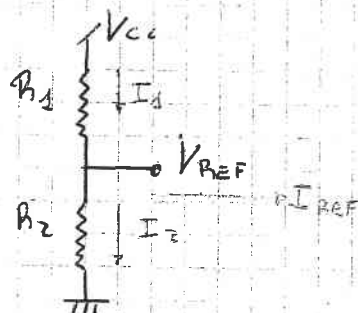
Considerazioni

① Il modello è valido se $V > V_{CESAT}$, cioè se T6 è in R.A.

② La corrente I specchia la corrente $I_R \Rightarrow$ per generare una corrente costante se ne crea un'altra speculare

↳ Aumenta la potenza statica dissipata.

STUDIO DEL GENERATORE DI TENSIONE COSTANTE (V_{REF})



• A vuoto ($I_{REF} = 0$)

$$\begin{aligned} V_{CC} - R_1 I_1 &= V_{REF} \\ V_{REF} &= R_2 I_2 \Rightarrow I_2 = \frac{V_{REF}}{R_2} \\ I_1 &= I_2 \\ V_{CC} - \frac{R_1 V_{REF}}{R_2} &= V_{REF} \end{aligned}$$

$$V_{REF} = V_{CC} \cdot \frac{R_2}{R_1 + R_2}$$

• Con il carico ($I_{REF} > 0$)

$$I_1 = I_2 + I_{REF}$$

$$V_{CC} - R_1 I_1 = V_{REF}$$

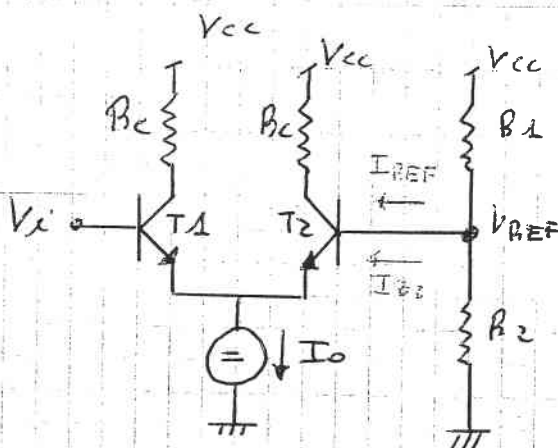
$$V_{REF} = R_2 I_2$$

$$\left. \begin{aligned} I_1 &= I_2 + I_{REF} \\ V_{CC} - R_1 I_1 &= V_{REF} \end{aligned} \right\} V_{CC} - R_1 \left(\frac{V_{REF}}{R_2} + I_{REF} \right) = V_{REF}$$

$$V_{REF} = \frac{R_2}{R_1 + R_2} (V_{CC} - R_1 I_{REF})$$

Se I_{REF} fosse costante la caduta $R_1 I_{REF}$ non darebbe problemi in quanto V_{REF} è inferiore a V_{CC} e deve essere costante.

$$I_{REF} = I_{B2}$$



la corrente di collettore dei due transistor è compresa tra 0 ed I_0

$$0 \leq I_{C2} \leq I_0$$

come i due transistor sono in Regime Normale

$$0 \leq I_{B2} \leq \frac{I_0}{\beta_F}$$

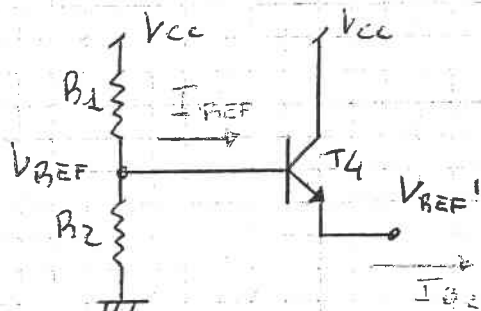
la corrente I_{B2} e quindi I_{REF} , è variabile

↳ Per poter usare il circuito serve che I_1 e $I_2 \gg I_{REF}$ in modo da poter trascurare la corrente I_{REF}

↳ I_1 ed I_2 grandi dissipano molta potenza statica

1^a Soluzione

Per avere I_1 ed $I_2 \gg I_{REF}$, senza diminuire le resistenze R_1 ed R_2 ed aumentare notevolmente le correnti e la potenza dissipata, si diminuisce I_{REF} .



Siccome il transistor è in RN

$$I_{REF} = \frac{I_{B2}}{\beta_F + 1}$$

$$0 \leq I_{REF} \leq \frac{I_0}{\beta_F (\beta_F + 1)}$$

La corrente I_{B2} proviene dal collettore del transistor T_4 e, in minima parte, dalla sua base $\Rightarrow I_{REF}$ è piccola e modifica poco il fan-out del partitore di tensione.

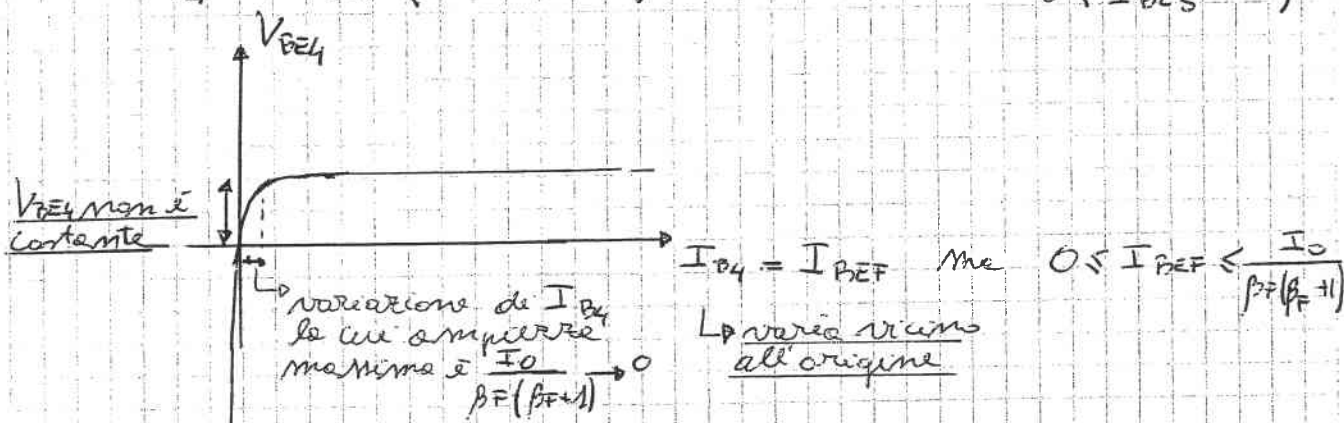
I_1 ed $I_2 \gg I_{REF}$ senza avere delle forti correnti sulle resistenze R_1 ed R_2 e quindi con una piccola potenza dissipata.

$$V_{REF}' = V_{REF} - V_{BE4}$$

$\hookrightarrow$ stabile perché $I_{REF} \approx 0$

Siccome nella base del transistor T_4 non c'è una resistenza non si usa il modello a soglia

$$I_{B4} = I_{BES} \left(e^{\frac{V_{BE4}}{V_T}} - 1 \right) \Rightarrow V_{BE4} = V_T \log \left(\frac{I_{B4}}{I_{BES}} + 1 \right)$$

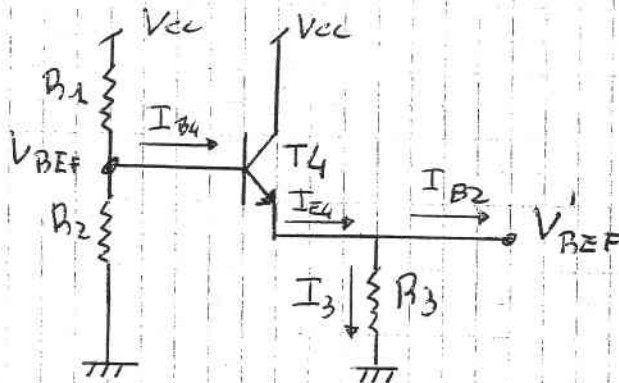


V_{BE4} non è costante e fronte di I_{B4} piccola

$\hookrightarrow$ Serve una corrente I_{B4} sufficientemente grande (per avere V_{BE4} costante) la cui variazione sia sufficientemente piccola (per non avere problemi con il partitore di tensione)

2^a Soluzione

Si aumenta la corrente con una resistenza costante



$$I_{B4} = \frac{I_{E4}}{(\beta_F + 1)}$$

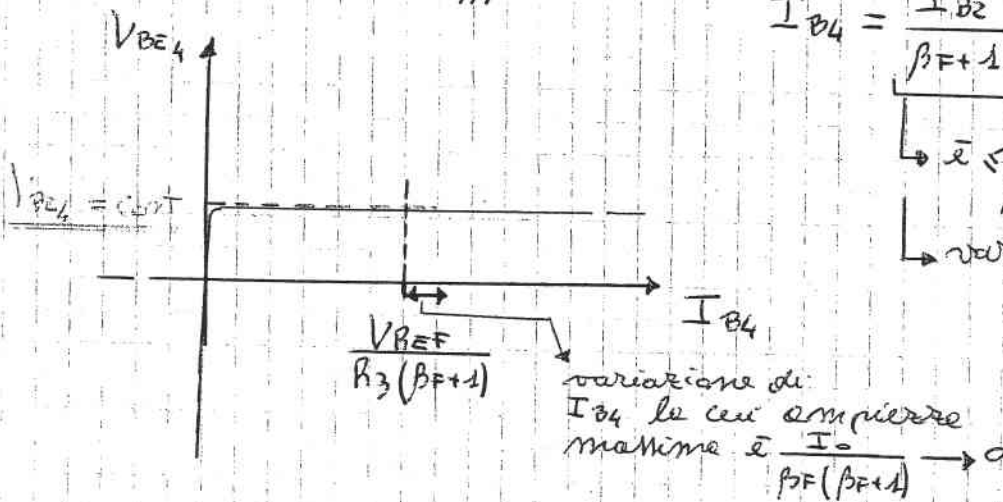
$$I_{E4} = I_{BEF} + I_3$$

$$I_3 = \frac{V_{REF}}{R_3}$$

$$I_{B4} = \frac{I_{B2}}{\beta_F + 1} + \frac{V_{REF}}{R_3 (\beta_F + 1)}$$

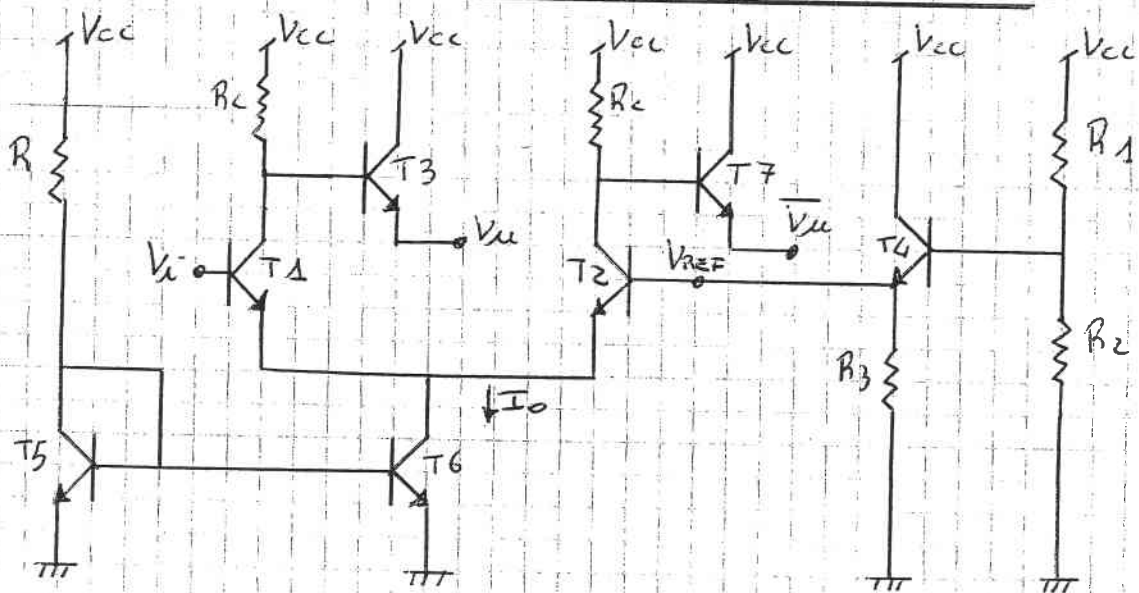
$$\bar{x} \leq \frac{I_0}{\beta_F (\beta_F + 1)}$$

varia poco



R_3 stabilizza la tensione V_{BE4}

SCHEMA DI UNA PORTA COMMERCIALE ECL



La potenza dissipata è elevata perché

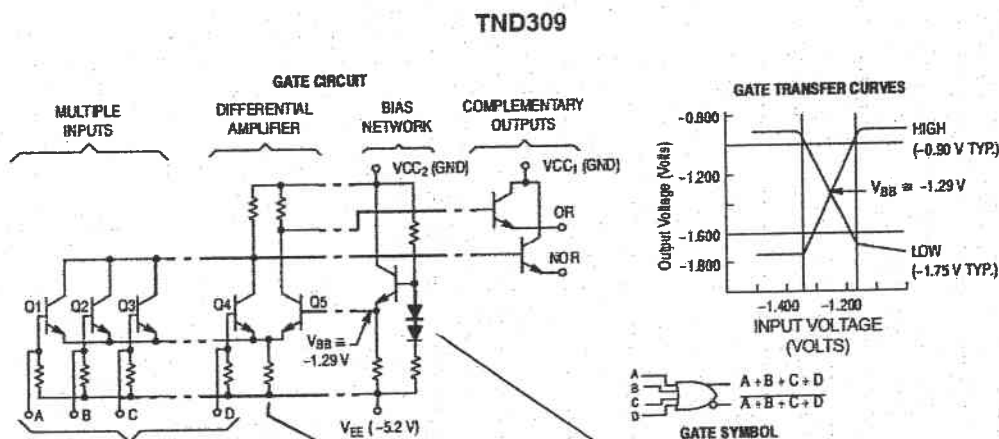
- ① Il generatore a specchio di corrente duplica la corrente I_0 aumentando la potenza dissipata
- ② Il partitore di tensione deve avere le due correnti I_1 ed $I_2 \gg I_4 \Rightarrow$ potenza dissipata elevata
- ③ La resistenza R_3 deve essere tale da avere una corrente che stabilizzi $V_{BE4} \Rightarrow$ dissipazione di potenza.

La porta è veloce perché

- ① I transistor non sono mai saturi.
 - ② Le correnti sono elevate e quindi $\frac{dV}{dt}$ è elevato
 - ③ La porta logica contemporaneamente ha due uscite complementari $\Rightarrow$ non servono ulteriori invertitori.
- ↳ la logica ECL è stata utilizzata negli anni '80 nei super-calcolatori dove la velocità di elaborazione era più importante della potenza dissipata

TND309

General Information for MECL 10H™ and MECL 10K™



↳ le resistenze di ingresso servono a stabilizzare l'uscita delle porte logiche precedenti (come la resistenza R_3 dell'circuito studiato)

c'è la resistenza al posto del generatore a specchio di corrente

ci sono due diodi

MECL FAMILY COMPARISONS

famiglia più veloce
in quanto usa il generatore
a specchio di corrente

famiglia che
dissipa di meno
ed è più lenta
della logica MECL10H

Table 1. General Characteristics

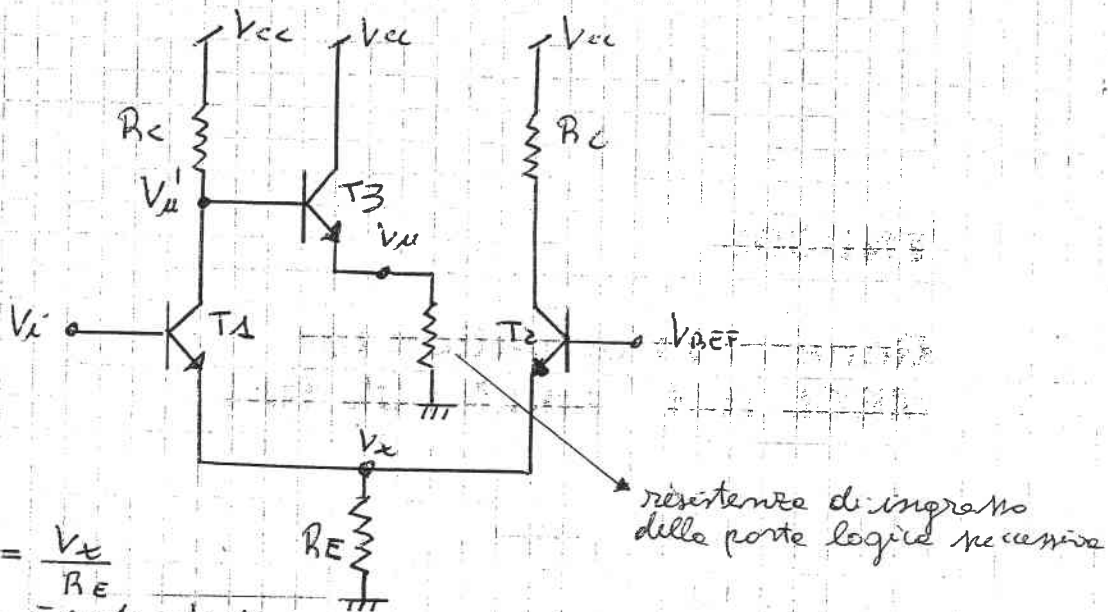
Feature	MECL 10H	MECL 10K	
		10,100 Series	10,200 Series
1. Gate Propagation Delay	1.0 ns	2.0 ns	1.5 ns
2. Output Edge Speed*	1.0 ns	3.5 ns	2.5 ns
3. Flip-Flop Toggle Speed	250 MHz min	125 MHz min	200 MHz min
4. Gate Power	25 mW	25 mW	25 mW
5. Speed Power Product	25 pJ	50 pJ	37 pJ

*Output edge speed: MECL 10K/10H measured 20% to 80%.

Table 2. Operating Temperature Range

Ambient Temperature Range	MECL 10H	MECL 10K
0° to 75°C	MC10H100 Series	
-30°C to +85°C		MC10100 Series MC10200 Series

- Studio del circuito con la resistenza al porto del generatore di corrente



$$I_O = \frac{V_x}{R_E}$$

↳ $\bar{x}$ corrente I_O
 V_x è costante

- Quando T2 è ON, $V_{BE2} = V_x$, $V_x < V_{BEF} = \text{cost}$; $V_x = V_{BEF} - V_y = \text{cost}$
 V_x è costante $\Rightarrow I_O = \frac{V_x}{R_E}$ è costante.

- Quando T2 è OFF, $V_{BE2} < V_x$, $V_x > V_{BEF} = \text{cost}$ V_x non è cost.

↳ T1 è RN

$$V_u = V_u' - V_y = V_{cc} - R_c (I_{C1} + I_{B2}) - V_y \approx V_{cc} - R_c I_{C1} - V_y$$

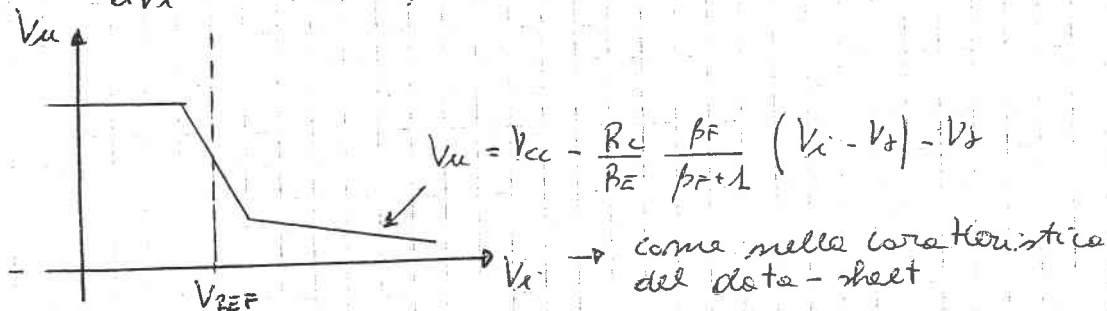
↳ è utile grazie al buffer

$$I_{E1} = I_O = \frac{V_x - V_y}{R_E}$$

$$I_{C1} = \frac{\beta_F}{\beta_F + 1} I_{E1}$$

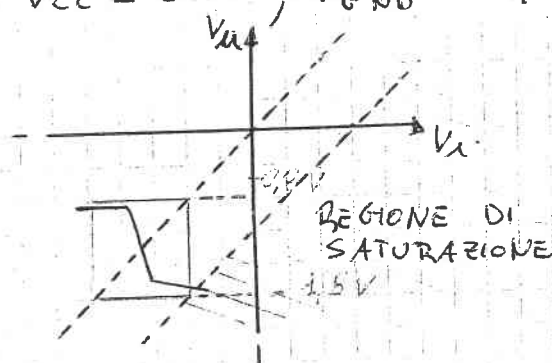
$$V_u = V_{cc} - \frac{R_c}{R_E} \frac{\beta_F}{\beta_F + 1} (V_i - V_s) - V_s$$

$$A_V = \frac{dV_u}{dV_i} = - \frac{R_c}{R_E} \frac{\beta_F}{\beta_F + 1} \approx - \frac{R_c}{R_E}$$



• Analisi dei valori delle tensioni della caratteristica del data-sheet

$$V_{cc} = 0V; V_{GND} = -5,2V$$



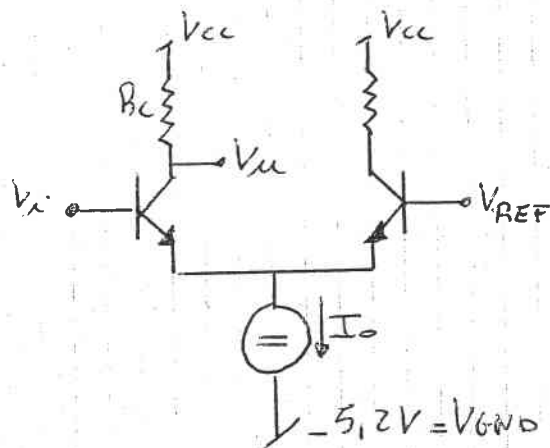
⇒ anche se le tensioni sono negative, non variando le differenze di potenziale, la porta logica si comporta come quella studiata

$$\text{Valore Alto } (V_H) = -0,8V$$

$$\text{Valore Basso } (V_L) = -1,8V$$

V_{cc} è uguale a 0 perché il segnale di massa, molto distribuito nel circuito integrato, risente poco del rumore perché è fortemente legato a 0.

Dallo schema del circuito ECL



↳ per collegare una rete ECL con una TTL serve un circuito che "trasli" verso l'alto a valore di tensione

logica ECL → logica TTL

$$\underline{V_H} \quad -0,8V \rightarrow 3,6V$$

$$\underline{V_L} \quad -1,8V \rightarrow 0,2V$$

$$V_u = V_{cc} - R_c \frac{I_O}{1 + e^{V_i/V_T}}$$

↳ V_u risente poco del rumore in quanto dipende solo dalla tensione $V_{cc} = 0$, l'unica tensione poco disturbata dall'esterno.

↳ V_{GND} varia molto più di V_{cc} ma, se il generatore di corrente è ideale, non influenza nel circuito

• Differenze tra condensatore e n-MOS

- ↳ Condensatore: le cariche si frangono sulle superficie (armature)
- ↳ n-MOS
 - 1- le cariche positive sono solo sull'armatura metallica
 - 2- le cariche negative sono in modo uguale a quelle positive ma hanno due contributi
 - ↳ componente superficiale di carica mobile
 - ↳ componente distribuita nel volume dell'area della zona svuotata, di carica dovuta a ioni fissi

• Comportamento qualitativo n-MOS

Con $V_{GB} > 0$ si crea un canale conduttivo e l'isolamento con il substrato grazie alla zona svuotata $\Rightarrow$ la struttura è autoscelata

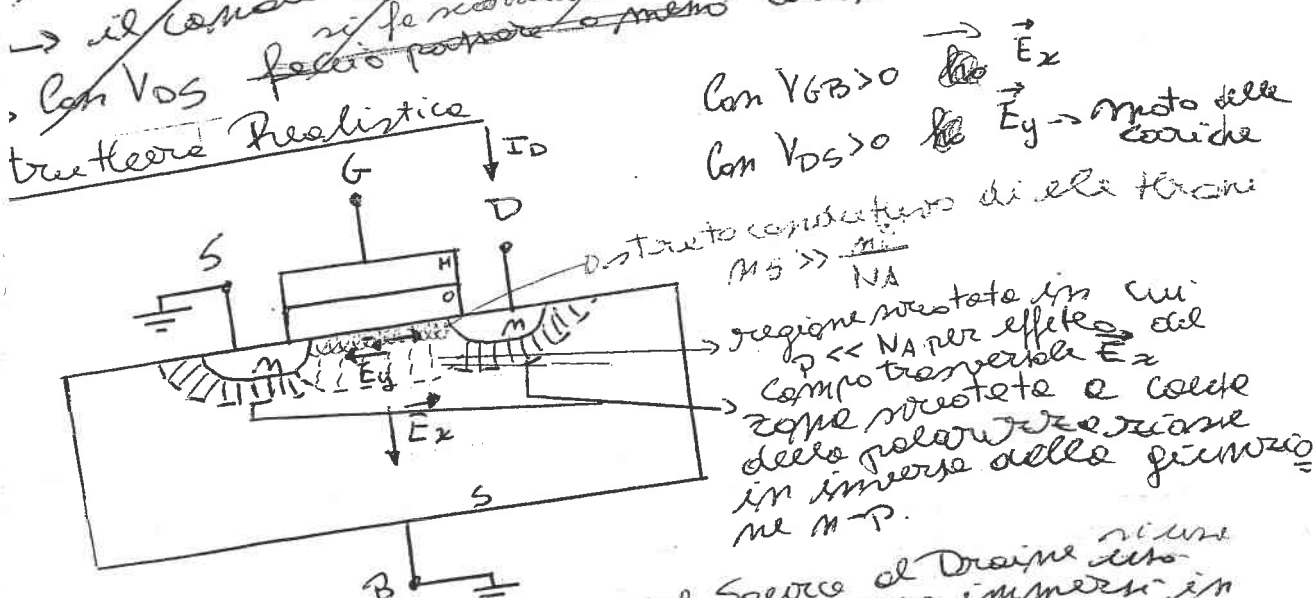
Con un campo E trasversale si crea uno strato di carica la cui densità dipende dalla polarizzazione applicata
 $\Downarrow$
la conducibilità dipende dalla polarizzazione applicata
 $\Downarrow$
il modulo della resistenza

Con un campo E longitudinale (tra Drain e Source) gli elettroni del canale si spostano $\Rightarrow$ nasce una corrente

Quindi

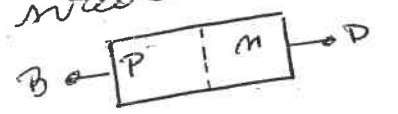
- ↳ Con V_{GB} si forma il canale conduttivo la cui resistenza dipende dalla tensione
 - ↳ la $I_G = 0$ perché è la corrente che attraversa un isolante (in condizioni statiche)
 $\Downarrow$
le porte logiche possono essere in condizioni statiche fan-out = $+\infty$
- ↳ Con V_{DS} si fa scorrere una corrente I_D

ide
 in V_{GB} ~~formo~~ ^{si forma} il canale conduttivo la cui
 resistenza dipende della tensione
 e la $I_G = 0$ perché è la corrente che attraversa
 un isolante (in condizioni statiche)
 Le porte logiche possono avere in condizione
 statiche $V_{DD} = +V$
 → il canale conduttivo è isolato
 se non corre una corrente I_D
 Con V_{GS} faccio passare o meno corrente nel canale



Per raccogliere gli elettroni del canale al Drain ^{non}
 un bagno di raccolta dove i contatti sono immersi in
 zone di tipo n.

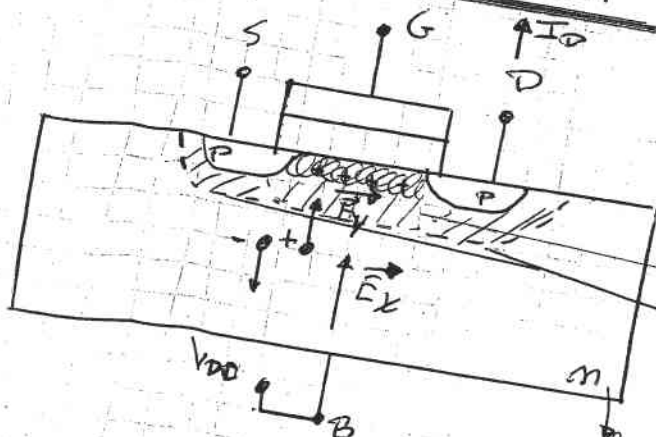
Con $V_{DS} > 0 \Rightarrow I_D > 0$
 Per avere $V_{GB} > 0$ si mette $V_B = 0$ quindi B è a terra
 Per avere $V_{GS} > 0$ si mette $V_S = 0$ quindi S è a terra
 Quindi la giunzione P-n costituita da B-D
 ha la regione n sempre a potenziale più alto di
 quella P
 → regione polarizzata in inverse $\Rightarrow$ c'è una zona
 svuotata che le separa.
 Con $V_D \geq V_B$ per ogni V_D
 → il diodo è sempre spento



La giunzione P-n costituita da B-S è in equilibrio
 cioè a riposo c'è una regione svuotata e quindi
 la corrente è nulla
 Il transistor MOSFET è completamente immerso
 nella zona svuotata con $V_B = 0$ allora $I_B = 0$ come I_G

- costruire due transistor MOSFET molto facile costruire un isolamento
- Il circuito con MOSFET è estremamente semplice dei circuiti bipolari.
- I transistor MOSFET non hanno bisogno di ingresso $\rightarrow$ non c'è il problema di I_{BQ} ed
- $\Rightarrow$ I circuiti digitali sono basati sui MOSFET
- Transistor è a canale n perché il canale conduttivo è dovuto dall'accumulo dei portatori minoritari cioè gli elettroni

P-MOSFET



con $V_{GB} < 0$ ho E_x verso l'alto $\rightarrow$ accumulazione delle cariche alla superficie ed allora gli elettroni vanno nella regione sotto il canale

$\rightarrow$ regione invertita
 $\rightarrow$ regione a polarizzazione inversa

forte concentrazione di elettroni e debole di lacune

- $\rightarrow$ si forma un canale di lacune, transistor di tipo P.
- $\rightarrow$ uno quindi due "porte" di raccolta di tipo P.
- $\rightarrow$ con una $V_{GS} < 0 \Rightarrow E_y$ è verso destra, le cariche positive hanno la stessa direzione $= P \rightarrow I_D$ è presente del drain
- $\rightarrow$ Per realizzare l'isolamento tra il substrato di tipo n con i due porte di tipo P passo V_B a potenziale più alto $\rightarrow$ le regioni di tipo p e ho potenziale più alto $\rightarrow$ si crea una zona invertita

- Dispositivo a canale P autoisolato.
- $\Rightarrow$ I due transistor sono uguali simmetricamente e parte che

per n-MOSFET

per p-MOSFET

$$C_m = 9 \mu m m$$

$$C_p = 9 \mu p p$$

$$(\mu_m = 2,3 \text{ volte } \mu_p)$$

ma $\mu_m > \mu_p$ quindi

$$C_m > C_p$$

uno migliore gli M-
tura si devono usare

nono chiamare IGFET
ampo e fete isolato
fete non è isolato

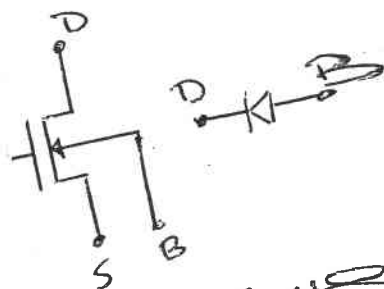
dispositivi (M-ET)
in questo il
mecc. di controllo
carico delle cariche
de lacune.

SIMBOLI

FET

I_D

S
caric verso positivo delle corrente I_D

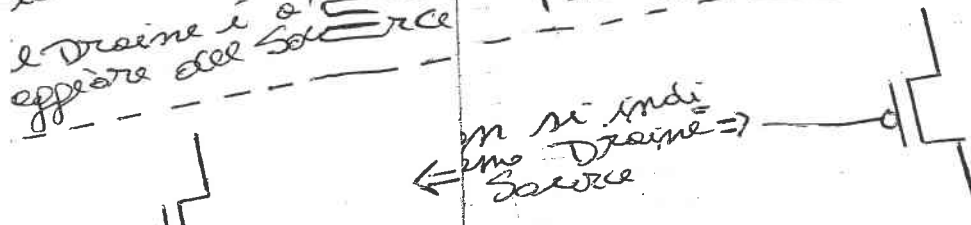


indice il verso positivo del
la giunzione

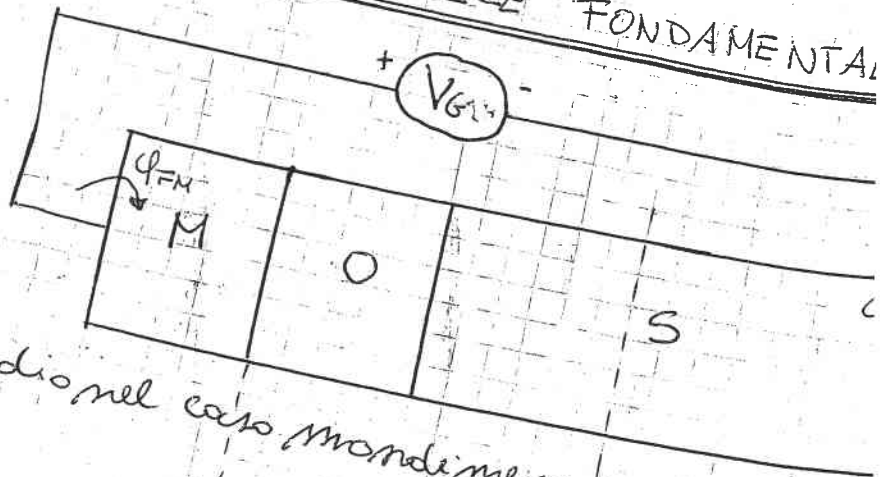
Il dispositivo è asimmetrico
hi è il Drain e il Source
quindi per capire
il funzionamento il
circuit + altro.

Il Drain è a potenziale
oppure del Source maggiore
e il Source è a potenziale
del Drain

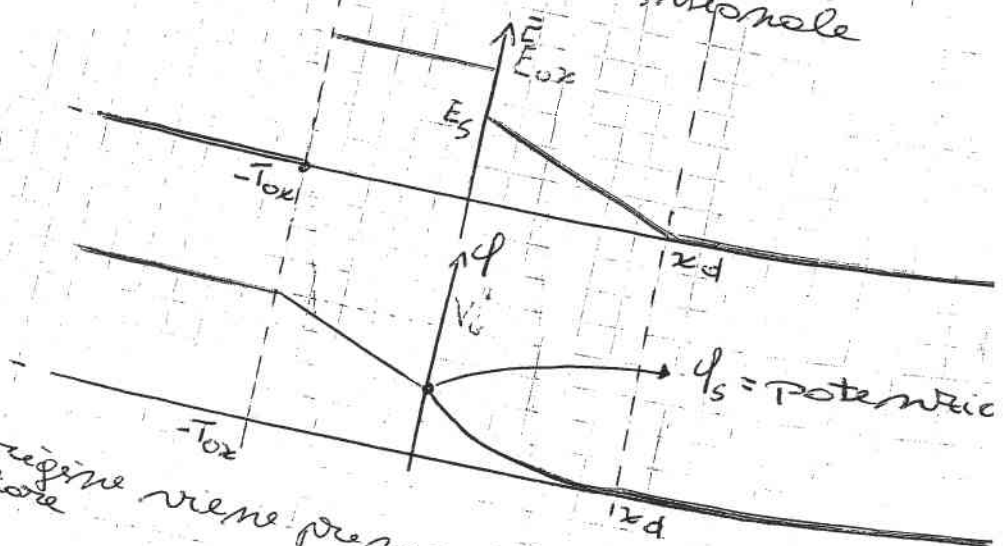
in si indi
Drain
Source



STUDIO GRANDEZZE FONDAMENTALI



Studio nel caso monodimensionale



L'origine viene presa nell'interfaccia ossidante

Si suppone che esista una regione sufficientemente lontana dall'interfaccia (distanza $x_d + 0.1$) da considerare indipendente delle giunzioni (regione non perturbate) $\rightarrow$ Per bisogna valutare la dimensione vedere se la precedente considerazione vale

Per $x > x_d$

$$P_{(0)} = NA \quad m_{(0)} = \frac{m_i^2}{NA} \quad q = 0 \quad \text{(per convenzione è importante differenziale di valori riferiti a potenziale nullo)}$$

$$E = - \frac{dq}{dx} \stackrel{!}{=} 0$$

$\rightarrow$ questa è una zona neutra $\Rightarrow \rho = 0$

⇒ Giunzione tra un semiconduttore e un metallo

↳ Esiste un potenziale di contatto

$\varphi_{MS} \Rightarrow$ differenza di potenziale di contatto tra il metallo e il semiconduttore

il Metallo

una regione equipotenziale (se il materiale è ideale)

$$= \text{cost} = -\varphi_{MS} + V_G + \varphi_{FM} = -\varphi_{MS} + V_G \triangleq V_G$$

potenziale di contatto tra il filo e il metallo che nello in quanto i due componenti sono sempre dello stesso materiale

$$\Rightarrow -\frac{d\varphi}{dx} = 0$$

Per $-t_{ox} \leq x \leq 0$ cioè nel ossido

Strumentazione matematica

$$\begin{cases} p = q(N_D - N_A + p - n) \\ E = -\frac{d\varphi}{dx} \quad (\text{Equazione di Poisson}) \\ \frac{d(\epsilon E)}{dx} = p \end{cases}$$

IMP per la memoria non è così.

HP: All'interno dell'ossido non c'è carica $\rho_{ox} = 0$
 ↳ è ragionevole anche se durante il processo di fabbricazione qualche ione di altri materiali ci può andare e finire.

$$\Rightarrow p = 0 \Rightarrow \frac{d(\epsilon E)}{dx} = 0 \quad \left. \begin{matrix} \epsilon \cdot \frac{dE}{dx} = 0 \Rightarrow E = \text{cost} = E_{ox} \end{matrix} \right\}$$

$$\epsilon = \epsilon_{ox} = 4,5 \epsilon_0$$

$$E_{ox} = -\frac{d\varphi}{dx} \Rightarrow \int_{-t_{ox}}^0 d\varphi = - \int_{-t_{ox}}^0 E_{ox} dx$$

$$\varphi(0) - \varphi(-t_{ox}) = -E_{ox}(0 + t_{ox})$$

$$E_{ox} = \frac{V_G' - \varphi_s}{t_{ox}}$$

$$E_{ox} = -\frac{d\varphi}{dx} \Rightarrow \int_x^0 d\varphi = - \int_x^0 E_{ox} dx$$

$$\phi(0) - \phi(x) = -E_0 x \quad (0 \leq x)$$

$$\boxed{\phi(x) = \phi_s - E_0 x}$$

Per $0 \leq x \leq x_d$ cioè nel Semiconduttore

Hip: $J_n = 0 \rightarrow$ perché non può passare corrente

$$J_n = q \mu_n n E + q D_n \frac{dn}{dx}$$

Contributo ohmico

Contributo diffusivo

$$E = -\frac{d\phi}{dx}$$

$$D_n = \frac{kT}{q} \mu_n \Rightarrow \text{relazione di Einstein}$$

$$-q \mu_n \frac{d\phi}{dx} n + q \frac{kT}{q} \mu_n \frac{dn}{dx} = 0 \quad (\text{condizione di equilibrio})$$

$$\int_{\phi(0)}^{\phi(x)} d\phi = \int_{n(0)}^n \frac{kT}{q} \cdot \frac{1}{n} dn$$

$$\phi(x) - \underbrace{\phi(0)}_0 = \frac{kT}{q} \ln \frac{n(x)}{n(0)}$$

generico punto in cui $\phi = 0$

$$n(x) = n_0 e^{\frac{q\phi}{kT}}$$

$$\longleftrightarrow p(x) = p_0 e^{-\frac{q\phi}{kT}}$$

se $\phi = 0$ allora $p = N_A$

ma in questo intervallo

$0 \leq \phi \leq \phi_s$ allora

il crescere di ϕ corrisponde un brusco decr. mento di p

$$n \gg p_0 \Rightarrow p \ll p_0$$

$$n_s = n(0) e^{\frac{q\phi_s}{kT}}$$

denso quando $\phi = 0$ cioè $x > x_d$
denso quando $x = 0$ e $\phi = \phi_s$

in tutto l'intervallo $(0, x_d)$ $\phi < \phi_s$ e quindi $n \ll n_s \approx N_A$ in quanto piccole variazioni di ϕ provocano forti variazioni di n

Quindi $p = q(N_D - N_A + p_0)$ da dimostrare ②
vchil silicio è troppo de eccetozu $\rightarrow$ è molto minore di N_A

$\rho = -q \cdot N_A \rightarrow$ in questa regione quindi non ho la ϵ_s come e non ho elettroni.

$\hookrightarrow$ è la carica della regione svuotata, carica fissa di volume che crea l'isolamento

Dall'equazione di Poisson

$$\frac{d(\epsilon E)}{dx} = \rho = -q \cdot N_A$$

$$\int_{E(x)}^{E(x_d)=0} dE = - \int_x^{x_d} q \frac{N_A}{\epsilon_s} dx$$

$$E(x) = + \frac{q N_A}{\epsilon_s} (x_d - x)$$

si può dedurre da

$$\frac{dE}{dx} = \frac{\rho}{\epsilon} \rightarrow \text{costante negativo}$$

$\Rightarrow$ E è una retta a pendenza negativa

Sapendo che $E(x) = - \frac{d\phi}{dx}$

$$- \frac{d\phi}{dx} = \frac{q N_A}{\epsilon_s} (x_d - x)$$

$$\int_{\phi(x)}^{\phi(x_d)=0} d\phi = \int_x^{x_d} \frac{q N_A}{\epsilon_s} (x_d - x) dx$$

$$-\phi(x) = \frac{q N_A}{\epsilon_s} \left\{ \frac{(x_d - x)^2}{2} - \frac{(x_d - x_d)^2}{2} \right\}$$

$$\phi(x) = \frac{q N_A}{\epsilon_s} \cdot \frac{(x - x_d)^2}{2}$$

$\Rightarrow$ Il campo elettrico è discontinuo ed essendo la derivata del potenziale ϕ che presenta diverse in $\phi(0^+)$ e in $\phi(0^-)$.

Dimostrazione 1 : x_d è sufficientemente piccolo.

in $x=0$ $\phi(0) = \phi_s = \frac{q N_A}{\epsilon_s} \frac{x_d^2}{2} \Rightarrow x_d = \sqrt{\frac{2 \epsilon_s \phi_s}{q N_A}} = (9.1 \div 10) \mu m$

① l'andamento è molto simile a quello di una $\sqrt{p.d.}$ applicato (che dipende dalla $\sqrt{p.d.}$ applicato)

$$\frac{d(\epsilon E)}{dx} = -q N_A$$

Valore di $E(0^+)$

$$\frac{d(\epsilon E)}{dx} = \rho$$

$$\int_{0^-}^{0^+} d(\epsilon E) = \int_{0^-}^{0^+} \rho dx \approx 0$$

Hp: In un volume nullo la carica è nulla

$\hookrightarrow$ non c'è carica intrappolata nell'interfaccia
nelle pratiche c'è delle cariche libere in quanto il silicio è un materiale cristallino, ma l'ossido è amorfo, quindi è impossibile che ogni atomo di silicio si leghi con quelli dell'ossido

$$\epsilon_s E(0^+) - \epsilon_s E(0^-) - \epsilon_{ox} E(0^-) \approx 0$$

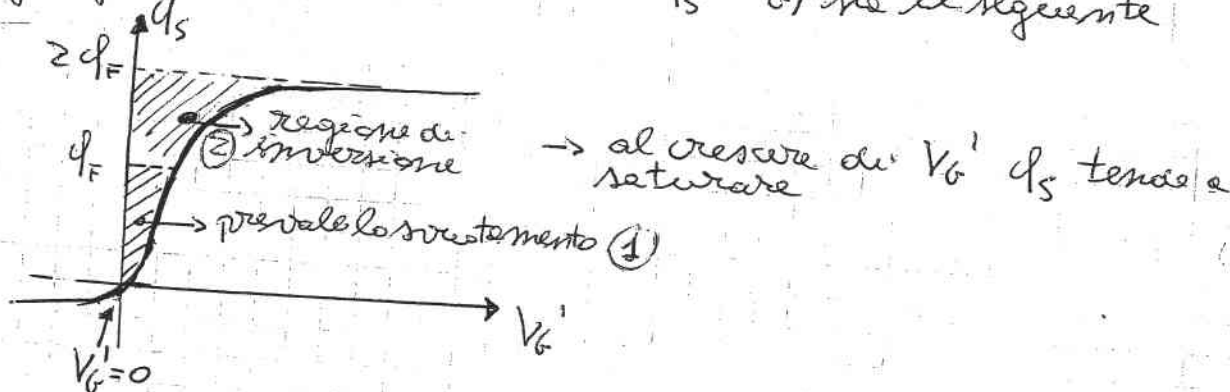
$$\epsilon_s E(0^+) = \epsilon_{ox} E(0^-) \Rightarrow E_s = E(0^+) = E_{ox} \cdot \frac{\epsilon_{ox}}{\epsilon_s} \rightarrow 4.5$$

$$\epsilon_s \rightarrow 14.8$$

- ϕ_s non è il potenziale applicato, ma ne è una frazione
- ② - $N_a \uparrow \Rightarrow x_d \downarrow$ perché basta un volume piccolo per avere una carica grande
- $N_a \downarrow \Rightarrow x_d \uparrow$ per avere la stessa carica con un drogaggio piccolo serve un volume più grande

→ quindi si può affermare che la zona $[0, x_d]$ è sufficientemente piccola da confermare l'ipotesi fatta

Si può dimostrare che $\phi_s(V_G')$ ha il seguente grafico



Quando $V_G' = 0$ cioè $V_G = \phi_{MS} \Rightarrow \phi_s = 0$ } Condizione di banda piatte

→ è importante notare che questa situazione si ha solo quando $V_G = \phi_{MS}$ e non quando è uguale a 0.

→ $n_s = n_0 = n_2$; $p_s = p_0 = p_2 \quad \forall x$

→ si comporta come un conduttore isolato, non perturbato da nulla anche se $V_G = \phi_{MS}$.

→ Quando il potenziale intrinseco di contatto è sufficiente a perturbare le concentrazioni come succede nel diodo.

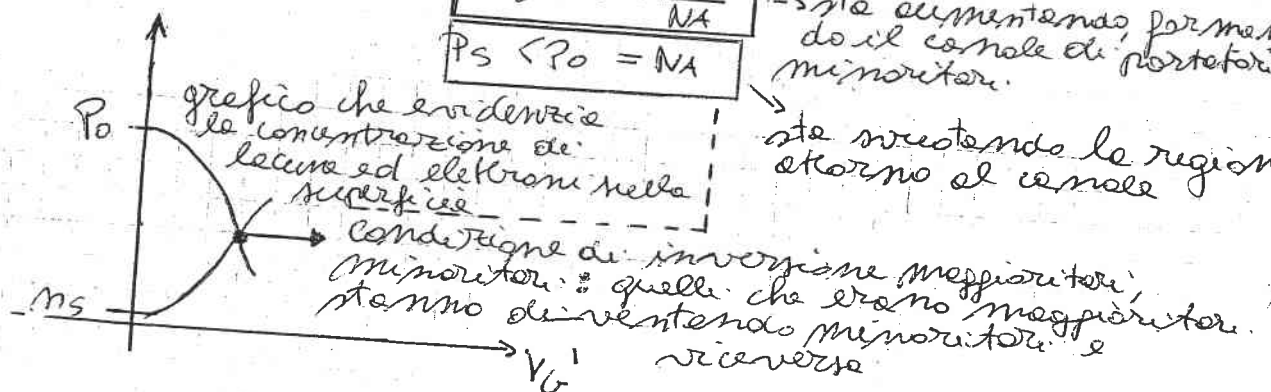
Quando $V_G' > 0$ → ϕ_s cresce rapidamente, $\phi_s > 0$ allora

In questo caso

$$\begin{aligned} n_s &> n_0 = \frac{n_i^2}{N_A} \\ p_s &< p_0 = N_A \end{aligned}$$

→ sta aumentando formando il canale di portatori minoritari.

→ sta svuotando la regione attorno al canale



⇒ Studio qual'è il potenziale ϕ_s tale per cui
 ① nelle superficie la concentrazione di lacune è uguale a quello degli elettroni

$$\left. \begin{aligned} n_s &= n_0 e^{\frac{q\phi_s}{kT}} \\ p_s &= p_0 e^{-\frac{q\phi_s}{kT}} \end{aligned} \right\} \text{cerco } \phi_s^* : n_s(\phi_s^*) = p_s(\phi_s^*)$$

$$\Downarrow \quad \underbrace{n_0}_{\frac{n_i^2}{N_A}} e^{\frac{q\phi_s^*}{kT}} = \underbrace{p_0}_{N_A} e^{-\frac{q\phi_s^*}{kT}} \rightarrow e^{\frac{2q\phi_s^*}{kT}} = \frac{N_A}{n_i^2}$$

$$\phi_s^* = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad \text{siccome } N_A > n_i \text{ per ipotesi allora}$$

$$\phi_s^* > 0$$

$$\boxed{\phi_s^* = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) = \phi_F \text{ (Potenziale di Fermi)}}$$

① Quindi: quando $0 < \phi_s < \phi_F$ prevale lo nteamento

② • quando $\phi_s > \phi_F$ c'è l'inversione minoritari, maggioritari nelle superficie

Quando $\phi_s = \phi_F$ cioè quando $n_s = p_s$ (calcoliamo n_s)

$$\textcircled{1} \quad n_s = n_0 e^{\frac{q\phi_F}{kT}} = \frac{n_i^2}{N_A} e^{\frac{q}{kT} \cdot \frac{kT}{q} \ln \frac{N_A}{n_i}} = \frac{n_i^2}{N_A} \cdot \frac{N_A}{n_i} = n_i$$

$$\textcircled{2} \quad p_s = n_s = n_i, \quad p_s = p_0 e^{-\frac{q\phi_F}{kT}} = n_i$$

In questa regione $\rho = q(N_D - N_A + p - n)$

$N_D \ll N_A$ per ipotesi;

$$\frac{n_i^2}{N_A} \leq n_s \leq n_i \quad \text{quindi } n \ll N_A$$

$$n_i \leq p_s \leq N_A \rightarrow \text{appena } V_G > 0 \quad p \ll N_A \text{ perché cala}$$

esponenzialmente quindi:

$$\rho = -qN_A$$

↳ Piana invertita.

③ ⇒ Studio quando $\phi_s > \phi_F$

n_s aumenta e p_s cala in questo si è superato il punto di inversione

Il completo nteamento finisce quando n_s è confrontabile

con N_A . Dimostrazione ②

Bisogna studiare a quale potenziale ϕ_s^* $n_s = N_A$

$$\phi_s^* : n_s(\phi_s^*) = N_A ; n_s = \frac{n_i^2}{N_A} e^{\frac{q\phi_s^*}{kT}} = N_A$$

$$e^{\frac{q\phi_s^*}{kT}} = \frac{N_A^2}{n_i^2}$$

in questo caso la densità di carica p oltre ad essere influenzata dagli ioni accettatori, finì lo è anche dagli elettroni mobili.

$$\phi_s^* = \frac{2kT}{q} \ln \frac{N_A}{n_i} = 2\phi_F$$

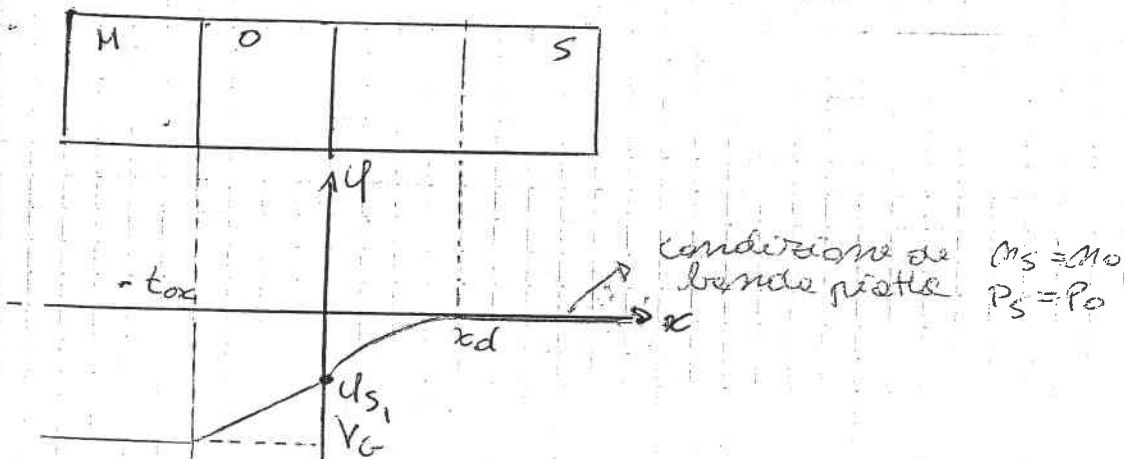
Quando $\phi_s^* = 2\phi_F$ cioè quando $n_s = N_A$ si raggiunge una condizione di forte inversione

Quando $\phi_s > 2\phi_F$ $n_s > N_A$

REGIONE DI ACCUMULAZIONE	REGIONE DI SVUOTAMENTO	REGIONE DI (DEBOLE) INVERSIONE	REGIONE DI (FORTE) INVERSIONE
$\phi_s < 0$ $p_s > p_0 = N_A$ $n_s < n_0 = \frac{n_i^2}{N_A}$	$0 < \phi_s < 2\phi_F$ $p_s < p_0$ $n_s < n_0$ $p_s > n_s$	$\phi_s = 2\phi_F$ $p_s = n_s = n_i$ $n_s = n_0$ $p_s < n_s < p_0$	$\phi_s > 2\phi_F$ $n_s > N_A$ $p_s < n_s$ $n_s > p_0 = N_A$

La curva $\phi_s(V_G')$ tende a saturare per $\phi_s = 2\phi_F$ in quanto la carica è dominata dagli elettroni liberi, e non più da quelli fissi.

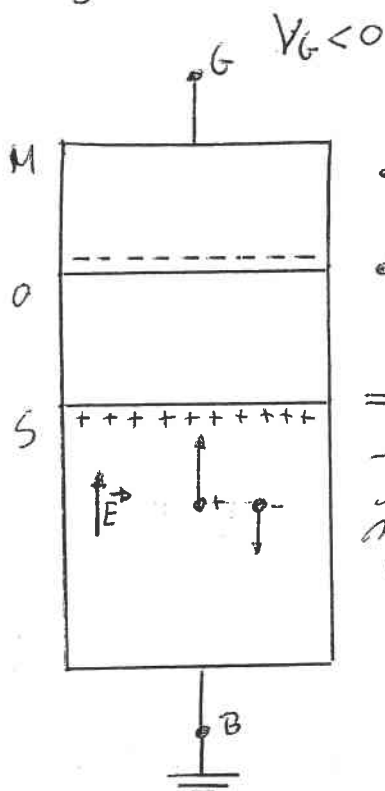
③ Se $\phi_s < 0 \Rightarrow V_G' < 0$



Se aumenta ϕ_s n_s aumenta e P_s diminuisce

Se diminuisce ϕ_s n_s diminuisce e P_s aumenta

$$\hookrightarrow \phi_s < 0 \rightarrow n_s < n_0 \text{ e } P_s > P_0$$



- P_s aumenta infatti il campo $\vec{E}$ porta le lacune nella superficie
- n_s diminuisce perché $\vec{E}$ allontana gli elettroni liberi

non c'è il canale ma
 $\Rightarrow$ Non c'è la regione invertita tra il canale di portatore maggioritario e il substrato in quanto avendo pochi gli elettroni liberi non provocano nessun effetto quando si allontanano.

$\hookrightarrow$ regione di accumulazione che è "contrapposita" alla regione di svuotamento delle lacune

$\Rightarrow$ Allora per l'uso digitale V_G deve sempre essere maggiore di 0.

$\hookrightarrow$ Usato per alcune applicazioni analogiche

Studio capacità variabile del MOSFET.

$\Rightarrow$ il transistor può essere visto come un particolare condensatore

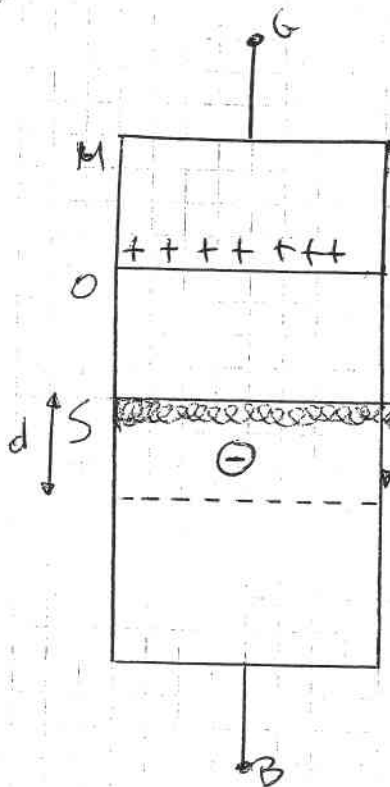
Il valore V_G' per cui $\phi_s = 2\phi_F$ si chiama V_T'

$$V_T' = V_G' = V_G - \phi_{MS} \Rightarrow V_T' + \phi_{MS} = V_T$$

$V_T \Rightarrow$ valore del potenziale applicato dall'esterno per far sì che $\phi_s = 2\phi_F$ cioè è quel valore che porta il MOSFET allo forte inversione.

$V_T = \text{Valore di soglia}$ (calcolo 5 parate dopo)
significative

Per $V_G > V_T$ non comportano variazioni di ϕ_s



Condensatore con una faccia metallica e un'altra di semiconduttore

• Sella faccia metallica c'è una carica Q_M

• Sella faccia semiconduttore ci sono due specie di cariche

1 - Cariche negative associate ai portatori minoritari, accumulati grazie all'inversione.

2 - Cariche fisse di ioni accettatori, la cui profondità dipende dalla radice quadrata della tensione applicata

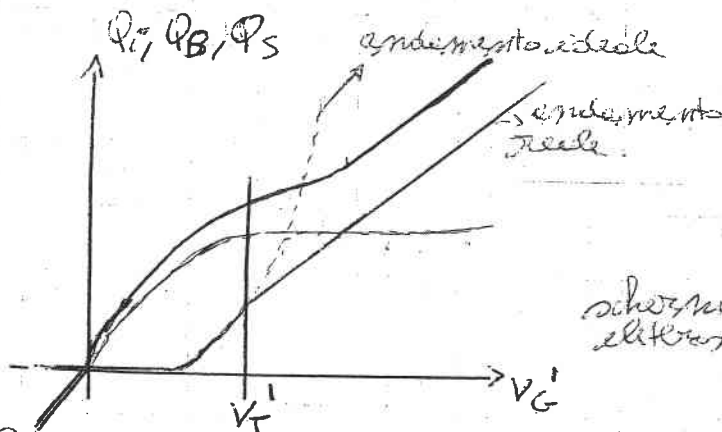
La carica totale è data dalla somma di $Q_i + Q_B$

⇒ Siccome globalmente la struttura è neutra allora

$$Q_M = - (Q_i + Q_B)$$

$Q_S \rightarrow$ carica del semiconduttore.

Come accade in un condensatore.

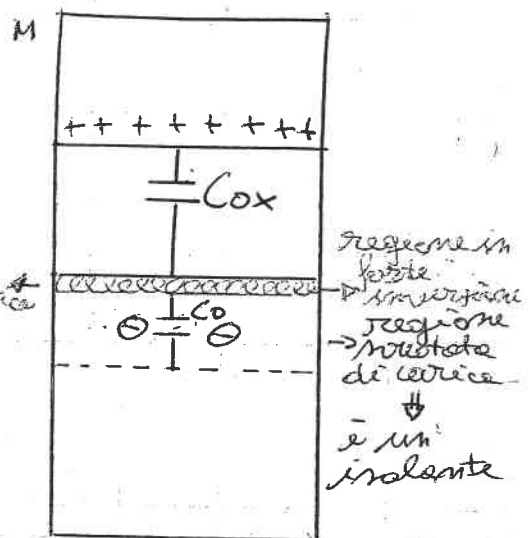


• $Q_i \propto n_s \propto \exp(\phi_s) \rightarrow \phi_s \propto V_G$

Carica di inversione

• $Q_B \propto q N_A \cdot d \rightarrow d \propto \sqrt{\frac{2 \epsilon_s \phi_s}{q N_A}}$
profondità

→ ed un certo punto ϕ_s satura (quando $V_G = V_T$)



per $V_G > V_T$

Quando $V_G > V_T$ allora $Q_s \cong \text{costante}$

• $Q_B \cong \text{costante}$

• Q_i non cresce più esponenzialmente perché la carica Q_s è prevalentemente quella superficiale e quindi il transistor si comporta come un condensatore a facce piane parallele e quindi vale che $Q_i = C \cdot V_G$

↳ la carica cresce linearmente

Spiegazioni andamenti di Q_B e Q_i

• Quando $V_G < V_T \Rightarrow$ non c'è il canale (debole inversione o svuotamento)

↳ Ci sono due dielettrici: l'ossido in serie alla zona svuotata che, come per il diodo, è una capacità non lineare.

$C_{ox} \Rightarrow$ capacità dell'ossido

$C_D \Rightarrow$ capacità di svuotamento

↳ due condensatori in serie.

↳ la carica Q_B , inoltre, cresce sempre meno all'aumentare di V_G perché più aumenta V_G più bisogna allontanare la carica da regioni sempre più lontane dalla giunzione.

• Quando $V_G \cong V_T$ cioè quando si è in forte inversione gli elettroni liberi sono dominanti rispetto agli ioni fissi.

↳ si crea il canale fortemente conduttivo (perché n è alto).

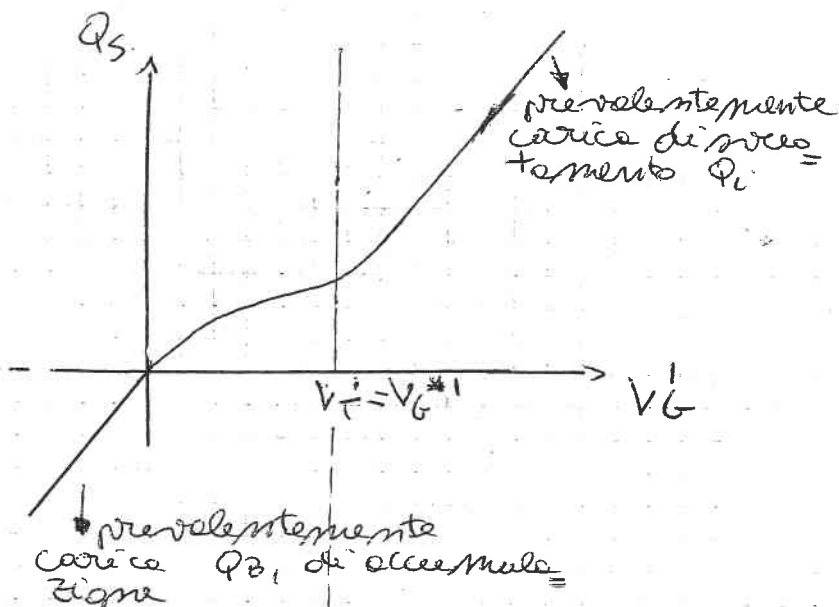
↳ si crea uno schermo elettrostatico che "intercetta" le linee di campo che aumentano all'aumentare di $V_G \Rightarrow Q_i$ è costante.

↳ il transistor è diventato un condensatore ad armature parallele.

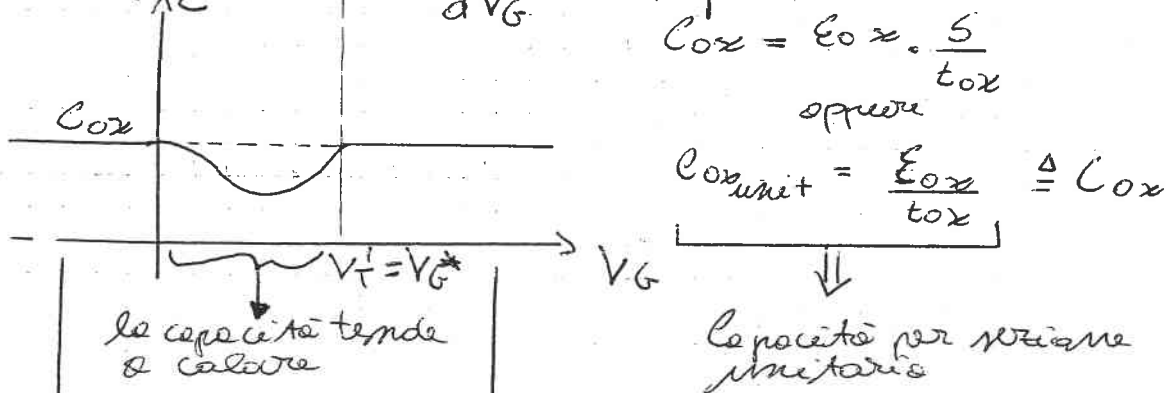
IMPORTANTE Con $V_G > V_T \Rightarrow$ si ha il canale di conduzione ISOLATO dallo svuotamento

• per $V_G < 0 \rightarrow$ il transistor diventa un condensatore a facce parallele come se $V_G > V_T$

↳ l'unica differenza che per V_G positivo per la prima parte deve svuotare la regione e dopo la carica di canale funziona come un condensatore, invece con V_G negativo non dovendo svuotare niente inizia ad accumulare subito i portatori maggioritari $\rightarrow$ con poca tensione si sposta la carica



Per tracciare l'andamento della capacità equivalente si definisce $C = \frac{dQ_s}{dV_g}$ (capacità locale)



è costante perché per $V_g < 0$ e $V_g > V_T$ il transistor si comporta come un normale condensatore ed armature a facce piane parallele.

⌞ Il MOSFET NON È UN CONDENSATORE LINEARE

Esiste un intervallo in cui la capacità dipende dalla tensione applicata.

⌞ utile per creare condensatori variabili in funzione delle tensione applicate (utili in circuiti di risonanza e antirisonanza come diodi VARICAP)

⌞ dal punto di vista di progetto la capacità è responsabile di un ritardo

⌞ da questo grafico della capacità si può capire che il valore massimo è C_{ox} e ^{si come} in fase di progetto occorre sempre considerare il caso peggiore di.

funzionamento, ^h considera la capacità del transistor uguale a C_{ox} . Così facendo i tempi di propagazione calcolati saranno sempre maggiori o uguali a quelli reali.

Calcolo di V_G^* cioè di V_T

V_G^* è importante perché per $V_G > V_G^*$ la carica Q_B è costante e la carica Q_i cresce linearmente

$$\left. \begin{aligned} Q_i &= C_{ox}(V_G' - V_G^{*'}) & \text{per } V_G' \geq V_G^* \\ Q_i &= 0 & \text{per } V_G' < V_G^* \end{aligned} \right\} \text{definizione della carica } Q_i$$

V_G^* è il valore per cui $\phi_s = 2\phi_F$

$$Q_B > 0 \text{ e } Q_i \approx 0$$

↳ quasi costante

$$Q_B = -q N_A \cdot S \cdot x_d$$

Considerate unitarie

↳ quando non ci sono altri contributi

$$x_d = \sqrt{\frac{2\epsilon_s \phi_s}{q N_A}} \quad \text{quindi}$$

$$Q_B = -q N_A \cdot \sqrt{\frac{2\epsilon_s 2\phi_F}{q N_A}} = -\sqrt{q N_A \cdot 2\epsilon_s} \cdot \sqrt{2\phi_F}$$

Sapendo che in ogni caso all'equilibrio

$$Q_M = -Q_S = -(Q_B + Q_i) \underset{Q_i \approx 0}{=} -Q_B = \sqrt{q N_A \cdot 2\epsilon_s} \cdot \sqrt{2\phi_F}$$

Dal grafico del potenziale si nota che

$$Q_M = C_{ox} \cdot \Delta V = C_{ox} \cdot (V_G^{*'} - \phi_s) = C_{ox} (V_G^{*'} - 2\phi_F)$$

Quindi

$$\left\{ \begin{aligned} C_{ox} (V_G^{*'} - 2\phi_F) &= \sqrt{2\epsilon_s q N_A} \cdot \sqrt{2\phi_F} \\ V_G^{*'} &= V_G^* - \phi_{MS} \end{aligned} \right.$$

$$V_G^* = 2\phi_F + \frac{\sqrt{2\epsilon_s q N_A}}{C_{ox}} \cdot \sqrt{2\phi_F}$$

↳ tensione che bisogna applicare per raggiungere la condizione di forte inversione al metallo della tensione di contatto ϕ_{MS} .

$$V_T = \phi_{MS} + 2\phi_F + \gamma \sqrt{2\phi_F}$$

V_T è il valore che bisogna applicare all'esterno attraverso il generatore V_G per raggiungere:

- la condizione di forte inversione
- la condizione in cui il canale si è formato
- la condizione per cui il transistor funziona come condensatore lineare

$V_T \Rightarrow$ Tensione di soglia

V_T è la somma di 3 componenti:

- + tensione di contatto metallo-semiconduttore (ϕ_{MS})
(da raggiungere per avere la condizione di forte inversione)
- + tensione di inversione ($2\phi_F$)
- + tensione di svuotamento ($\gamma\sqrt{2\phi_F}$) per svuotare l'area circostante al canale

$\Rightarrow V_T$ che crea la condizione per creare il canale

V_T dipende dal drogaggio, quindi non è costante.

V_T varia da 10 mV a 2-3 V dipendentemente dalla tecnologia di fabbricazione.

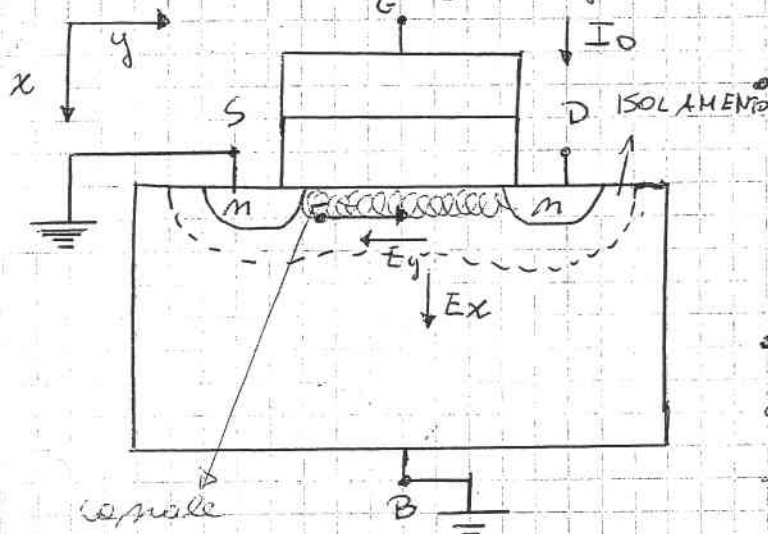
Bisogna determinare le caratteristiche della corrente

I_D quando il canale si è formato, cioè

quando la tensione applicata è superiore a quella di soglia

EQUAZIONI CARATTERISTICHE m-MOSFET

Ipotesizzando di aver applicato una tensione superiore a quella di soglia bisogna calcolare come varia la corrente I_D in funzione di V_G e V_D .



• con $V_G > V_B$ (almeno $V_G - V_B = V_T$) si forma il canale e Q_i tende a crescere

• con $V_D > V_S$ nasce un campo elettrico $E_y < 0$ e quindi una corrente $I_D > 0$

$\Rightarrow$ Agiscono due fattori nella corrente I_D :

$\rightarrow$ se aumenta V_G aumenta la carica nel canale quindi aumenta I_D

$\rightarrow$ con $V_D - V_S$ determino il trascinemiento delle cariche di canale, se $V_D - V_S$ aumenta allora I_D aumenta

$$V_G = V_{GB} = V_{GS} = V_G - V_S = V_G$$

$\hookrightarrow$ nelle equazioni uso V_{GS} e non V_{GB} perché il potenziale V_B è nullo e contatto con tutti gli altri V_B dei transistor n-MOSFET per creare una struttura auto isolata collegandolo a massa

Bisogna calcolare quindi $I_D(V_{GS}, V_{DS})$

$I_D > 0$ se il canale è formato cioè si è raggiunto la condizione di forte inversione.

$$\hookrightarrow \phi_s = 2\phi_F = \text{cost} \quad n_s \propto \exp(\phi_s) \Rightarrow n_s = \text{cost}$$

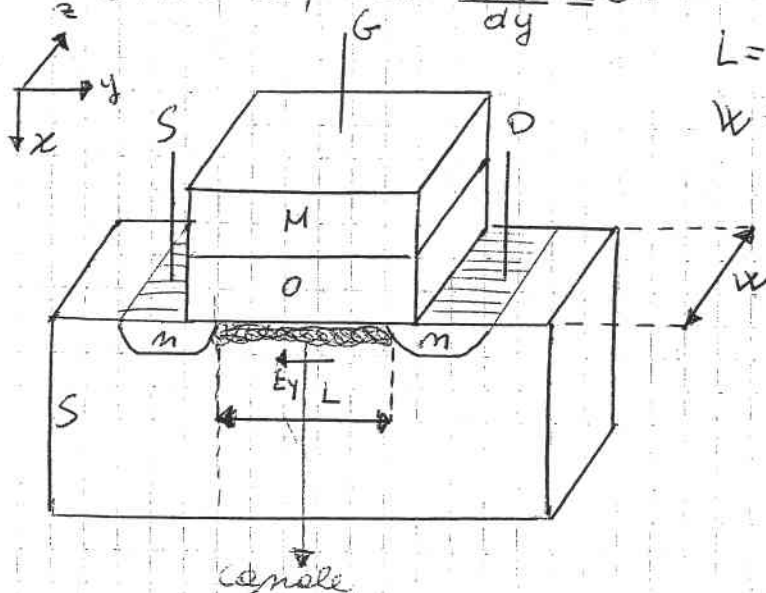
$$I_D = (J_n + J_p) \cdot S = J_{ny} \cdot S = \left(\underbrace{q \mu_n n_s E_y}_{\text{comp. ohmica}} + \underbrace{q D_n \frac{dn_s}{dy}}_{\text{comp. diffusiva}} \right) \cdot S$$

$J_p = 0$ perché nel canale non ci sono lacune

$J_n = J_{ny}$ perché la corrente si sviluppa lungo la direzione y

$\frac{dn_s}{dy} = 0$ perché n_s è costante

H_p: Trasporto lungo il canale prevalentemente ohmico, cioè $\frac{dn_s}{dy} = 0$.



L = lunghezza del canale

w = profondità, larghezza del canale

$$I_D = q \mu_n n \cdot E_y \cdot S \quad E_y = -\frac{d\phi}{dy} \Rightarrow \int_0^L E_y dy = - \int_{\phi(0)}^{\phi(L)} d\phi$$

H_{ip} se E_y costante $\Rightarrow E_y \cdot L = -V_{DS} \Rightarrow E_y = -\frac{V_{DS}}{L}$

$$I_D = \int_S q \mu_n n E_y dS = \int_0^{+\infty} q \mu_n n(x) \frac{E_y}{L} \cdot w \cdot dx$$

$dS = w \cdot dx$

$$= \frac{w \mu_n V_{DS}}{L} \int_0^{+\infty} -q n(x) dx$$

$\rightarrow$ anche se non conosco la distribuzione di $n(x)$ so che l'integrale è Q_i

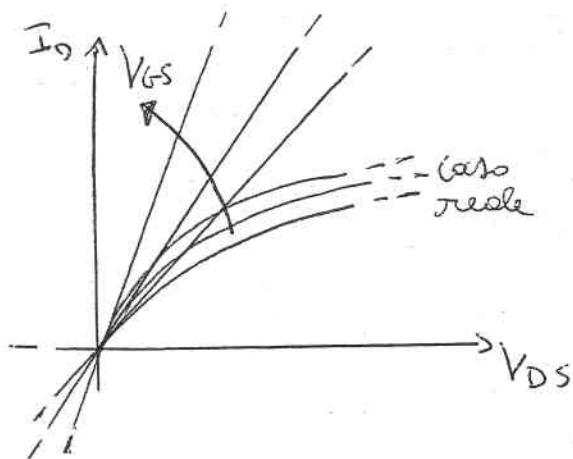
L > carica di elettroni integrata lungo tutta la profondità - cioè Q_i - che è la carica che trasporta corrente durante la condizione di forte inversione

H_{pe} se $V_{GS} > V_T \Rightarrow Q_i = C_{ox} \cdot (V_{GS} - V_T)$

$$I_D = C_{ox} \mu_n \frac{w}{L} V_{DS} \cdot (V_{GS} - V_T) \quad \text{per } V_{GS} > V_T$$

L > sotto 3 ipotesi semplificative

- 1 - no corrente diffusiva
- 2 - E_y costante lungo il canale
- 3 - Q_i dipende solo della coordinata x



per $V_{GS} > V_T$

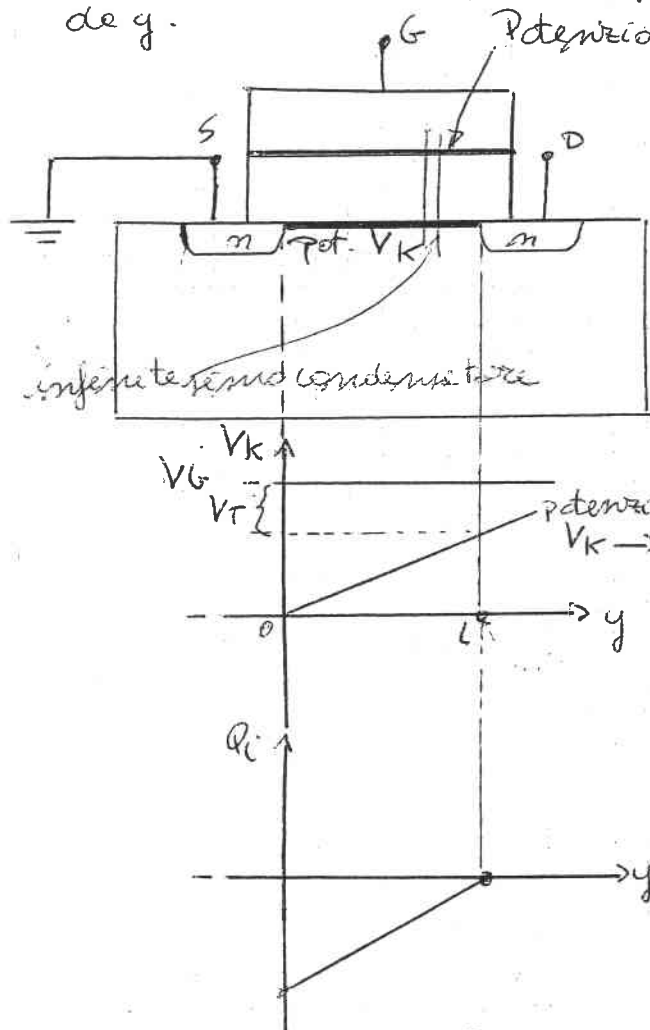
→ rete con coeff. angolare

$$\propto \mu_n \frac{W}{L} (V_{GS} - V_T)$$

↳ al crescere di V_{GS} aumenta il coefficiente angolare che è la conduttanza. Quindi V_{GS} è la "valvola" del canale n .

- caso reale è uguale al caso ideale solo per valori piccoli di V_{DS} .

⇒ Questo è coerente dell'ipotesi semplificativa di $E_y = \text{cost.}$ e considerando n dipendente da z e non anche da y .



Si come $V_{GS} > 0$ non si può considerare costante il potenziale nel semiconduttore, ma conviene si può fare nel metallo.

↳ Infatti $V_{DS} > 0$ è la causa dello spostamento di elettroni da S a D.

↳ E_y non è costante

Lungo la direzione y il potenziale sta aumentando
 $V_K \rightarrow$ potenziale superficiale del semiconduttore

↓
 $V_G - V_K$ diminuisce

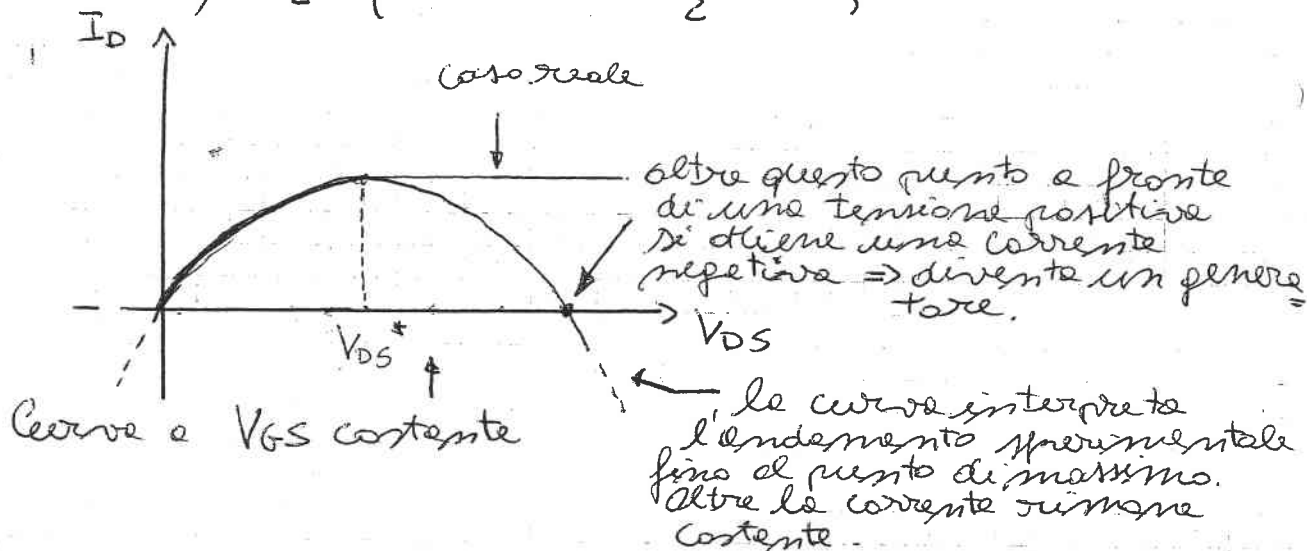
$Q_H = C_{ox} (V_G - V_K)$ diminuisce

$$Q_s = C_{ox} (V_G - V_T - V_K(y))$$

→ la carica Q_i dipende dalla coordinata y e diminuisce andando verso il drain.

Usando l'ipotesi che E_z ed E_y non dipendono l'una dall'altra e che i due campi abbiano un profilo graduale (cioè che ogni regione infinitesimale è indipendente l'una dall'altra) si può dimostrare che

$$I_D = C_{ox} \mu_n \frac{W}{L} \cdot \left\{ (V_{GS} - V_T) V_{DS} - \frac{1}{2} (V_{DS})^2 \right\}$$



$\Rightarrow$ Calcolo del valore V_{DS}^*

$$\frac{dI_D}{dV_{DS}} = C_{ox} \mu_n \frac{W}{L} \left[(V_{GS} - V_T) - V_{DS} \right] = 0$$

$$V_{DS}^* = V_{GS} - V_T$$

$$V_D - V_S = V_G - V_S - V_T \Rightarrow \underline{V_G - V_D = V_T} \quad \left[\begin{array}{l} \text{Condizione} \\ \text{di massimo} \end{array} \right]$$

V_K non è costante perché a causa del V_{DS} cresce da V_S a V_D

Ma V_D è il valore di V_K dell'estremo del canale. (al Drain)

V_G è il potenziale di gate che è costante.

Quindi l'equazione trovata di $I_D(V_{GS}, V_{DS})$ è che

tra il gate e il Drain c'è la tensione minima V_T per formare il canale.

$$\text{da } Q_M = C_{ox} (V_G - V_K(y)) \quad \text{con } y=L$$

$$Q_M = C_{ox} (V_G - V_D)$$

$$\text{da } Q_i = C_{ox} (V_G - V_T - V_K(y)) \quad \text{con } y=L \text{ e } V_G - V_D = 0$$

$$Q_i = 0.$$

Il canale è formato se su ciascuno degli infinitesimi condensatori c'è almeno una differenza di potenziale pari ad una tensione di soglia

Il punto di massimo della corrente I_0 corrisponde alla situazione in cui il canale si è completamente ristretto all'estremità del Drain.

Quindi quando la tensione applicata al Drain equivale o meno di una soglia alla tensione applicata al gate

↳ situazione di pinch-off, restringimento del canale

• Bisogna studiare il motivo per il quale dopo che $V_{DS} > V_{GS} - V_T$ la corrente I_0 rimane costante al valore massimo.

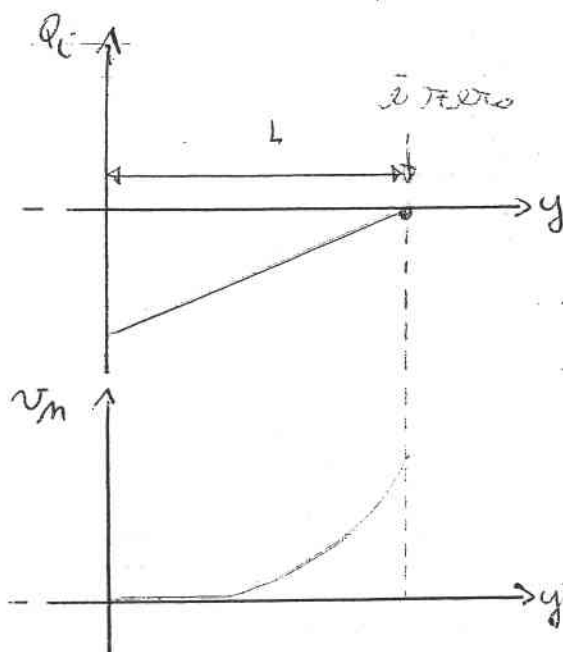
↳ siccome nel modello I_0 doveva calare bisogna individuare quali ipotesi sono violate in questa situazione:

① ⇒ non si può più considerare l'ipotesi di profilo quadratico, vale per ogni condensatore individuale non si può più applicare la teoria del Condensatore elementare

↳ non hanno più un comportamento indipendente degli altri

Il campo E_x ed E_y sono tra di loro dipendenti.

② ⇒ Componente diffusiva non può essere trascurabile perché si passa da una regione finita ad una infinita come ed il trasporto è puramente ohmico quando la concentrazione è uniforme.



$$I_0 = \frac{dQ_i}{dt}$$

La corrente per il principio di conservazione della carica deve essere costante.

Quindi dove

→ $Q_i \uparrow$ la $v_{corrente} \downarrow$

→ $Q_i \downarrow$ la $v_{corrente} \uparrow$

(Come succede in un imbuto dove nella sezione più piccola l'acqua è più veloce).

(velocità della carica. Se $Q_i \rightarrow 0$ allora $v_n \rightarrow +\infty$)

Da $v_n = -\mu_n E \Rightarrow$ aumento $v_n \Rightarrow$ aumento E

Avvicinandoci al Drain la teoria riguardo i punti 1 e 2 non sono più valide

- ↳ no corrente puramente ohmica
- ↳ no modifiche graduali di E , no la teoria del conduttore elementare mono-dimensionale

⇒ In realtà

Il canale non si restringe completamente.

Al crescere di V_{DS} , I_D cresce sempre più lentamente causato da due elementi:

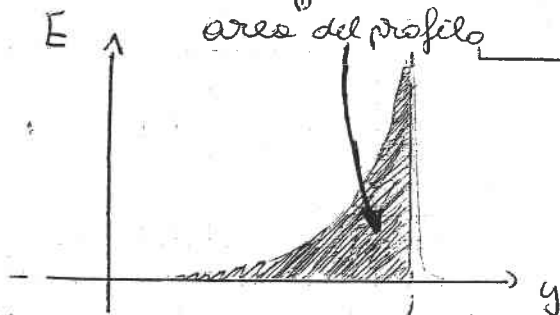
- ① - V_{DS} trasina la carica lungo il canale (ideale mente I_D dovrebbe aumentare in modo lineare).
- ② - V_{DS} ha il compito di diminuire la carica nel canale (I_D cresce "meno" che linearmente)

Avvicinandoci a $V_{DS} = V_{GS} - V_T$ la carica vicino al drain tende a 0.

↳ E tende all'infinito e poi subito a 0 in quanto il Drain è una zona conduttiva.

$$E_y = - \frac{d\phi}{dy} \Rightarrow \int_0^L E_y dy = - \int_{\phi(0)}^{\phi(L)} d\phi$$

area del profilo
 $V_{DS} \rightarrow$ è un valore finito

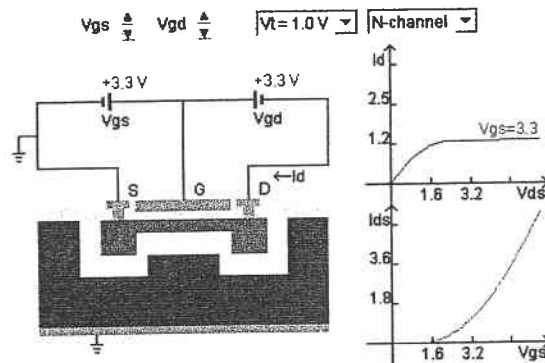


Se come l'area del profilo è finita ed il campo elettrico nella regione ristretta è infinito allora il canale stretto ha una dimensione infinitesima

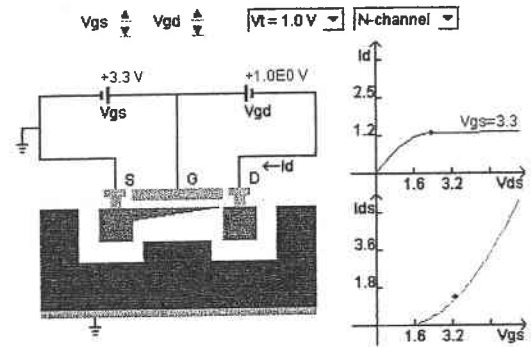
Quando si raggiunge la situazione di pinch-off ce sono due tipi di regione del canale:

- 1 - campo E è infinito ma di lunghezza infinitesima
- 2 - la sua struttura non può variare in quanto se il canale si restringe ulteriormente entra la regione dove $E = +\infty$ di lunghezza finita portando l'area del profilo $= +\infty$, cosa non possibile.

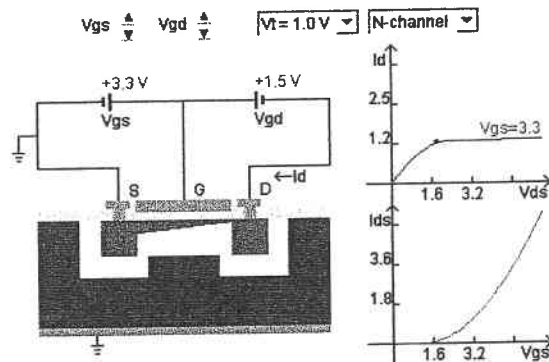
↳ la geometria del canale si "congela" perché ogni aumento di V_{DS} aumenta infinitesimamente il canale stretto.



$V_{gs} > V_t$: n-channel is induced.
 $V_{gd} > V_t$: Drain-side of channel is continuous.
 I_d varies with V_{ds} : $I_d = k [(V_{gs} - V_t) V_{ds} - V_{ds}^2 / 2]$



$V_{gs} > V_t$: n-channel is induced.
 $V_{gd} < V_t$: Drain-side of channel is pinched-off.
 I_d is saturated: $I_{ds} = 0.5k (V_{gs} - V_t)^2$



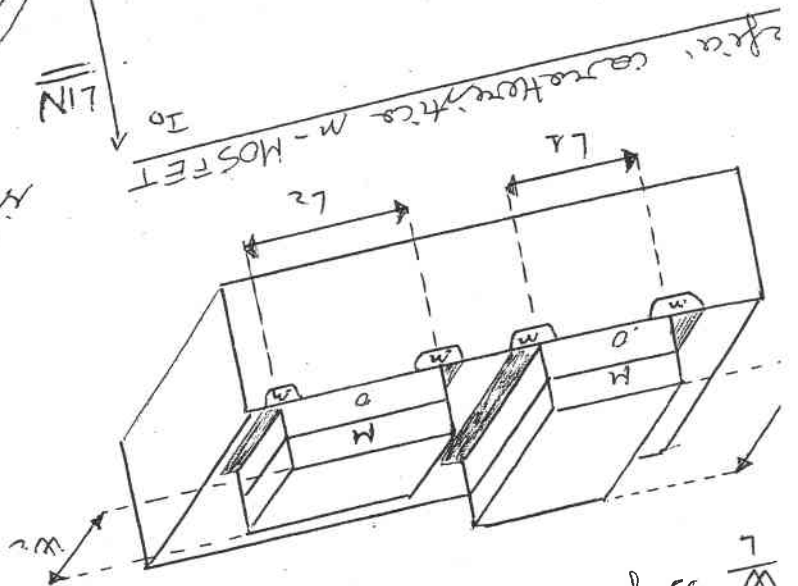
$V_{gs} > V_t$: n-channel is induced.
 $V_{gd} > V_t$: Drain-side of channel is continuous.
 I_d varies with V_{ds} : $I_d = k [(V_{gs} - V_t) V_{ds} - V_{ds}^2 / 2]$
 The MOS Transistor acts as a Triode



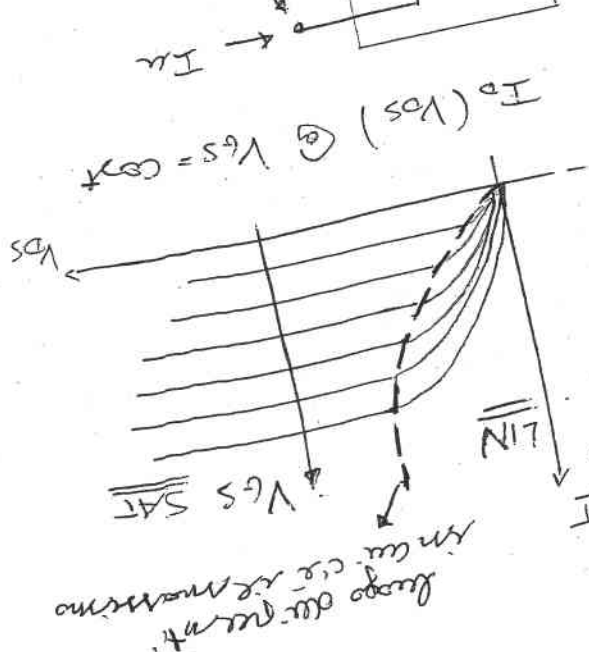
—

—

$\frac{L}{W}$ adegua a zone transitorie de diverse forme

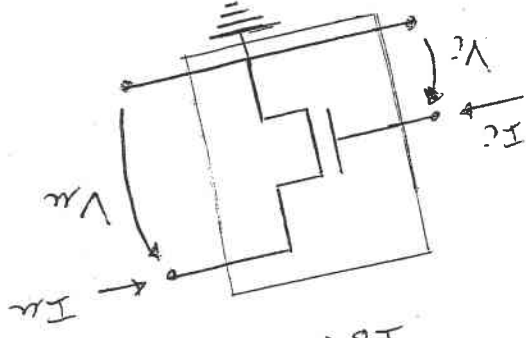


caratteristiche n-MOSFET



lungo da quest. in cui $I_{D,max}$

$I_D(V_{DS}) @ V_{GS} = const$



$$\begin{cases} V_G = V_{GS} \\ V_D = V_{DS} \\ I_G = I_D \end{cases}$$

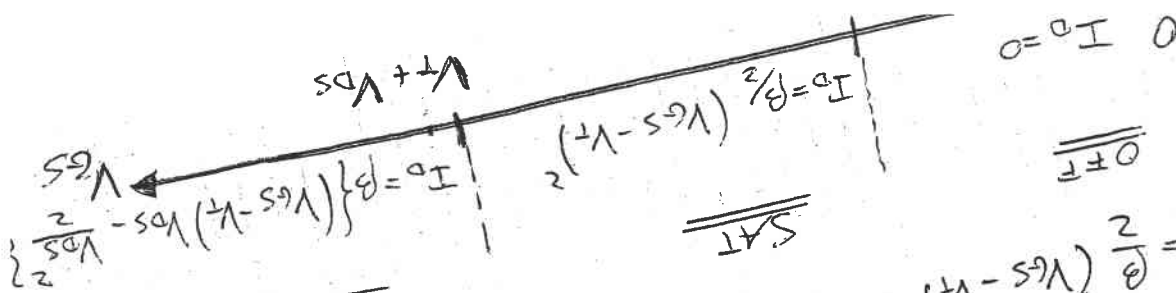
$I_G(V_{GS}) @ V_{DS} = const$

Lungo da quest. in cui $I_{D,max}$
 $I_D = \frac{\beta}{2} V_{DS}^2 \Rightarrow I_D = \frac{\beta}{2} V_{GS}^2$

$$\begin{cases} V_{DS} = V_{GS} - V_T \\ I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \end{cases}$$

$\overline{SAT}$

$\overline{LIN}$



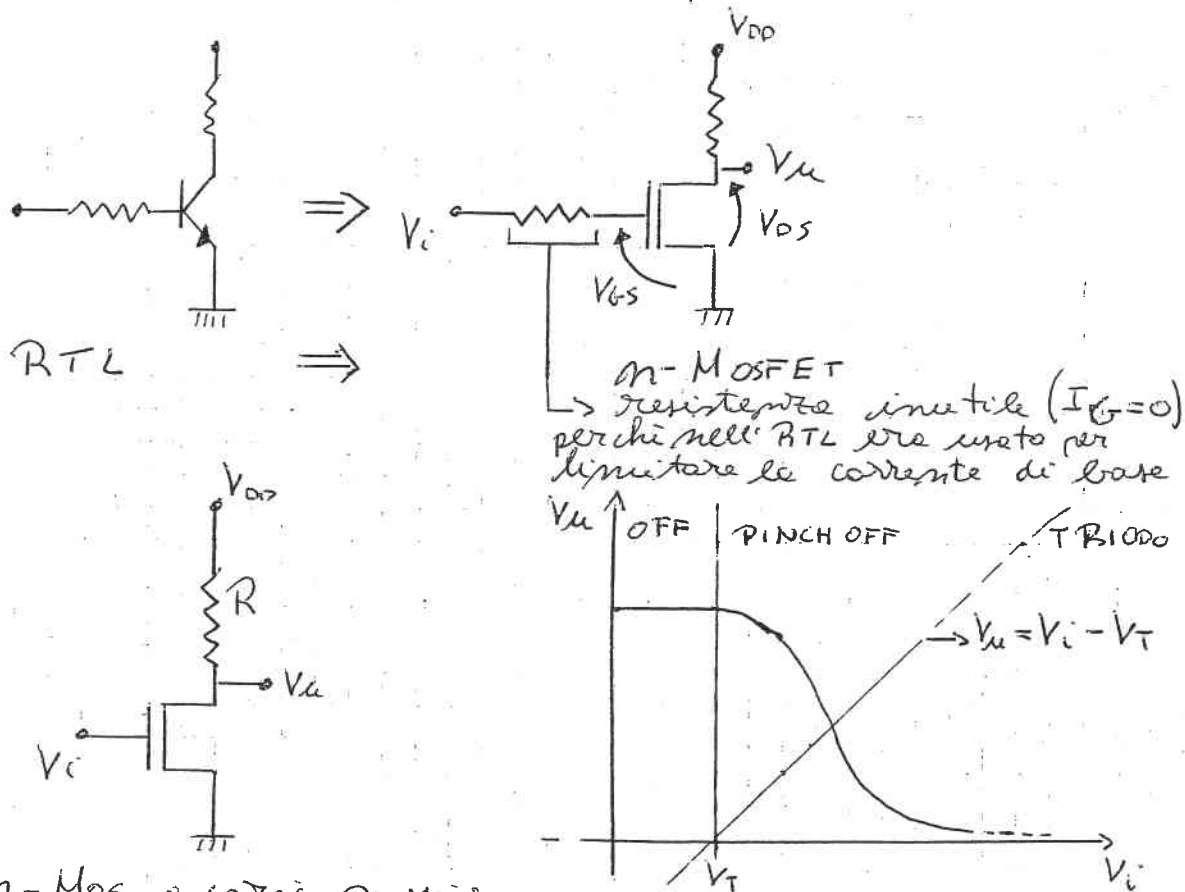
$I_D = 0$

INVERTITORE n-MOS a carico passivo

Si come, la caratteristica d'uscita del n-MOSFET è uguale a quella del BJT si possono fare gli stessi circuiti ma con corrente d'ingresso nulla.

→ si risolvono i problemi legati al fan-out

⇒ per costruire l'invertitore si prende la caratteristica d'uscita e si sovrappone con l'equazione di ohm.



n-Mos a carico passivo

MOFF

$$\left. \begin{array}{l} V_{GS} < V_T \\ V_{GS} = V_i \end{array} \right\} V_i < V_T \Rightarrow I_D = 0 \Rightarrow \boxed{\begin{array}{l} V_i < V_T \\ V_u = V_{DD} \end{array}}$$

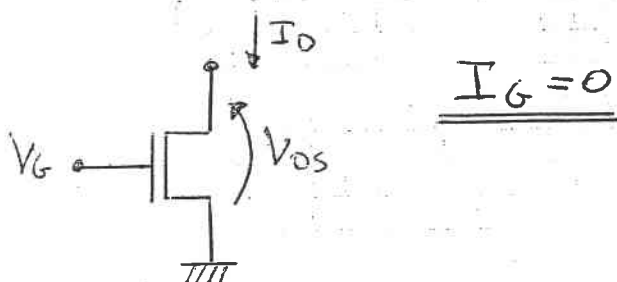
$$V_u = V_{DD} - R I_D \Rightarrow$$

La differenza con il BJT è che V_T è costante ma V_i è variabile ed il fan-out = +∞ (statico)

MSAT (PINCH OFF)

$$\begin{aligned} V_T < V_{GS} < V_{DS} + V_T &\Rightarrow V_T < V_i < V_u + V_T \\ \left. \begin{array}{l} V_u = V_{DD} - R I_D \\ I_D = \frac{\beta_n}{2} (V_{GS} - V_T)^2 \end{array} \right\} &V_u = V_{DD} - R \frac{\beta_n}{2} (V_i - V_T)^2 \end{aligned}$$

MODELLO m-MOSFET



• Transistor OFF

$$V_{GS} < V_T \rightarrow Q_i = 0 \rightarrow I_D = 0 \quad (\text{non c'è il canale})$$

V_T serve per creare il canale e superare la regione sottostante

• Region LINEARE (TRIODO)

$$V_{GS} > V_T \quad V_{DS} < V_{GS} - V_T \quad I_D = C_{ox} \mu_n \frac{W}{L} \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

• Regione di SATURAZIONE (PINCH-OFF)

$$V_{DS} > V_{GS} - V_T \quad \& \quad V_{GS} > V_T \quad V_{DS\text{MAX}} = V_{GS} - V_T$$

$$I_{D\text{MAX}} = C_{ox} \mu_n \frac{W}{L} \cdot \left\{ (V_{GS} - V_T) \cdot V_{D\text{MAX}} - \frac{V_{D\text{MAX}}^2}{2} \right\}$$

$$I_D = C_{ox} \mu_n \frac{W}{L} \cdot \frac{(V_{GS} - V_T)^2}{2}$$

Coefficiente β_n

$$\beta_n = C_{ox} \mu_n \frac{W}{L} \quad \text{dipende dalla tecnologia di fabbricazione}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

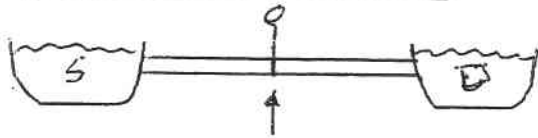
$\epsilon_{ox}, \mu_n \Rightarrow$ parametri fisici caratteristici del materiale (immodificabili)

$t_{ox} \Rightarrow$ è uguale per tutti (memoria dell'ossido)

$\frac{W}{L} \Rightarrow$ attraverso un processo fotolitografico si può variare

Esempio idraulico

①

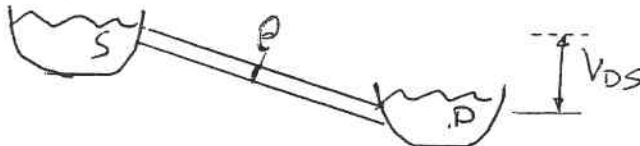


Due vasche piene di liquido, come due "vasche" di portatore.

rebinetto $\leftrightarrow$ come la tensione V_G .

Se il livello delle due vasche è uguale anche se il rebinetto è aperto ($V_{DS} = 0$ e $V_{GS} > 0$) allora non circola acqua.

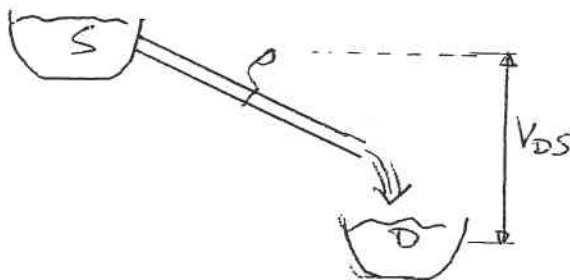
②



È importante per far passare l'acqua che le due vasche siano a livello diverso e che il rebinetto sia aperto.

③ Se si aumenta V_{GS} si arriva alla condizione in cui la vasca D è così alta che non c'è un tubo continuo d'acqua che la connette ma c'è un salto d'acqua.

L'acqua raggiunge il punto più veloce e più stretto alla fine del tubo.



Se la vasca D aumenta V_{GS} la situazione non cambia $\Rightarrow$ corrente costante durante lo strozzamento (pinch-off) $\Rightarrow$ il canale non varia e la corrente d'acqua dipende soltanto dall'apertura del rebinetto, cioè dalla tensione di Gate.

L'errore dell'ipotesi è che nel punto ③ dell'esempio l'ipotesi affermava che l'acqua si blocca.

$\hookrightarrow$ in questa situazione la corrente non è più ohmica ma diffusa.

MLIN (TRIODO)

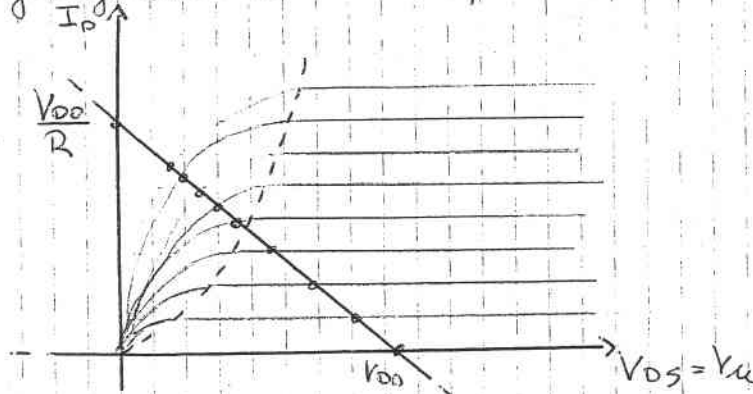
$$V_{GS} > V_{DS} + V_T \rightarrow V_i > V_u + V_T$$

$$V_u = V_{DD} - R I_D$$

$$I_D = \beta_m \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$I_D = \frac{V_{DD} - V_u}{R}$$

Eguagliando le due equazioni si trova la caratteristica



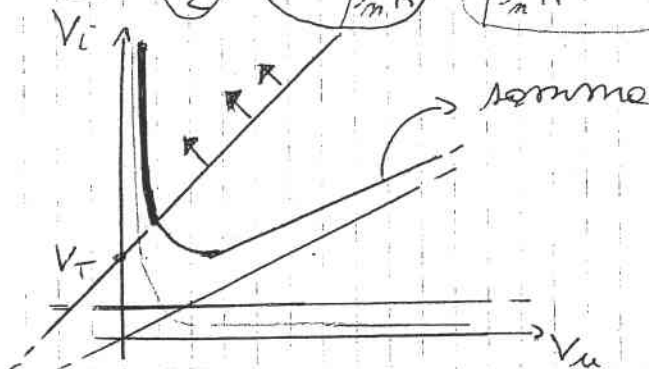
↳ In via analitica

$$V_u = V_{DD} - R \beta_m \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$\frac{V_{DD} - V_u}{R \beta_m V_u} = \frac{\beta_m R}{\beta_m R} \left\{ (V_i - V_T) - \frac{V_u}{2} \right\} \cdot \frac{V_u}{V_u}$$

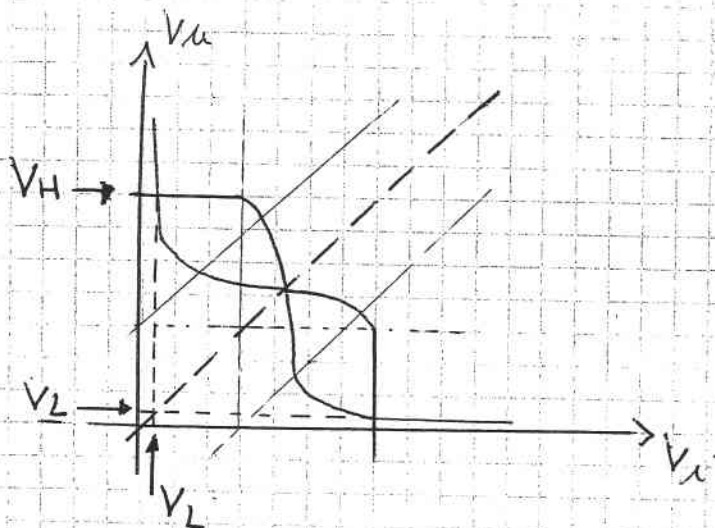
$$\frac{V_{DD}}{\beta_m R V_u} - \frac{1}{\beta_m R} = (V_i - V_T) - \frac{V_u}{2}$$

$$(V_i) = \left(\frac{V_u}{2} \right) + V_T - \frac{1}{\beta_m R} + \left(\frac{V_{DD}}{\beta_m R} \cdot \frac{1}{V_u} \right) \text{ vale per } V_i > V_u + V_T$$



↳ il valore dell'uscita tende asintoticamente a 0.

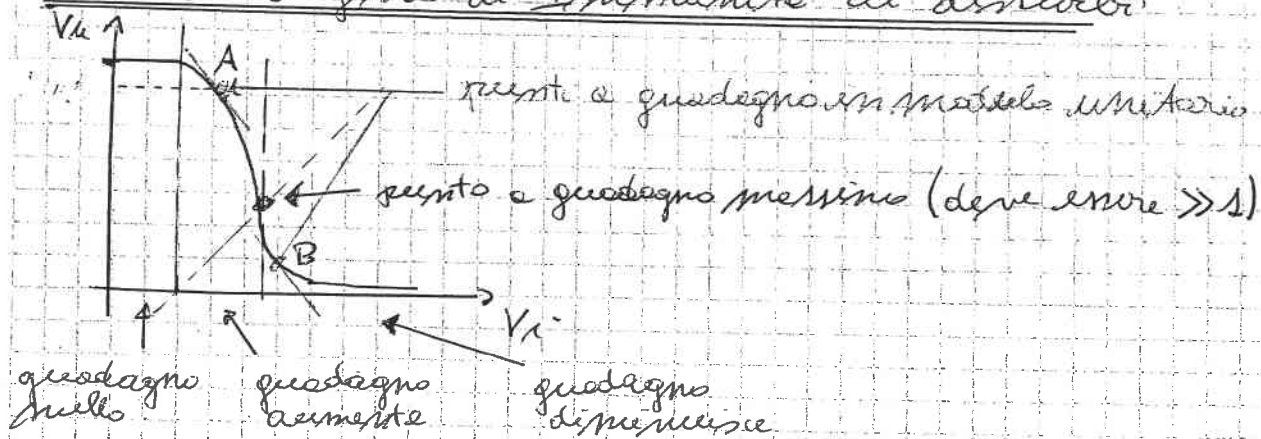
Per calcolare il valore V_L interno la caratteristica con la sua simmetrica



usando l'equazione
$$\begin{cases} V_u = V_{DD} - \beta_m R \left\{ (V_i - V_T) \cdot V_u - \frac{V_u^2}{2} \right\} \\ V_i = V_{DD} = V_H \end{cases}$$

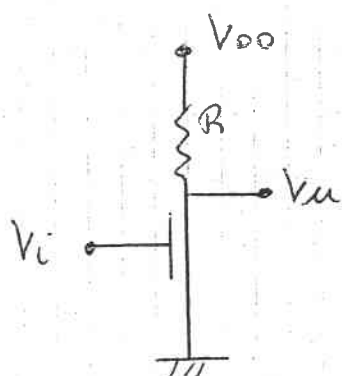
il valore $V_u(V_{DD}) = V_L$

Studio Margine di Immunità ai disturbi



Per avere un margine di immunità ai disturbi serve un tratto di caratteristiche al cui guadagno in modulo è maggiore di 1

$A(V_{IL\ MAX}, V_{OH\ MIN})$, $B(V_{IH\ MIN}, V_{OL\ MAX})$



$$V_{DD} = 3,5 \text{ V}$$

$$V_T = 0,6 \text{ V}$$

$$R = 10 \text{ k}\Omega$$

$$\beta_m = 1 \frac{\text{mA}}{\text{V}^2}$$

$\Rightarrow$ Calcolo del margine di immunità ai disturbi

Calcolo di A ($V_{IL \text{ MAX}}, V_{OH \text{ MIN}}$)

M SAT

$$V_u = V_{DD} - \frac{\beta_m R}{2} (V_i - V_T)^2 \Rightarrow \frac{dV_u}{dV_i} = -\frac{\beta_m R}{2} \cdot 2(V_i - V_T) = -1$$

$$\beta_m R (V_i - V_T) = 1 \Rightarrow V_i = V_T + \frac{1}{\beta_m R}$$

$$V_{IL \text{ MAX}} = V_T + \frac{1}{\beta_m R}$$

$$V_{IL \text{ MAX}} = 0,7 \text{ V}$$

$$V_{OH \text{ MIN}} = V_u(V_{IL \text{ MAX}}) = V_{DD} - \frac{\beta_m R}{2} \left(V_T + \frac{1}{\beta_m R} - V_T \right)^2 =$$

$$= V_{DD} - \frac{1}{2\beta_m R} = 3,45 \text{ V}$$

$$V_{OH \text{ MIN}} = V_{DD} - \frac{1}{2\beta_m R}$$

Calcolo di B ($V_{IH \text{ MIN}}, V_{OL \text{ MAX}}$)

M LIN (TRIODO)

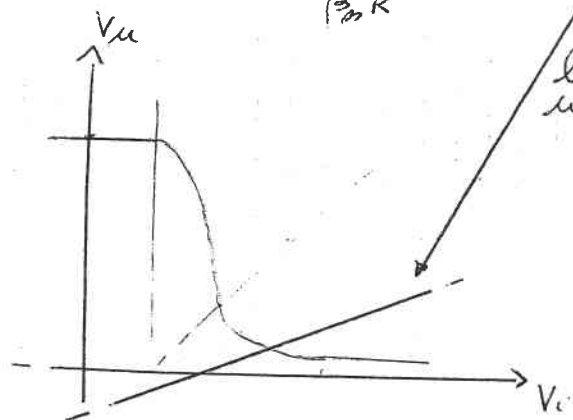
$$V_u = V_{DD} - \beta_m R \cdot \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$\frac{dV_u}{dV_i} = -\beta_m R \left\{ V_u + (V_i - V_T) \cdot \frac{dV_u}{dV_i} - V_u \cdot \frac{dV_u}{dV_i} \right\}$$

$$+1 = +\beta_m R (V_u - V_i + V_T + V_u)$$

$$V_i = V_u + V_T - \frac{1}{\beta_m R}$$

$$V_i = 2V_u + V_T - \frac{1}{\beta_m R}$$



$$V_u = \frac{V_i - V_T + \frac{1}{\beta_m R}}{2}$$

luogo dei punti con derivata uguale a 1.

$$\begin{cases} V_i = 2V_u + V_T - \frac{1}{\beta_m R} \\ V_u = V_{DD} - \beta_m R \left\{ \left(2V_u - \frac{1}{\beta_m R} \right) V_u - \frac{V_u^2}{2} \right\} \end{cases} \Rightarrow$$

$$V_u = V_{DD} - \beta_m R \left(2V_u^2 - \frac{V_u}{\beta_m R} - \frac{V_u^2}{2} \right)$$

$$\frac{3}{2} V_u^2 \beta_m R = V_{DD} \Rightarrow V_u = \sqrt{\frac{2V_{DD}}{3\beta_m R}} = 0,48V = V_{OL\ MAX}$$

$$V_{OL\ MAX} = \sqrt{\frac{2V_{DD}}{3\beta_m R}}$$

$$\text{da } V_i = 2V_u + V_T - \frac{1}{\beta_m R} = 1,46V = V_{IH\ MIN}$$

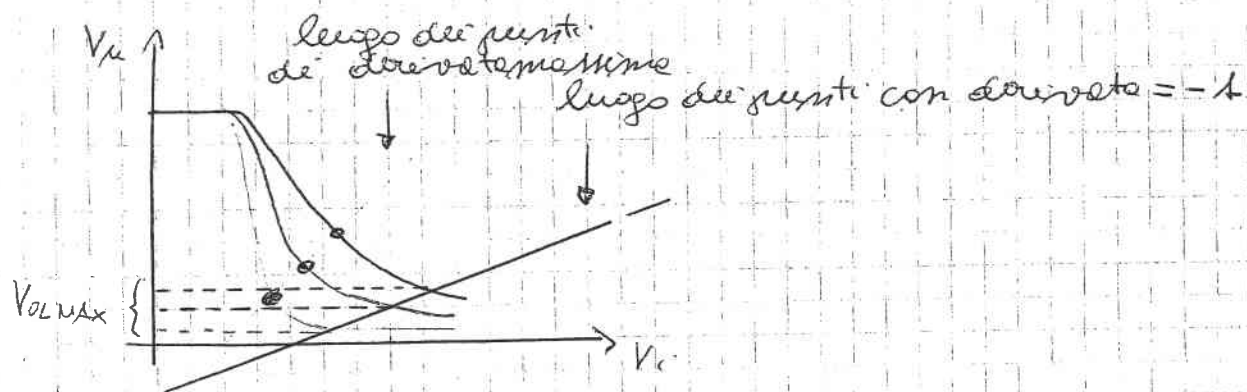
$$V_{IH\ MIN} = 2\sqrt{\frac{2V_{DD}}{3\beta_m R}} + V_T - \frac{1}{\beta_m R}$$

$$N_{ML} = V_{IL\ MAX} - V_{OL\ MAX} = 0,22V$$

$$N_{MH} = V_{OH\ MIN} - V_{IH\ MIN} = 1,99V$$

$$N = 0,22V$$

$\Rightarrow N$ può variare in funzione delle strutture (V_T, β_m)



→ Se il punto in cui c'è la derivata massima aumenta V_{OLMAX} aumenta e quindi diminuisce N_{ML}

⇒ Bisogna avere il punto a der. massima più basso possibile in modo da avere V_{OLMAX} piccolo.

↳ serve $|A_v|$ molto alto.

Il guadagno massimo è in regione SAT.

$$V_u = V_{DD} - \frac{\beta_n R}{2} (V_i - V_T)^2$$

$$A_v = \frac{dV_u}{dV_i} = - \frac{\beta_n R}{2} \cdot 2 (V_i - V_T)$$

Quindi per avere $|A_v|$ molto alto nel punto a der. massima serve

$$|A_v| \uparrow \Rightarrow \beta_n R \uparrow \Rightarrow \beta \uparrow \text{ e } R \uparrow$$

$$\beta \propto C_{ox} \cdot \mu_n \cdot \frac{W}{L}$$

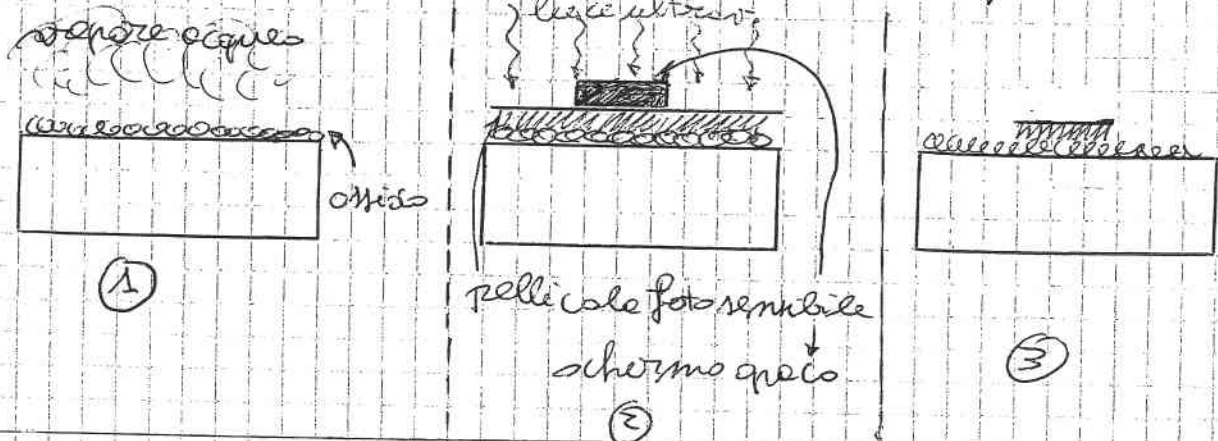
↳ definito durante la fabbricazione

$$\frac{W}{L} \text{ e } R \Rightarrow \underline{\text{definiti dal progettista}}$$

⇒ Occorre studiare il processo di realizzazione di un circuito stampato per valutare β_n e R .

Processo della creazione del circuito stampato (n-Mos)

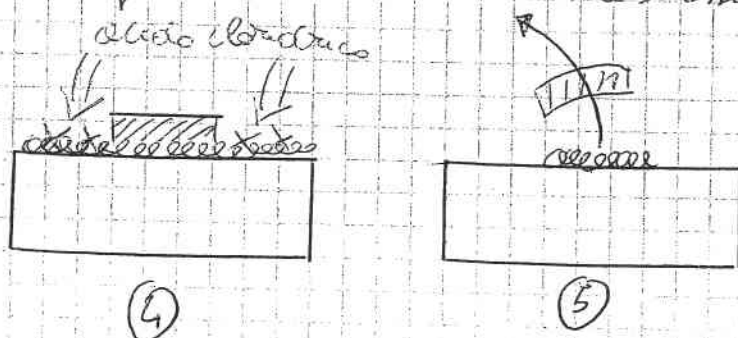
- ① Si accede sulla faccia del silicio con dell'ossido (cioè verso l'esposizione di vapore acqueo).
- ② Con un etacco chimico si rimuove l'ossido:
 ↳ processo fotolitografico.
- ③ viene depositato sull'ossido uno strato fotosensibile (come le pellicole fotografiche), cioè che può cambiare di stato se esposto alla luce. (di nome fotorezist)
- ④ → si usa una maschera per proteggere quello che si vuole realizzare (ad esempio con uno schermo qreo)
- ⑤ → si illumina tutto. (luce ultravioletta)



- ③ Il fotorezist viene impressionato dove non c'è la maschera
 ↳ con un etacco chimico si rimuove la parte esposta alla luce
 Quello che rimane, l'ossido di silicio e il fotorezist, che è stato protetto dalla luce e quindi non viene etacciato dall'agente chimico.

- ④ Si usa acido cloridrico che "mangia l'ossido" dove non c'è il fotorezist e poi con un "bagno chimico" dopo il fotorezist ③

↳ in questo modo si costruisce l'ossido + il gate



Con procedimenti chimici analoghi si creano le regioni di Drain e di Source.

↳ Con uno schermo proteggo le regioni che non devono essere alterate e inietta cariche n.

↳ Quindi si può definire dove e come fare i Gate e le regioni di Drain e Source usando apposite maschere con appositi procedimenti chimici.

⇒ Il progettista disegna in pianta superficiale il circuito.

↳ Si possono controllare i parametri w, L , ma non lo spessore dell'ossido, uguale per tutti; e $\mu_n \Rightarrow$ dipendente dal tipo di materiale.

$$\text{Per avere } |A_v| \uparrow \uparrow \Rightarrow \beta_m \uparrow \uparrow \Rightarrow \begin{matrix} w \uparrow \\ L \downarrow \end{matrix}$$

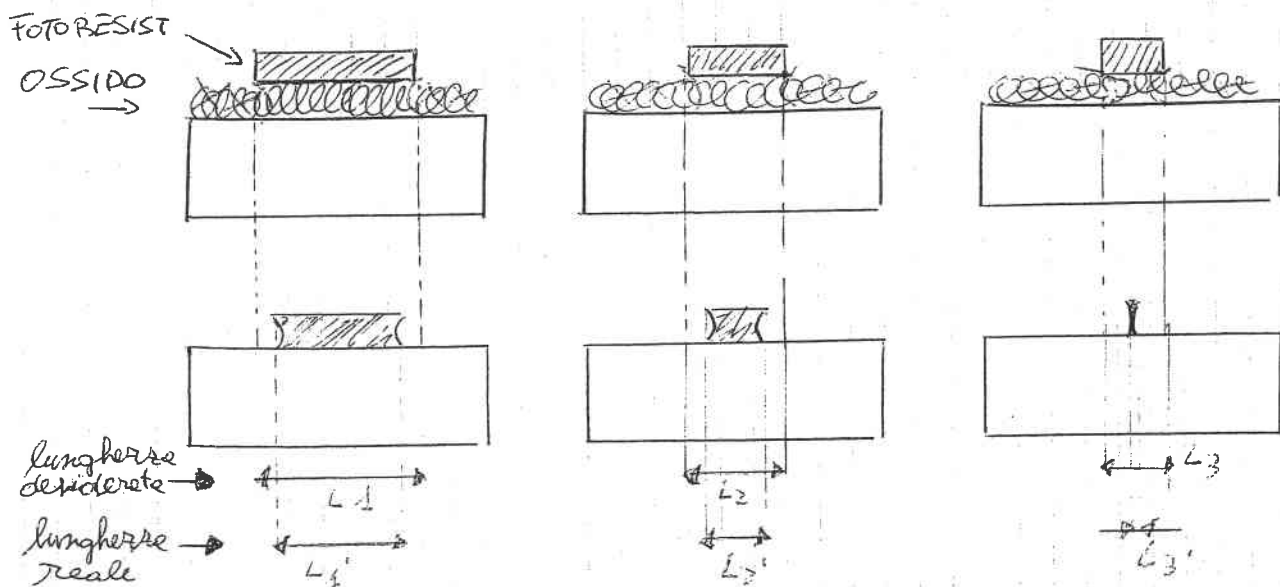
Non si può fare L troppo piccolo per motivi tecnologici:

↳ la fotolitografia che come limite la lunghezza d'onda della luce incidente quindi

① la risoluzione del processo $\gg$ lunghezza d'onda della luce incidente

⇓
cio' spiega l'utilizzo della luce ultravioletta a basse lunghezze d'onda

↳ l'effetto chimico agisce in 3 dimensioni quindi diminuendo L



la dimensione reale diventa sempre più piccola fino a tal punto da non poter più costruire un transistor.

② Esiste una lunghezza minima per cui non si può rendere

Quindi range $L = L_{MIN}$ (è importante per avere β più elevato possibile)

L è il parametro di riferimento per l'avanzamento tecnologico

Si parla di microelettronica perché L è dell'ordine del micron.

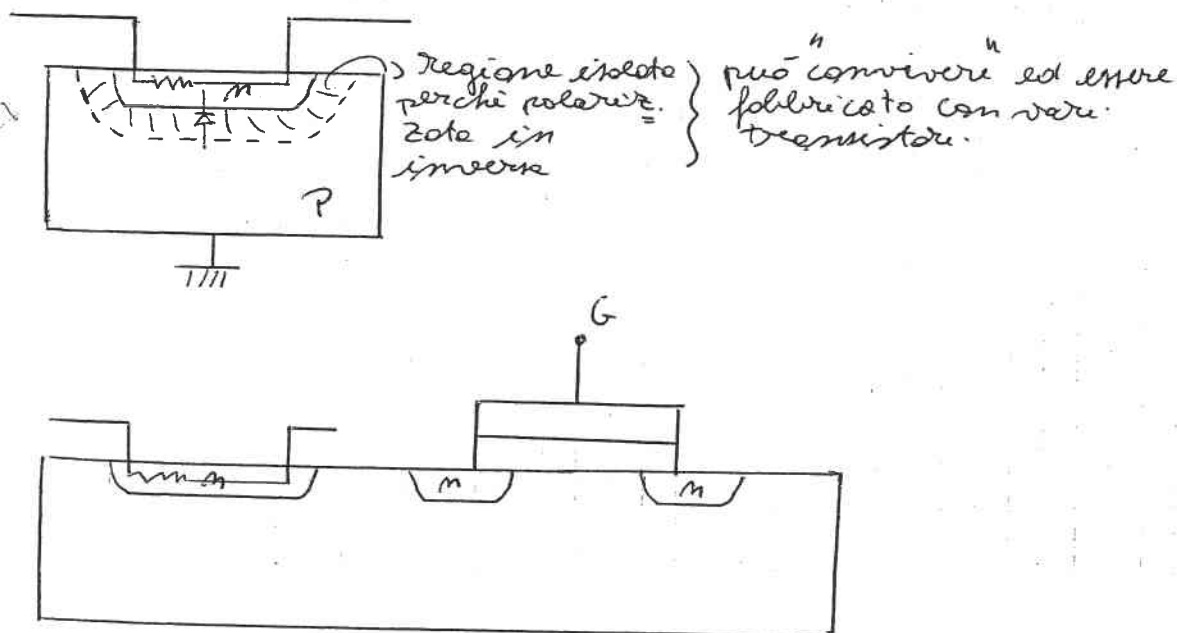
Nel processore intel $L = 65 \text{ nm}$ (ed elevate prestazioni)

Tecnologie non troppo avanzate $L = 350 \text{ nm} = 0,35 \mu\text{m}$

$\beta_m \uparrow \Rightarrow t_{ox} \downarrow \downarrow \quad t_{ox} \approx 1 \div 2 \text{ nm}$ (qualche atomo)

Quindi il progettista progetta

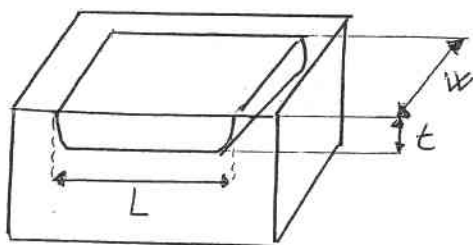
Realizzazione di una Resistenza



Tutte le "buche" di tipo n vengono realizzate insieme perché N_D è uguale per tutti.

$$R = \rho \cdot \frac{l}{S} = \frac{1}{q \mu_n N_D} \cdot \frac{l}{S}$$

doppio elevato perché sono le buche di raccolta del canale.



$$S = w \cdot t$$

$$R = \frac{1}{q \mu_n N_o t} \cdot \frac{L}{W} \rightarrow \text{si fa variare il rapporto.}$$

parte che dipende dal processo di fabbricazione

$$R_{\text{SHEET}} = R_{\square} = \frac{1}{q \mu_n N_o t} \Rightarrow \text{Resistenza di sheet o di quadro}$$

(caso quando $L = W$: cioè quando R è di forma quadrata)

$$R \uparrow \Rightarrow L \uparrow \text{ e } W \downarrow \quad ; \quad R \downarrow \Rightarrow L \downarrow \text{ e } W \uparrow$$

BISOGNA CONSIDERARE V_{MIN}

Quando le due reti hanno caratteristiche complementari.

RETE DI PULL-DOWN

(n-Mos)

Canale largo o corto

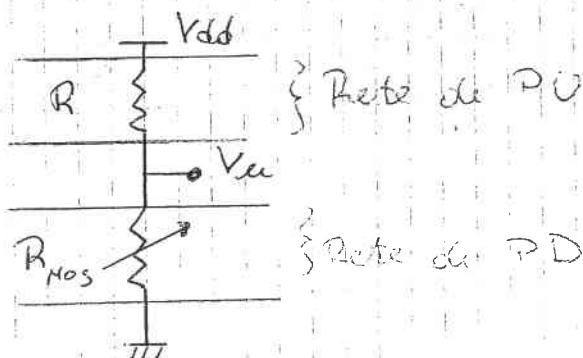
$W \uparrow$ e $L \downarrow$

RETE DI PULL-UP

(Resistenza)

$W \downarrow$ e $L \uparrow$

Invertitore visto come due resistenze



Quando V_u deve essere BASSA

PD è ON $\Rightarrow R_{\text{mos}}$ Basso così la caduta su R è molto più grande della caduta su R_{mos}

Quando V_u deve essere ALTO

PD è OFF $\Rightarrow R_{\text{mos}}$ è Alto così tutta la caduta è nel transistor e quindi non c'è caduta su R

$\hookrightarrow$ Il pull-up è attivo sempre

Il problema è quando PD e PU sono ON entrambi. Si devono "confrontare" due resistenze una prende sopra e una prende sotto.

Quando P_U e P_D sono accesi serve un transistor largo e corto (R_{MOS} piccola) e una resistenza alta ($W \downarrow$ e $L \uparrow$)

↳ Bisogna conoscere W_{MIN} (consentito dalla tecnologia) per realizzare lo R di pull-up.

⇒ Problema della dimensione: più i componenti sono piccoli più dense possono essere e contemporaneamente meno.

↳ per apparecchiature portatili.

In questo circuito W_M è grande e L_R è grande

$$W_{MOS} \gg W_R \quad \text{e} \quad L_R \gg L_M$$

Se alcune dimensioni sono vincolate dalle tecnologie, il rapporto che deve essere elevato tra W ed L provoca un uso elevato delle dimensioni planare.

▷ DISEGNO INV MOS CON R VAR + COMMENTO

34 // - 17:03

▷ DISEGNO MOS con $4R$ e $\beta = 100 \frac{A}{V^2}$, con circuito
Problemi del pull-up (Resistenza)

① ⇒ La resistenza ha un costo molto elevato in quanto N_D deve essere grande per costruire il Source e il Drain, ma essendo

$$R = \rho \frac{L}{S} = \frac{1}{q \mu_n N_D} \cdot \frac{L}{S} \quad \left\{ \begin{array}{l} \text{per un'elaveto } R \\ \text{serve } L \uparrow \end{array} \right.$$

↳ è un fattore poco resistivo

↳ quindi il costo di una resistenza è dovuto dal uso elevato delle dimensioni planare.

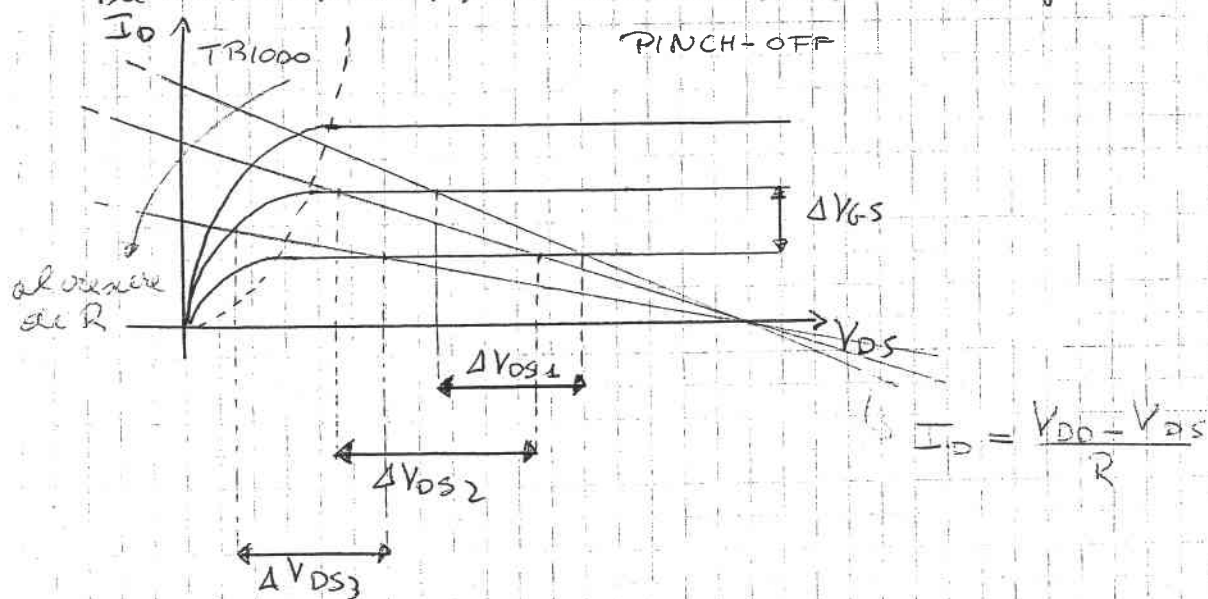
Il costo, quindi, non è dovuto dalle complessità ma dell'ingombro in quanto i Resistori e i transistor vengono prodotti contemporaneamente con gli stessi procedimenti, ma meno spazio occupano reciprocamente, più funzioni si possono creare nello stesso circuito.

⇒ quadruplo elaveto ⇒ $N_L \uparrow$ ⇒ spazio elevato

(Nel bilancio dell'area occupata R pesa di più di n -MOS)

Soluzione del problema delle resistenze

⇒ Al posto della R ci deve essere un oggetto con le stesse proprietà (per costruire una caratteristica $V_u(V_i)$ identica) ma con un minore ingombro.



$\Delta V_{DS2} > \Delta V_{DS1}$ ma $\Delta V_{DS3} < \Delta V_{DS2}$

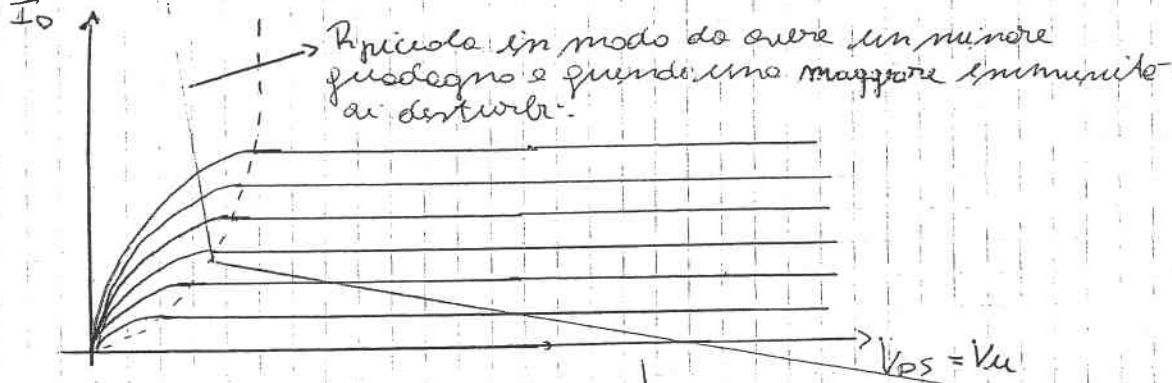
⇒ Al crescere di R e a parità di ΔV_{GS} , ΔV_{DS} aumenta e rimane in regione di saturazione

↳ meno la retta I_D è inclinata più alto è $|A_v|$

- Quando entro nella regione TRIODO sarebbe meglio avere delle reti il più verticali possibile, poiché con ad ogni $\Delta V_{GS} = \Delta V_i$ l'uscita V_{DS} sarebbe costante.

Quindi conviene avere una rete di carico non lineare

in modo che

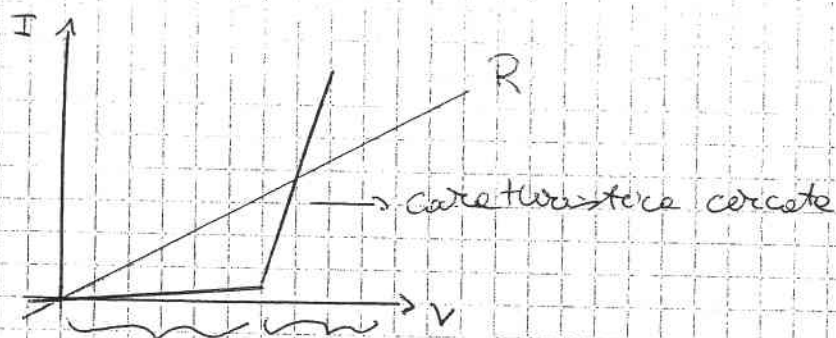


zona di pinch-off $\Leftarrow R$ grande per avere $|A_v|$ elevato.

↳ Valori di uscita alta significano piccole cadute sulla resistenza

Quindi per tensioni basse R elevato.

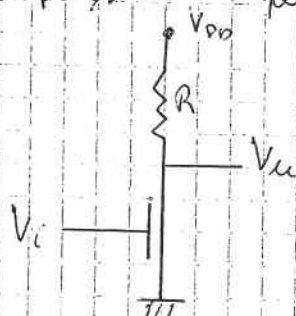
Per tensioni alte R piccolo



R alte
 $\Downarrow$
 alte tensione di uscita in quanto è piccola la caduta sulle resistenze

R basse
 $\Downarrow$
 basse tensione di uscita in quanto è grande la caduta sulle resistenze

Quindi per minimizzare N deve essere $\beta R \uparrow$ cioè W_H grande e L_A grande.



La rete di Pull-down (MOS) deve essere

$\rightarrow$ piccola R quando è accesa

$\rightarrow$ grande R quando è spento

La rete di Pull-up (R) deve essere

$\rightarrow$ grande R quando è spento

$\rightarrow$ piccola R quando è accesa

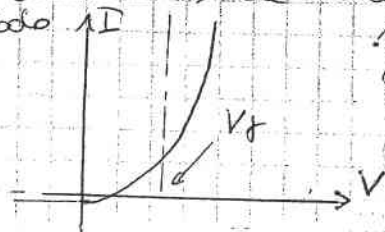
Quindi il transistor largo e corto, la resistenza molto lunga e stretta

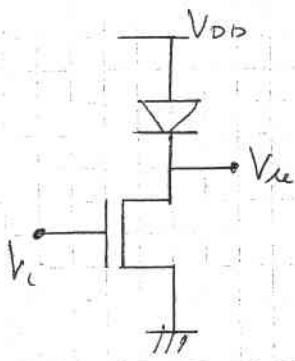
$\Rightarrow R$ di carico deve essere grande quando è acceso il pull-down

R può essere piccolo quando è spento il pull-down

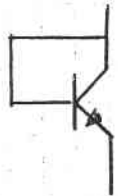
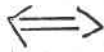
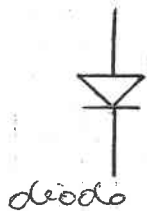
$\Downarrow$
 Partitore in cui la caduta di pull-up molto più grande di quella di pull-down

La caratteristica creata è circa uguale a quella del diodo ma non è usata in quanto V_T è praticamente costante e se viene usato $\rightarrow$





la caduta massima nel pull-up sarebbe V_T e quindi il valore più basso di V_{in} sarebbe $V_{DD} - V_T$.
 ↳ Non ottengo una tensione sufficientemente bassa.

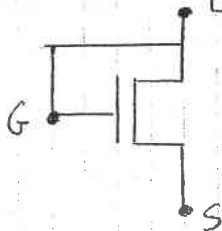


connesso a diodo

⇒ Siccome le caratteristiche del bipolare sono simili a quelle dell'n-MOS

ha i pregi e i difetti del diodo.
 Non è perfetto.

Si può usare un n-MOS e connetterlo a "diodo".

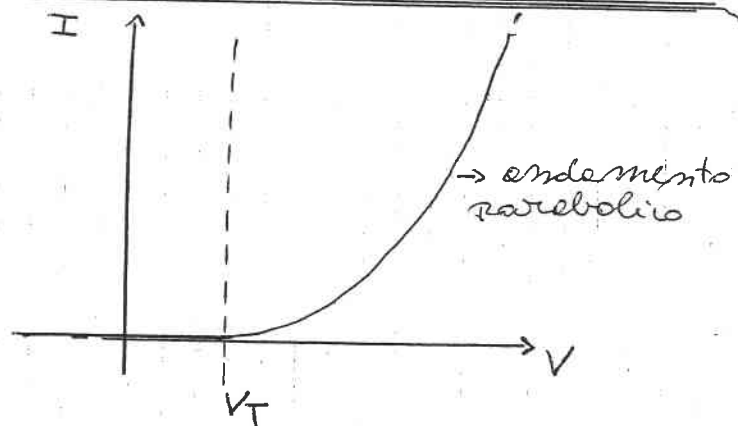
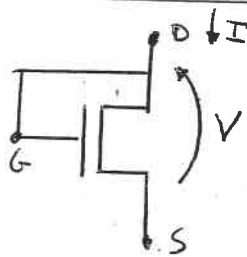


Observation:

- ① La tensione di soglia è modificabile con la tecnologia
- ② La caratteristica non è esponenziale ma quadratica.

↳ Se può provare ad usare il MOS connesso a diodo come il bipolo di cui non hanno detto alle precedenti caratteristiche.

ANALISI BIPOLO N-MOS CONNESSO A DIODO



$$V_G = V_D$$

$$V_{GS} = V_{DS} = V$$

MOFF

$$\left. \begin{array}{l} V_{GS} < V_T \\ V_{GS} = V \end{array} \right\} V < V_T \Rightarrow I = 0 \quad (R = +\infty)$$

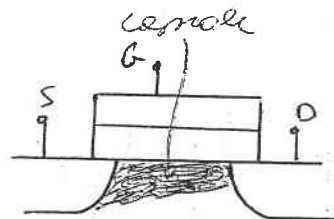
MON

$$\text{è SAT quando} \Rightarrow \left\{ \begin{array}{l} V_{GS} < V_{DS} + V_T \\ V_{GS} > V_T \end{array} \right. \Rightarrow \left\{ \begin{array}{l} V_T > 0 \\ V > V_T \end{array} \right.$$

$V_T > 0$ sempre

Perché non è LIN?

Se fosse lineare il canale è formato dappertutto



Ma tra G e D ^{deve essere} almeno una tensione di soglia

↳ altrimenti per $V_G > V_T$ se in saturazione se $V_{GD} < V_T$

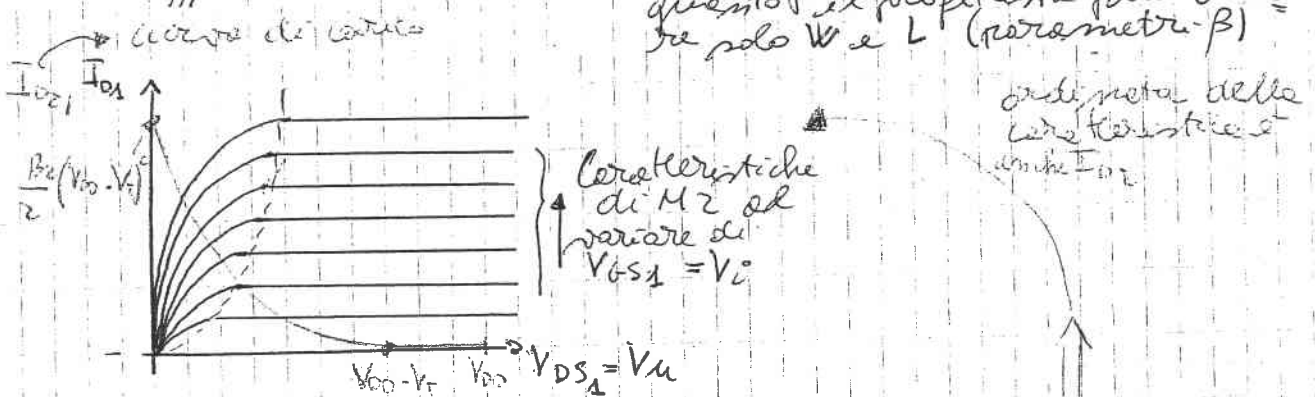
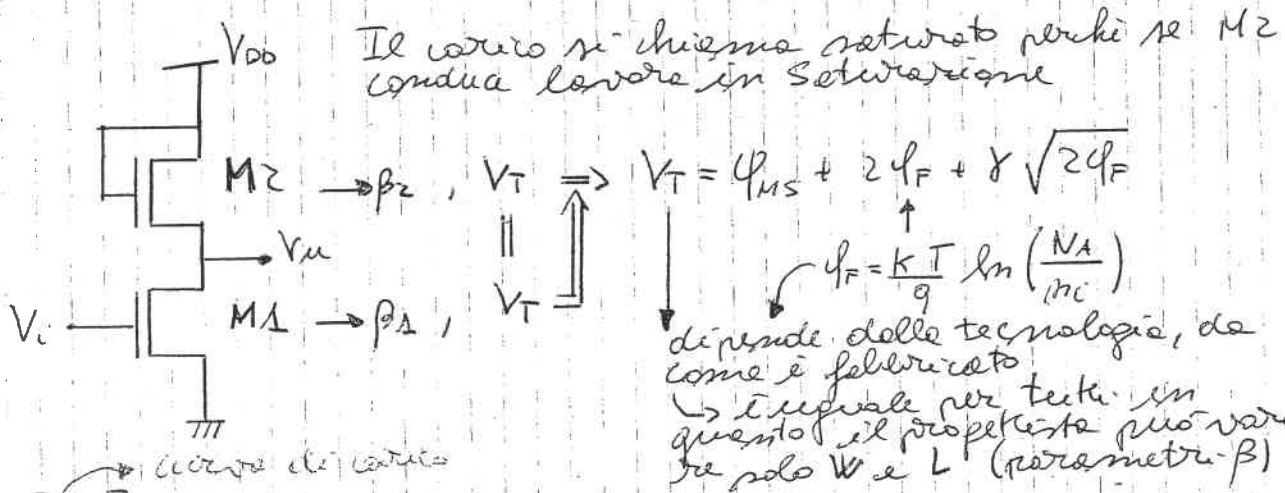
⇒ Cortocircuiterà G con D imponendo il MOS a lavorare SAT.

$$\text{quindi: } \left\{ \begin{array}{l} I_D = \frac{\beta_n}{2} (V_{GS} - V_T)^2 \\ \text{per } V > V_T \end{array} \right. = \frac{\beta_n}{2} (V - V_T)^2$$

→ a V bassa la rete si comporta come R elevata

→ a V crescente R diminuisce.

INVERTITORE m-MOS A CARICO SATURATO



Per costruzione $I_{D1} = I_{S2} = I_{D2} \Rightarrow I_{D1} = I_{D2}$

Per M2

$V_{GS2} = V_{DS2} = V_{DD} - V_U$

$M2 \text{ OFF} \begin{cases} V_{GS2} = V_{DD} - V_U < V_T \Rightarrow V_U > V_{DD} - V_T \\ I_{D2} = 0 \end{cases}$

$M2 \text{ ON, SAT } I_D = \frac{\beta_2}{2} (V_{GS2} - V_T)^2 = \frac{\beta_2}{2} (V_{DD} - V_T - V_U)^2$
 $V_{GS2} = V_{DD} - V_U$

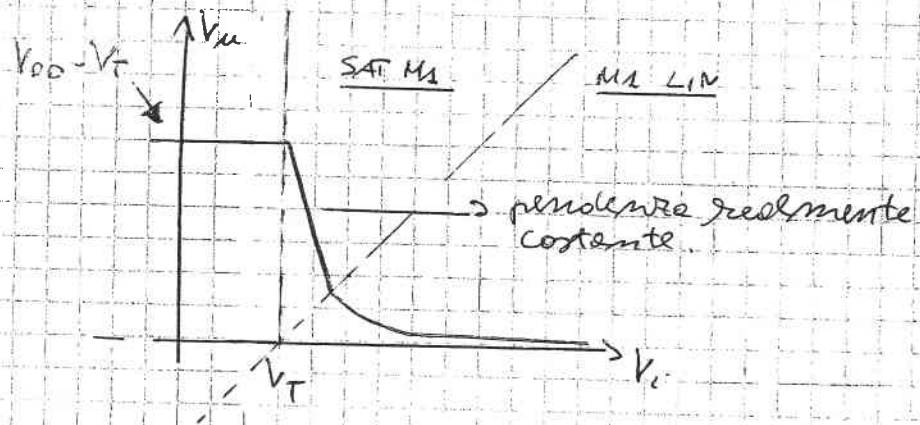
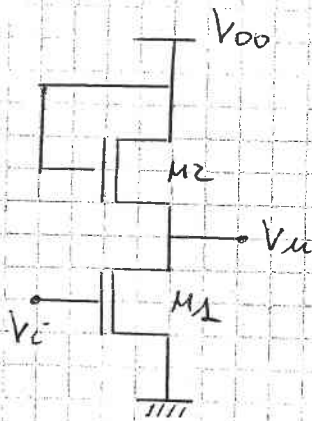
$I_D (V_{DD} - V_T) = 0 ; I_D(0) = \frac{\beta_2}{2} (V_{DD} - V_T)^2$

$\Rightarrow$ Quindi, guardando la caratteristica si può vedere che il circuito è un invertitore perché la curva di carico ha lo stesso andamento della Resistente.

$\Rightarrow$ Differenze

- ① Bipolo non lineare (come quello cercato)
- ② Il dispositivo è più piccolo.

Studio della caratteristica del circuito



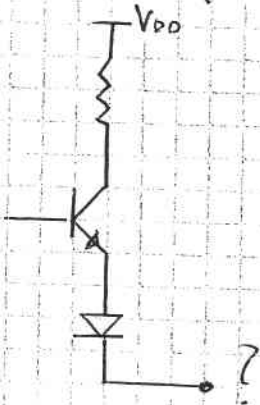
M1 OFF

$$\left. \begin{array}{l} V_{GS1} < V_T \\ V_{GS1} = V_i \end{array} \right\} V_i < V_T \quad \left. \begin{array}{l} I_{D1} = 0 \\ I_{D2} = I_{D1} \end{array} \right\} I_{D2} = 0$$

→ Verso terra c'è quindi un transistor spento (NO PULL-DOWN)

→ Verso l'alimentazione c'è un transistor spento (NO PULL-UP)

(Questo è il problema identico della rete di uscita per una logica TTL - (a totem-pole))

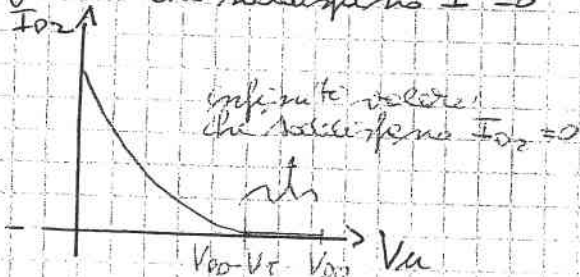


⇒ Il modello a
sopra dice che ci sono
infiniti valori di
tensione che
soddisfanno la condizione
corrente = 0.

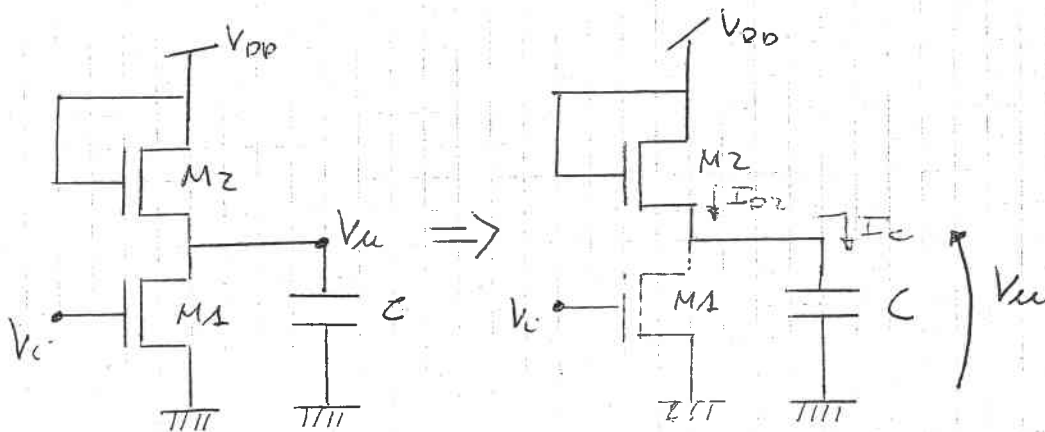
Problema risolto

- ① Uso fan-out to
- ② Considerare una
capacità parassita.

⇒ Anche in questo caso ci possono essere infiniti
valori che soddisfanno $I = 0$



- ① L'uso del fan-out to
è inutile perché $I_G = 0$
- ② Considero una capacità
parassita che c'è sempre.
In realtà se fan-out to
l'uscita va nel gate di
un transistor successivo
che a sua volta è un condensa-
tore (struttura MOS).



se $V_c < V_T \Rightarrow$ M1 OFF PULL-DOWN OFF

se M2 è ON, SAT - c'è un transitorio di carica perché PULL-UP è ON.

$$I_{D2} = C \frac{dV_u}{dt} = I_c$$

Durante il transitorio di PULL-UP la V_u cresce perché il condensatore si carica.

$V_u \uparrow \Rightarrow I_{D2} \uparrow$ e se $I_{D2} = 0 \Rightarrow V_u = \text{Cost.}$

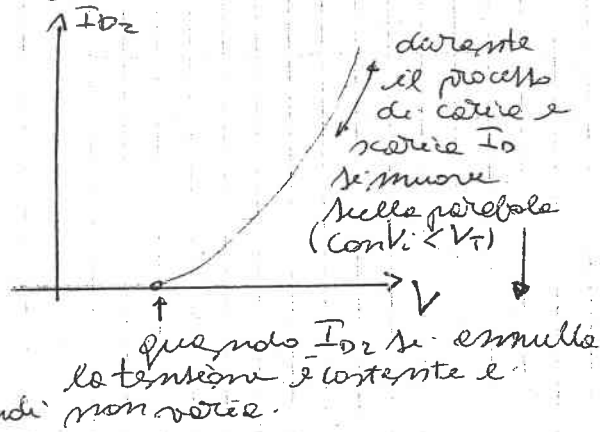
Siccome M2 lavora solo in SAT quando è acceso

$$I_{D2} = \frac{\beta_2}{2} (V_{GS2} - V_T)^2 \text{ ma } I_{D2} = 0 \text{ se } V_{GS2} = V_T$$

$$V_{GS2} = V_{DD} - V_u \Rightarrow V_{DD} - V_u = V_T$$

$$V_u = V_{DD} - V_T$$

Infatti se $\rightarrow$



$\Rightarrow$ Differenza. Con il carico saturato la V_u è più bassa rispetto al circuito con carico prossimo di V_T .

$\Rightarrow$ Quindi la corrente è nulla quando la tensione ai capi di $V_{GS} = V_T$

$\Rightarrow$ Aspetta negativo: $V_u = V_{H, \text{non è } V_{DD} \text{ ma } V_{DD} - V_T$ provocando una diminuzione dell'oscillazione.

M1 ON, SAT

$$\left. \begin{array}{l} V_{GS1} < V_{DS1} + V_T \\ V_{GS1} = V_i \\ V_{DS1} = V_u \end{array} \right\} V_u > V_i - V_T \quad (\text{Non cambia in quanto la rete di PD è uguale})$$

$$I_{D1} = \frac{\beta_1}{2} (V_i - V_T)^2 > 0 \text{ in quanto } V_i > V_T$$

$\Downarrow$

$$I_{D2} > 0 \Rightarrow \underline{M_2 \text{ ON, SAT}}$$

$$\boxed{I_{D1} = I_{D2} = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2 = \frac{\beta_1}{2} (V_i - V_T)^2}$$

$\Downarrow$
Condizione sempre valida

$$\frac{\beta_1}{2} (V_i - V_T)^2 = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

Siccome $\left\{ \begin{array}{l} \underline{M_1 \text{ ON}} \Rightarrow V_i > V_T \\ \underline{M_2 \text{ ON}} \Rightarrow V_{DD} - V_u > V_T \end{array} \right.$ posso trascurare il segno meno dovuto dalle radici quadrate.

$$\sqrt{\beta_1} (V_i - V_T) = \sqrt{\beta_2} (V_{DD} - V_u - V_T)$$

$$\boxed{V_u = V_{DD} - V_T - \sqrt{\frac{\beta_1}{\beta_2}} (V_i - V_T)} \Rightarrow \text{Retta a pendenza negativa}$$

dove $\frac{dV_u}{dV_i} = -\sqrt{\frac{\beta_1}{\beta_2}}$

$$V_u(V_T) = V_{DD} - V_T$$

M1 ON, LIN $V_i > V_u - V_T$

$$I_{D1} = \beta_1 \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\} > 0 \text{ allora } \underline{M_2 \text{ ON, SAT}}$$

$$I_{D2} = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

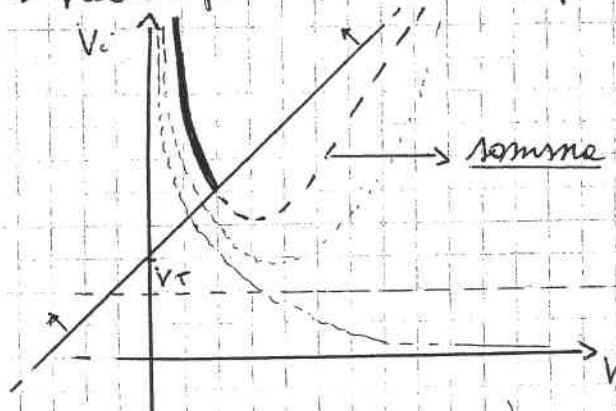
$$\frac{\beta_2}{2} (V_{DD} - V_T - V_u)^2 = \frac{\beta_1}{2} \left\{ 2(V_i - V_T) - V_u \right\} V_u$$

$$\frac{(V_{DD} - V_T)^2}{V_u} + \frac{V_u}{V_u} - \frac{2(V_{DD} - V_T) \cdot V_u}{V_u} = \frac{\beta_1}{\beta_2} \left\{ 2(V_i - V_T) - V_u \right\} \cdot \frac{V_u}{V_u}$$

$$2(V_i - V_T) - V_u = \frac{\beta_2}{\beta_1} \left\{ \frac{(V_{DD} - V_T)^2}{V_u} + V_u - 2(V_{DD} - V_T) \right\}$$

$$V_i = V_T + \underbrace{\frac{V_{u1}}{2} \left(1 + \frac{\beta_2}{\beta_1} \right)}_{\text{termine lineare}} - \underbrace{\frac{\beta_2}{\beta_1} (V_{DD} - V_T)}_{\text{termine quadratico}} + \underbrace{2 \frac{\beta_2}{\beta_1} \frac{(V_{DD} - V_T)^2}{V_{u1}}}_{\text{termine quadratico}}$$

↳ Valido per $V_i > V_{u1} + V_T$ (da $V_{OS} > V_{OS} + V_T$ cioè $V_{GS} > V_T$)



- (grafico del bipolo di carico) - 32 min
- (grafico del convertitore) MOS e CMOS saturato - 29 min

⇒ Caratteristica $V_u(V_i)$ rettilinea

È un tratto a pendenza lineare (importante per la tecnologia analogica) ⇒ in questo tratto c'è un'amplificazione del segnale.

↳ c'è una buona fedeltà in quanto la caratteristica non è approssimata (come nei modelli con BJT) come si può vedere dal grafico della derivata di V_{out} , in quanto da un modello quadratico si ottiene una caratteristica rettilinea.

↳ questo si ha quando M_1 è SAT.

$$V_{u1} = V_{DD} - V_T - \sqrt{\frac{\beta_1}{\beta_2}} (V_i - V_T)$$

$$A_v = \frac{dV_u}{dV_i} = -\sqrt{\frac{\beta_1}{\beta_2}} = -\sqrt{\frac{\frac{C_{ox}}{t_{ox}} \mu_n \frac{W_1}{L_1}}{\frac{C_{ox}}{t_{ox}} \mu_n \frac{W_2}{L_2}}} = -\sqrt{\frac{W_1 \cdot L_2}{L_1 \cdot W_2}} = -\sqrt{\frac{W_1}{W_2} \cdot \frac{L_2}{L_1}} \Rightarrow \text{il guadagno non dipende dal processo di fabbricazione.}$$

Quindi per avere

$$A_v \uparrow \uparrow, \quad L_1 \rightarrow L_{1min}, \quad L_2 \gg W_{2min}$$

$$W_1 \gg L_{1min}, \quad W_2 \rightarrow W_{2min}$$

Quindi il

- transistor di PU ha un canale lungo e stretto
- transistor di PD ha un canale corto e largo

questo è ovvio perché il transistor, anche se più efficientemente perché non lineare, si deve comportare come una resistenza e quindi quando sono e ce n'è PU che PD, la resistenza di PU deve essere molto maggiore di quella di PD.

→ C'è un vincolo tra il rapporto dei fattori di forma.

⇒ i due invertitori studiati (a carico rasoio e a carico saturato) sono invertitori RATIONED. cioè bisogna valutare opportunamente i fattori di forma per avere prestazioni sufficienti.

INVERTITORI RATIONED: le prestazioni dipendono dai fattori di forma

Defetti del circuito

- ① Caratteristica RATIONED: le prestazioni alle dimensioni provano ad avere più prestazioni elevate con alte dimensioni (allungare / allargare PU / PD)
 - anche se questo circuito è più piccolo di quello precedente in quanto le dimensioni del transistor n-MOS sono più piccole di quelle di uno R.
- ② Non si può sfruttare tutta la tensione disponibile e questo è molto grave in quanto la tecnologia tende a sfruttare potenzialmente sempre più bene per avere gate con maggiore portabilità.
 - Al tempo degli RTL $V_{MAX} = 5V = V_{CC}$
 - Durante l'introduzione degli n-MOS $V_{MAX} = 3.5V = V_{DD}$
 - La tendenza odierna è $V_{MAX} = 2.7 \div 2.9V$ in quanto la dimensione minima dei transistor supporta tensioni sempre più basse.

↓
Riducendo le dimensioni bisogna diminuire ΔV applicato in quanto

$$\left| \frac{\Delta V}{d_{int}} \right| = |\vec{E}| \quad \text{e se } d_{int} \downarrow \text{ e } \Delta V = \text{cost} \Rightarrow E \uparrow \uparrow$$

ed essendo il campo elettrico causa di fenomeni di rottura per effetto di scarica può provocare la rottura del transistor.

Quindi non utilizzare una parte dell'escursione dovuta

sempre più grave.

Ricerca di un implemento per risolvere il problema ②

Il problema nasce quando M_1 è OFF. $\rightarrow I_{D1} = 0 = I_{D2}$

M_2 è SAT $\Rightarrow I_{D2} = \beta_2 (V_{GS} - V_T)^2 \Rightarrow \underline{V_{GS} = V_{DD} - V_T}$

Ma M_2 è SAT perché $\Rightarrow V_{DD} - V_T$

$$\begin{cases} V_{GS2} < V_{DS2} + V_T \\ \text{ma } V_{GS2} = V_{DS2} \end{cases} \Rightarrow \boxed{V_T > 0}$$

• Se M_2 fosse LIN

$$V_{GS2} > V_{DS2} + V_T > \frac{V_{DS2}}{2} + V_T$$

$$I_{D2} = \beta_2 \left\{ (V_{GS2} - V_T)V_{DS2} - \frac{V_{DS2}^2}{2} \right\} = \beta_2 V_{DS} \left(V_{GS2} - V_T - \frac{V_{DS2}}{2} \right)$$

Ma sapendo che $I_{D2} = I_{D1} = 0$ per annullare I_{D2} serve

$$\text{che } V_{DS} = 0 \text{ in quanto } \underset{\uparrow}{V_{GS2}} - V_T - \frac{V_{DS2}}{2} > 0$$

$$\Rightarrow \underline{\text{In regione LIN per annullare } I_0 \Rightarrow V_{DS} = 0}$$

$$\Rightarrow \underline{\text{In regione SAT per annullare } I_0 \Rightarrow V_{GS} = V_T}$$

se M_2 lavorasse in regione lineare $V_{DS} = 0 \Rightarrow V_{GS} = V_{DD}$

Per lavorare in regione lineare occorre che $V_T < 0$.

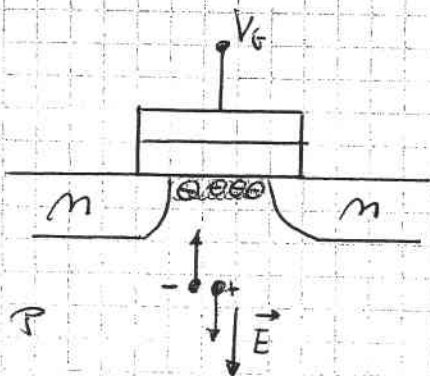
• V_T è la tensione da applicare al gate per applicare il canale.

• Un transistor a V_T negativo è un transistor per cui a $V_T = 0$ il canale è formato $\Rightarrow$ modifiche tecnologiche

m-MOS A SOGLIA NEGATIVA

$V_T > 0$

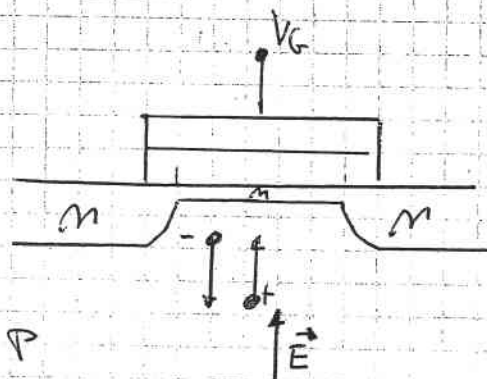
ENHANCEMENT



Quando $V_G = V_T$ si forma il canale. Al crescere della tensione applicata aumenta la concentrazione superficiale di elettroni fino a che $n_s \approx N_A$ cioè quando $V_G = V_T$.

$V_T < 0$

DEPLETION



Si realizza un canale "prefabbricato" molto sottile e ricco di elettroni. Con $V_G = 0$ può passare corrente in quanto il canale è già formato. Per "spegnere" il canale serve una tensione negativa tale per cui il E "prende" gli elettroni presenti sul canale prefabbricato e li allontana. Più è aperto il canale più alta deve essere la tensione per spegnere il transistor $\Rightarrow$ più negativa deve essere la tensione di soglia.

V_T deve creare il canale

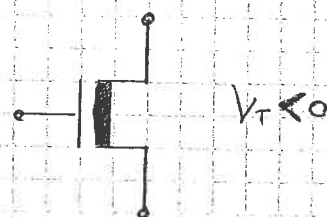
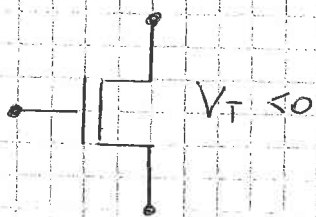
Canale costruito arricchendo la superficie di portatori minoritari, in questo caso nel substrato.

V_T spegne il canale già esistente
canale creato.

Transistore ad arricchimento

Transistori a svuotamento

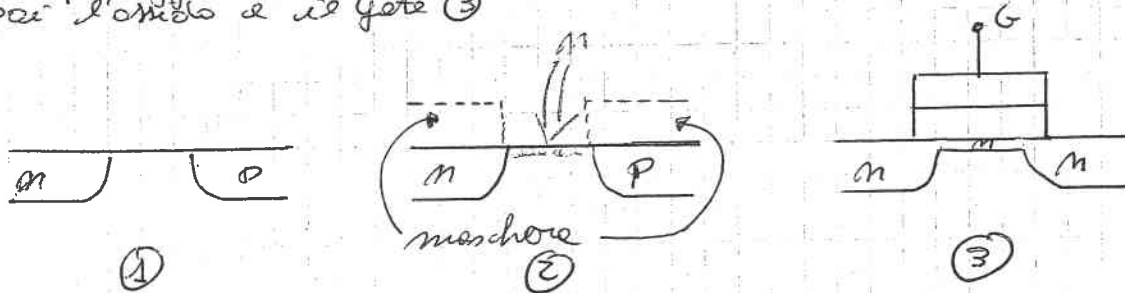
SIMBOLOGIA



$\Rightarrow$ Il processo non può creare due transistori con soglie diverse, ma due transistori di due tipi diversi.

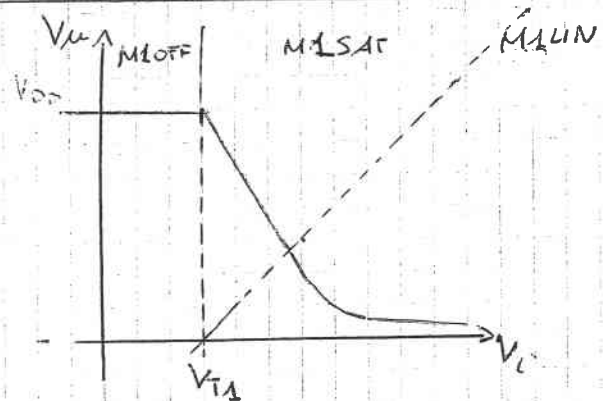
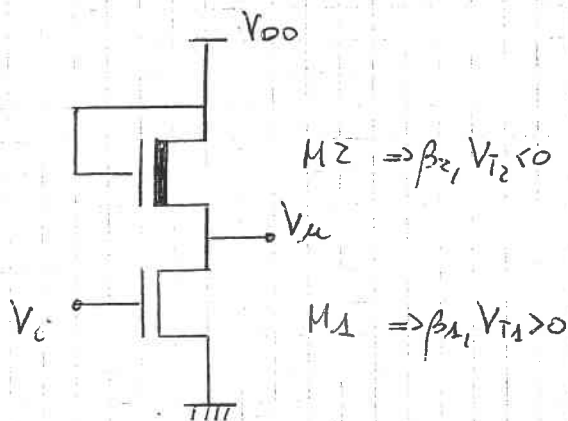
(circuito invertitore con $V_T = -0,7V$)

Per costruire il transistor a svotamento usiamo gli stessi procedimenti per la costruzione di uno ad arricchimento. L'unica differenza è che dopo aver creato le brache di S e D ① le proteggo con un'opportuna maschera e creo il canale ② per l'omolo e il gate ③



⇒ La tensione di soglia può variare solo poche volte per circuiti con molti transistori; ma in generale rimane costante.

INVERTITORE n-MOS con a carico n-MOS a svotamento



Indipendentemente dal fan-out $I_{D1} = I_{D2}$

M1 OFF

$$V_{GS1} = V_i < V_{T1}$$

$$I_{D1} = 0 = I_{D2} \Rightarrow \underline{M2 \text{ LIN}} \Rightarrow \left. \begin{array}{l} V_{DS2} = 0 \\ V_{DS2} = V_{DD} - V_U \end{array} \right\} \text{cioè } \boxed{V_U = V_{DD}}$$

M1 SAT

$$\left. \begin{array}{l} V_{GS1} < V_{DS1} + V_{T1} \\ V_i < V_U \end{array} \right\} V_U > V_i - V_{T1} \quad \text{rete di PD, non è caricata}$$

$$I_{D1} = \frac{\beta_1}{2} (V_i - V_{T1})^2 > 0 \Rightarrow I_{D2} > 0 \quad \text{cioè } \underline{M2 \text{ ON}} \text{ ma}$$

se M2 è ON deve essere in regione lineare in quanto $V_{T2} < 0$.

$$\text{perché per essere LIN } V_{GS2} > V_{DS2} + V_{T2} \Rightarrow V_{T2} < 0$$

$$I_{P2} = \beta_2 \left\{ \underbrace{(V_{DD} - V_u - V_{T2})}_{V_{GS2}} \underbrace{(V_{DD} - V_u)}_{V_{DS2}} - \frac{(V_{DD} - V_u)^2}{2} \right\}$$

$$I_{D1} = \frac{\beta_1}{2} \underbrace{(V_i - V_{T1})}_{V_{GS1}}^2$$

$$\rightarrow \dots \rightarrow V_u = \frac{\pm \left(\sqrt{\beta_1 (V_i - V_{T1})^2 + \beta_2 V_{T2}^2} + \sqrt{\beta_2} (V_{DD} - V_{T2}) \right)}{\sqrt{\beta_2}}$$

$$V_u = V_{DD} - V_{T2} \mp \sqrt{V_{T2}^2 + \frac{\beta_1}{\beta_2} (V_i - V_{T1})^2}$$

maggiore di V_{T2} e quindi finalmente
bisogna cancellare la radice con segno + perché
verrebbe una $V_u > V_{DD}$.

$$V_u(V_T) = V_{DD}$$

→ al crescere di V_i sotto la radice domina $\frac{\beta_1}{\beta_2} (V_i - V_T)^2$

$$\text{quindi } V_u(V_i) \approx V_{DD} - V_{T2} - \sqrt{\frac{\beta_1}{\beta_2}} (V_i - V_T)$$

quodotativamente l'andamento è rettilineo ("un po' meno")

MA LIN

Dalla simulazione.

Vantaggio

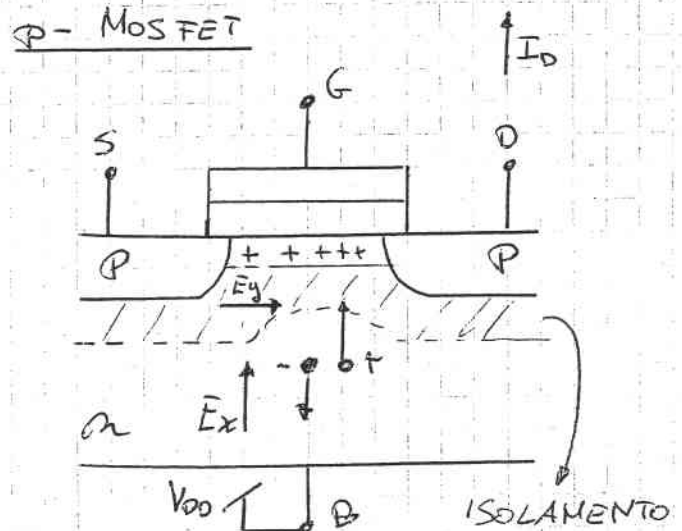
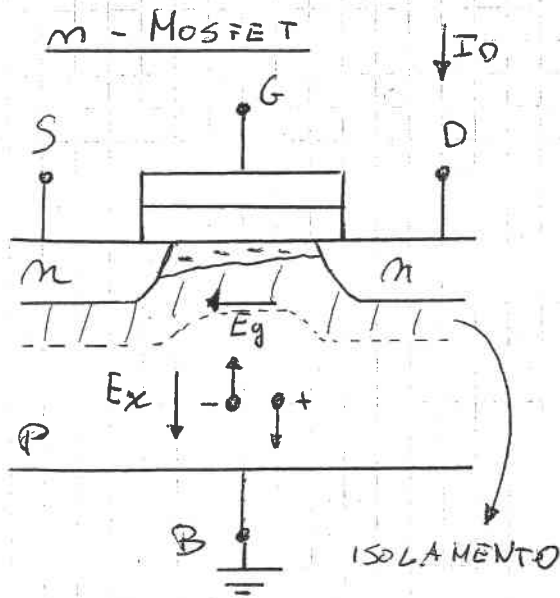
- C'è la massima escursione

Svantaggio

- Dimensione tecnologica. Il circuito è più complicato in quanto bisogna creare il canale per avere V_{T0} .

⇒ Si possono usare transistori a canale-p (transistore
duale)

p-MOSFET (a canale p)



Il canale si forma raccogliendo i portatori maggioritari, lacune, del substrato. Per ottenere carica positiva occorre applicare un potenziale negativo al Gate.

• Substrato N_A (accettori) perché serve che i minoritari siano gli elettroni

⇔ Substrato N_A (donatori) perché serve che i minoritari siano le lacune.

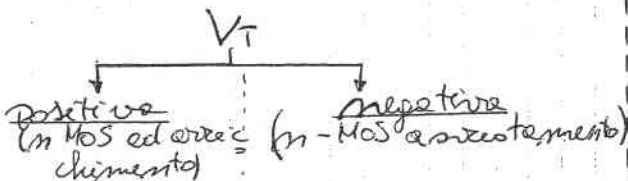
• Buche di tipo n per fare D e S.

⇔ Buche di tipo p per fare D e S

$V_{GS} > V_T$ per creare il canale.

Si crea un campo elettrico che ha l'effetto di portare i minoritari, nelle superficie e i maggioritari, le lacune, lontano da essa creando una zona svuotata.

$V_B = 0$ che garantisce il completo isolamento della struttura.



Per creare un canale di portatori minoritari, lacune, serve E_x rivolto verso l'alto cioè $V_{GB} < 0$

Quindi se $V_{GB} < V_T$ per creare il canale

$V_T < 0$ per un transistor ad acciamento

↳ gli elettroni si allontanano svuotando la regione del canale.

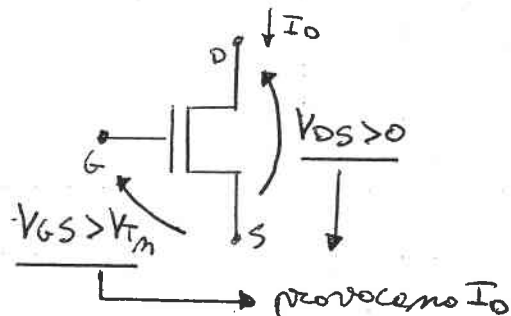
Quindi $V_B = V_{DD}$ per garantire una pol. inversa della p-n junction e quindi per garantire una regione svuotata cioè isolata

n - MOSFET

Quando il canale è formato

con $V_{DS} > 0$ le cariche negative, i minoritari che costituiscono il canale, si spostano dal Source verso il Drain.

I_D entra nel Drain



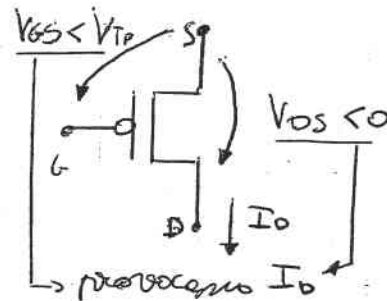
Dove S è a pot. più basso

p - MOSFET

Quando il canale è formato

Per far spostare le cariche, lacune, dal Source verso il Drain serve $V_{DS} < 0$ e quando le cariche

I_D esce dal Drain

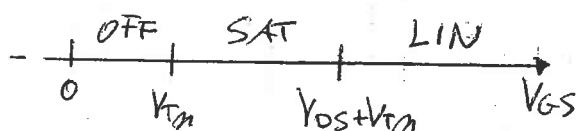


Dove S è a pot. più alto

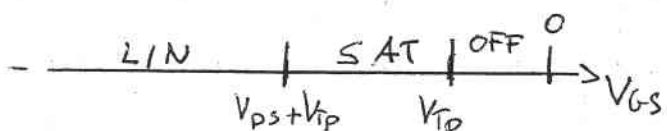
MODELLO TRANSISTOR

Per formare il canale

$$V_{GD} > V_{TM}$$



$$V_{GD} < V_{TP}$$



Le equazioni Approssimate
(a parte i segni)

n - MOS OFF

$$V_{GS} < V_{TM} \quad I_D = 0$$

n - MOS SAT

$$V_{TM} < V_{GS} < V_{DS} + V_{TM}$$

$$I_D = \frac{\beta_n}{2} (V_{GS} - V_{TM})^2$$

n - MOS LIN

$$V_{GS} > V_{DS} + V_{TM}$$

$$I_D = \beta_n \left\{ (V_{GS} - V_{TM}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

p - MOS OFF

$$V_{GS} > V_{TP} \quad I_D = 0$$

p - MOS SAT

$$V_{DS} + V_{TP} < V_{GS} < V_{TP}$$

$$I_D = \frac{\beta_p}{2} (V_{GS} - V_{TP})^2$$

p - MOS LIN

$$V_{GS} < V_{DS} + V_{TP}$$

$$I_D = \beta_p \left\{ (V_{GS} - V_{TP}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

Quando i transistor ad arricchimento e svuotamento non sono mai usati insieme perché con n e p MOS ad arricchimento si hanno due V_T una positive ed una negative

<u>n-MOSFET</u>	<u>p-MOSFET</u>
$V_{TN} > 0$ per tr. ENHANCEMENT	$V_{TP} < 0$ per tr. ENHANCEMENT
$V_{TN} < 0$ per tr. DEPLETION	$V_{TP} > 0$ per tr. DEPLETION

↳ non si mischiano

MODELLO p-MOSFET ad arricchimento

$$V_{DS} < 0 \rightarrow V_{DS} = -V_{SD} \Rightarrow V_{SD} > 0$$

$$V_{GS} < 0 \rightarrow V_{GS} = -V_{SG} \Rightarrow V_{SG} > 0$$

$$V_{TP} < 0 \rightarrow V_{TP} = -|V_{TP}| \Rightarrow |V_{TP}| > 0$$

p-MOS OFF

$$V_{GS} > V_{TP} \rightarrow -V_{SG} > -|V_{TP}| \Rightarrow$$

$$V_{SG} < |V_{TP}|$$

$$I_D = 0$$

p-MOS SAT

$$V_{GS} < V_{TP} \rightarrow -V_{SG} < -|V_{TP}| \Rightarrow$$

$$V_{DS} + V_{TP} < V_{GS} \rightarrow -V_{SD} > -V_{SD} - |V_{TP}| \Rightarrow$$

$$I_D = \frac{\beta_p}{2} (V_{GS} - V_{TP})^2$$

$$= \frac{\beta_p}{2} \left(\underbrace{-V_{SG}}_{V_{SG}} + \underbrace{(-V_{TP})}_{|V_{TP}|} \right)^2$$

$$V_{SG} > |V_{TP}|$$

$$V_{SG} < V_{SD} + |V_{TP}|$$

$$I_D = \frac{\beta_p}{2} (V_{SG} - |V_{TP}|)^2$$

p-MOS LIN

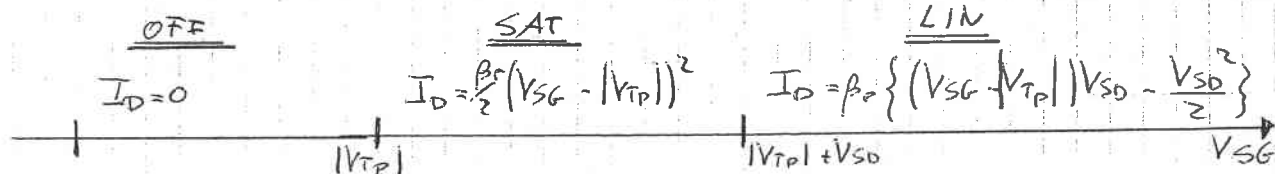
$$V_{GS} < V_{DS} + V_{TP} \rightarrow -V_{SG} < -V_{SD} - |V_{TP}| \Rightarrow$$

$$I_D = \beta_p \left\{ (V_{GS} - V_{TP}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

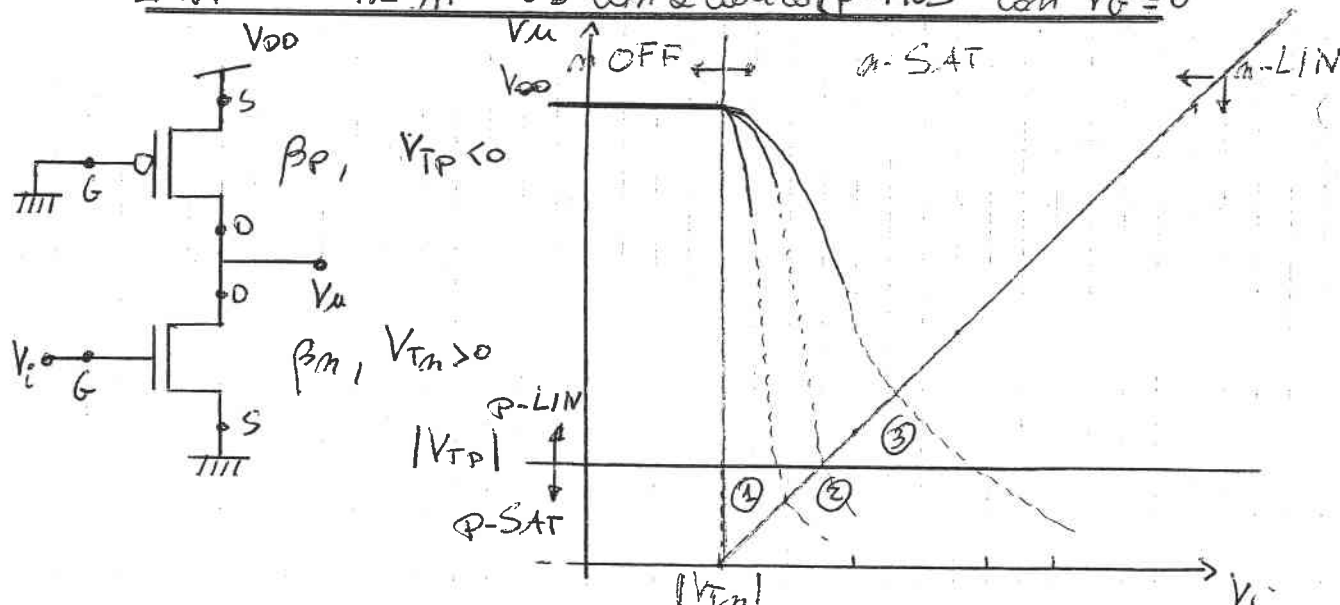
$$= \beta_p \left\{ \underbrace{(-V_{SG})}_{V_{SG}} + \underbrace{V_{TP}}_{-|V_{TP}|} \right) \underbrace{(-V_{SD})}_{V_{SD}} - \frac{(-V_{SD})^2}{2} \right\}$$

$$V_{SD} > V_{SD} + |V_{TP}|$$

$$I_D = \beta_p \left\{ (V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right\}$$



INVERTITORE m-MOS con e carico { PSEUDO n-MOS P-MOS con $V_G = 0$



$V_G = 0$ in modo che V_{SG} è maggiore $|V_{TP}|$

• $V_{GS_n} = V_G$, $V_{DS_n} = V_u$

n OFF

$V_{GS} = V_G < V_{TN}$

n SAT

$V_{TN} < V_{GS} < V_{DS} + V_{TN}$

$V_{TN} < V_G < V_u + V_{TN}$

n - LIN

$V_{GS} > V_{DS} + V_{TN}$

$V_G > V_u + V_{TN}$

• $V_{SG_p} = V_{DD}$, $V_{SD_p} = V_{DD} - V_u$

p OFF

$V_{SG} < |V_{TP}|$

$V_{SD} = V_{DD} < |V_{TP}|$

p-SAT

$|V_{TP}| < V_{SG} < V_{SD} + |V_{TP}|$

$V_{DD} < V_{DD} - V_u + |V_{TP}|$

$V_u < |V_{TP}|$

p - LIN

$V_{SG} > V_{SD} + |V_{TP}|$

$V_{DD} > V_{DD} - V_u + |V_{TP}|$

$V_u > |V_{TP}|$

Calcolo delle caratteristiche ingresso-uscita

n OFF

$I_{Dn} = I_{Dp} = 0$ secondo che $V_{DD} > |V_{TP}|$

$\textcircled{H_p} = \text{p-LIN} \Rightarrow I_{Dp} = \beta_p \left\{ (V_{SG_p} - |V_{TP}|) V_{SD_p} - \frac{V_{SD_p}^2}{2} \right\} = 0$

$\hookrightarrow V_{SG_p} > V_{SD_p} + |V_{TP}| > \frac{V_{SD_p}}{2} + |V_{TP}|$

allora $I_{Dp} = 0 \iff V_{SD_p} = 0$ ma $V_{SD_p} = V_{DD} - V_u = 0$ allora

$V_u = V_{DD}$ quindi $V_{SG} = V_{DD} > V_{SD} + |V_{TP}|$ OK H_p

n SAT e LIN

$I_{on} = I_{op}$ da cui:

$$\frac{\beta_n}{2} (V_i - V_{Tn})^2 = \beta_p \left\{ (V_{DD} - |V_{Tp}|)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right\}$$

$\downarrow$ V_{GSn} $\downarrow$ V_{GSp} $\downarrow$ V_{SDP}

$$V_u = +|V_{Tp}| + \sqrt{-\frac{1}{\beta_p} \left\{ \beta_n (V_i - V_{Tn})^2 - \beta_p (V_{DD}^2 - 2V_{DD} \cdot |V_{Tp}| + |V_{Tp}|^2 \right\}}}$$

$$V_u = |V_{Tp}| + \sqrt{(V_{DD} - |V_{Tp}|)^2 - \frac{\beta_n}{\beta_p} (V_i - V_{Tn})^2}$$

$$V_u(V_{Tn}) = |V_{Tp}| + \sqrt{(V_{DD} - |V_{Tp}|)^2} = V_{DD}$$

per V_i che aumenta, V_u cala.

Per continuare la segue capire in che regione entra
(01, 02, 03) dove i due mos hanno caratteristiche
diverse.

(prefco p-MOS / nMOS ^{studio} invertire le caratteristiche) 38 - (-19/min)

Studio della struttura di isolamento

Per costruire sullo stesso substrato di silicio (chip)
due transistori n-MOS e p-MOS bisogna isolare:

- ① n-MOS è formato da un substrato di tipo p (N_A)
- ② p-MOS è formato da un substrato di tipo n (N_D)

Se usi il principio di compensazione cioè non si considera
le specie di droganti ma le loro differenze.

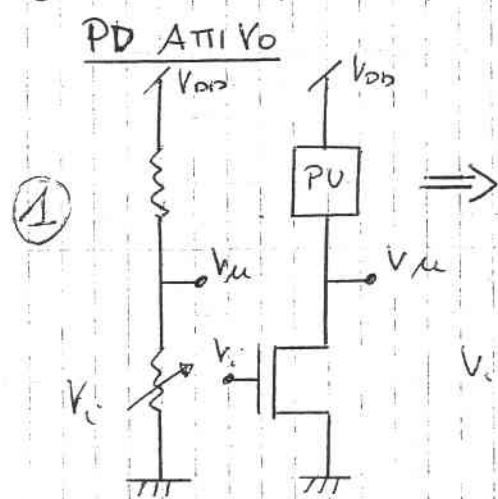
- ① Partendo da un substrato di tipo p per creare le buche
di Dreni e di Source di tipo n basta drogare di più
di atoni N_D che N_A in modo da avere $N_D > N_A$. (procedimento
per la creazione del n-MOS)
 - ② Partendo da un substrato di tipo p (che non va bene per
il p-MOS) si realizza una buca sovrappendole con
atoni $N_D > N_A$ facendole diventare una regione n.
In questa regione si costruiscono due buche di tipo p (che
sono il Dreni e Source)
- ⇒ Si possono isolare i due transistori isolati

TECNOLOGIA C-MOS

I circuiti studiati sono circuiti:

① RATIONED (caratteristiche migliori con un maggiore ingombro)

② che disperdono potenza quando PU e PD sono attivi.

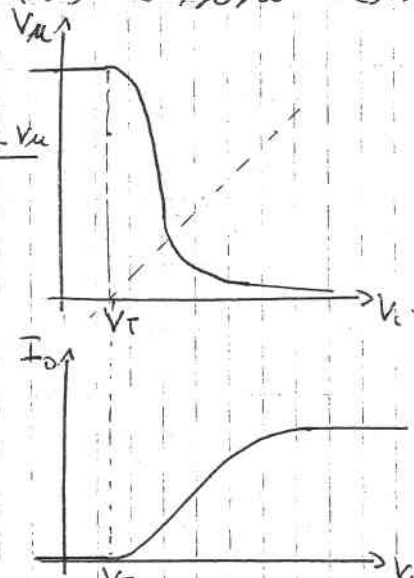
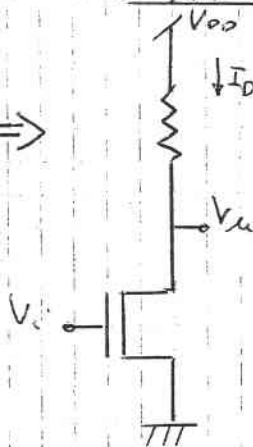


con V_i ALTA

PD ON
PU ON

Influisce il rapporto
(per avere V_{out} basso serve
una grana dimensione)

Esempio

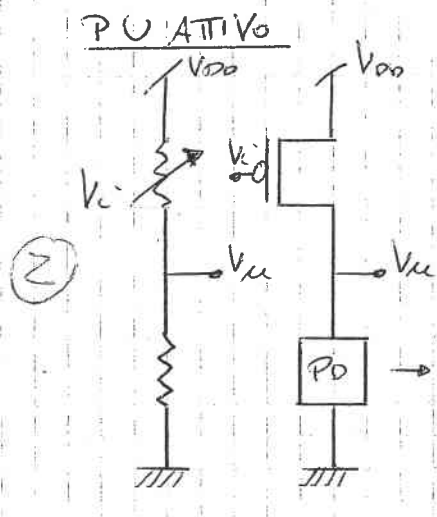


- per $V_i < V_t$ $V_{out} = V_{DD} \Rightarrow I_D = 0$
- per $V_i > V_t$ $V_{out} \downarrow \Rightarrow I_D \uparrow$

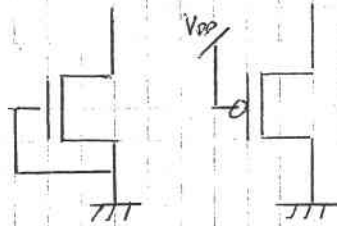
Si vede che per $V_i = V_H$ $I_D > 0$ per
far cadere la tensione sul carico
di PU.

$\hookrightarrow$ potenza dissipata > 0 .

La potenza dissipata è "inutile" in quanto non è andata
ad una elaborazione del segnale.
Quindi se $V_i = V_H$ senza variazione nel tempo c'è senza
elaborazione $\rightarrow$ c'è dissipazione di potenza.



- per $V_i = V_L \rightarrow$ PU ON $\left\{ \begin{array}{l} V_{out} \uparrow, I_D > 0, P_d > 0 \\ \rightarrow$ PD ON $\end{array} \right.$ (dip. dal rapporto)
- per $V_i = V_H \rightarrow$ PU OFF $\left\{ \begin{array}{l} V_{out} \downarrow, I_D = 0, P_d = 0 \\ \rightarrow$ PD ON $\end{array} \right.$ (non dep. dal rapporto)

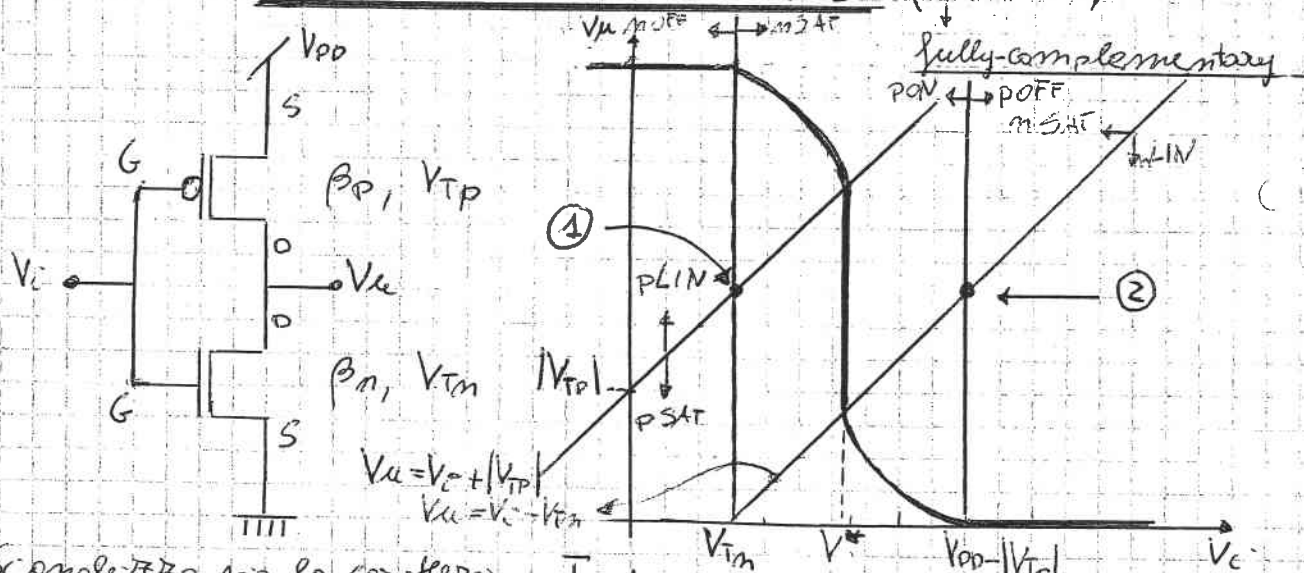


Quindi la rete

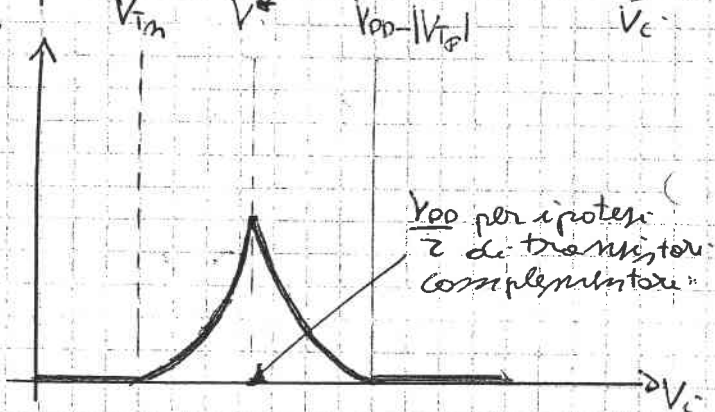
- ① si comporta bene cioè non pone vincoli sulle dimensioni del circuito e non consuma potenza quando $V_i = V_L$ perché PD ATTIVO è SPEGNE
- ② si comporta in modo duale, cioè non ci sono vincoli sulle dimensioni del circuito e non si consuma potenza quando $V_i = V_H$ perché PU ATTIVO è SPEGNE

La soluzione è usare la parte "migliore" dei due circuiti: (le due componenti attive pilotate entrambe dal segnale V_i)

INVERTITORE C-MOS (FC MOS)



Si analizza ora la caratteristica statica che l'andamento della corrente I in funzione delle V_i per verificare il funzionamento di invertitore, la non dissipazione di corrente in condizioni statiche e la caratteristica RATIOLESS (cioè circuito la cui efficienza non dipende dalle dimensioni)



⇒ la tecnologia a la funzione complementare per la rete di PU e PD.

$$I_{DN} = I_{DP} = I$$

$$V_{GSn} = V_i, V_{GSp} = V_u$$

m. OFF

$$V_{GSn} < V_{TN}$$

$$V_i < V_{TN}$$

m. SAT

$$V_{GSn} < V_{GSn} + V_{TN}$$

$$V_i < V_u + V_{TN}$$

$$V_u > V_i - V_{TN}$$

m. LIN

$$V_{GSn} > V_{GSn} + V_{TN}$$

$$V_i > V_u + V_{TN}$$

$$V_u > V_i - V_{TN}$$

$$V_{SGP} = V_{DD} - V_i ; V_{SDP} = V_{DD} - V_u$$

P OFF

$$V_{SGP} < |V_{TP}|$$

$$V_{DD} - V_i < |V_{TP}|$$

$$V_i > V_{DD} - |V_{TP}|$$

P SAT

$$V_{SG} < V_{SD} + |V_{TP}|$$

$$V_{DD} - V_i < V_{DD} - V_u + |V_{TP}|$$

$$V_u < V_i + |V_{TP}|$$

P LIN

$$V_{SG} > V_{SD} + |V_{TP}|$$

$$V_{DD} - V_i > V_{DD} - V_u + |V_{TP}|$$

$$V_u > V_i + |V_{TP}|$$

$$\underline{H_P}: V_{DD} - |V_{TP}| > V_{TN}$$

$$\downarrow \text{cioè } V_{DD} > V_{TN} + |V_{TP}|$$

In questo modo esiste la possibilità che entrambi i transistor siano accesi $\Rightarrow$ è importante perché se così non fosse la rete sarebbe sempre "morta", incapace di commutare in quanto la corrente non si può spostare.

$$\boxed{H_P: V_{DD} > V_{TN} + |V_{TP}|}$$

M OFF

$$I_{DM} = 0, I_{DM} = I_{DP} \Rightarrow I_{DP} = 0$$

$$\underline{H_P}: \text{P LIN} \text{ siccome } I_{DP} = 0 \Rightarrow V_{SD} = 0 \text{ ma } V_{SD} = V_{DD} - V_u \Rightarrow$$

$$\Rightarrow \boxed{V_u = V_{DD}}$$

(è come l'invertitore preso m-MOS in quanto il p-MOS ha $V_G = 0$)

L'ipotesi è verificata se la caratteristica si trova nella regione in cui p-MOS è LINEARE.

$$\textcircled{1} = (V_{TN}, V_{TN} + |V_{TP}|) \rightarrow \text{ricavato da } \begin{cases} V_u = V_i + |V_{TP}| \\ V_i = V_{TN} \end{cases}$$

Quando la condizione è verificata e l'ascissa di $\textcircled{1}$ è al di sotto di V_{DD} , cioè che $V_{DD} > V_{TN} + |V_{TP}|$ (ipotesi precedente)

$\Rightarrow \textcircled{H_P \text{ OK}}$

$\Rightarrow$ Il rapporto di forme non è rilevante (non sono stati usati β_n e β_p) e la pot. dissipata è nulla.

P OFF

$I_{DP} = 0 \Rightarrow I_{DM} = 0$ Siccome m e p MOS non possono essere mai spenti simultaneamente m-MOS è ON.

$$\underline{H_P}: \text{m LIN} \rightarrow V_{GS} = 0 \rightarrow \boxed{V_u = 0}$$

Bisogna calcolare il punto $\textcircled{2}$

$$\textcircled{2} = (V_{DD} - |V_{TP}|, \underbrace{V_{DD} - |V_{TP}| - V_{TN}}_{\text{da } \begin{cases} V_{ce} = V_i - V_{TN} \\ V_i = V_{DD} - |V_{TP}| \end{cases}})$$

La condizione di linearità è verificata se l'uscita di $\textcircled{2}$ è uguale alla rete $V_{ce} = 0$. ($V_{DD} > V_{TN} + |V_{TP}|$, ipotesi precedente)

OK HP

$\Rightarrow$ Questo è la caratteristica di un buon invertitore:

- ① in quanto ci sono due tratti con pendenza = 0 (sia per $V_i = V_L$ che per $V_i = V_H$) senza condizioni sulle dimensioni (non ci sono β_P e β_N)
- ② in quanto la corrente per $V_i = V_L$ e per $V_i = V_H$ $I = 0$ cioè la corrente statica è 0, non c'è dissipazione di potenza. Questo è dovuto in quanto le rete di PD e PU non sono mai accese insieme.

$$\text{per } V_i = V_L \rightarrow \begin{matrix} \text{PD} & \text{OFF} \\ \text{PU} & \text{ON} \end{matrix} \quad \text{per } V_i = V_H \rightarrow \begin{matrix} \text{PD} & \text{ON} \\ \text{PU} & \text{OFF} \end{matrix}$$

- ③ La caratteristica restante ha pendenza massima > 1 perché è all'interno di un rettangolo dove
 $h = V_{DD}$
 $\text{base} = V_{DD} - V_{TN} - |V_{TP}|$ e per l'ipotesi iniziale
 $\frac{h}{\text{base}} > 1$. Quindi è garantito un tratto con pendenza > 1 indipendentemente dai fattori di forma.

Studio della regione centrale (nSAT e pSAT) dove si dovrebbe avere la pendenza massima

nSAT / pSAT

$$I_{qn} = \frac{\beta_n}{2} \cdot (V_{GSn} - V_{TN})^2 = \frac{\beta_n}{2} (V_i - V_{TN})^2$$

$$I_{qp} = \frac{\beta_p}{2} \cdot (V_{SGP} - |V_{TP}|)^2 = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{TP}|)^2$$

$$\frac{\beta_n}{2} (V_i - V_{TN})^2 = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{TP}|)^2 \rightarrow \text{non c'è } V_{ce} \text{ e quindi la rete è } V_i = \text{cost, verticale}$$

$\hookrightarrow$ Esiste un tratto a pendenza ∞ .

siccome $V_i > V_{TN}$ (perché n è SAT) si considerano solo il +
 $\sqrt{\beta_n} (V_i - V_{TN}) = \sqrt{\beta_p} (V_{DD} - V_i - |V_{TP}|)$

$$V_i \left(\sqrt{\frac{\beta_n}{\beta_p}} + 1 \right) = V_{DD} - |V_{TP}| + V_{TN} \sqrt{\frac{\beta_n}{\beta_p}}$$

$$V_i = \frac{V_{DD} - |V_{TP}| + V_{TN} \sqrt{\frac{\beta_n}{\beta_p}}}{\left(1 + \sqrt{\frac{\beta_n}{\beta_p}} \right)}$$

Ponendo $\theta = \sqrt{\frac{\beta_n}{\beta_p}}$ $V_i = \frac{V_{DD} - |V_{TP}| + \theta V_{TN}}{1 + \theta}$

La posizione e non la pendenza della retta V_i dipende dalla dimensione.

per $\begin{cases} \theta \rightarrow 0 \text{ cioè } \beta_p \gg \beta_n & V_i \rightarrow V_{DD} - |V_{TP}| \\ \theta \rightarrow +\infty \text{ cioè } \beta_n \gg \beta_p & V_i \rightarrow V_{TN} \end{cases}$

Siccome la caratteristica ideale di un invertitore è quella in cui il ramo ad alta pendenza sia in un punto simmetrico per avere margine simmetrico, ponendo la condizione di transistori complementari:

$\begin{cases} V_{TN} = |V_{TP}| \\ \beta_n = \beta_p \Rightarrow \theta = 1 \end{cases} \left\{ V_i^* = \frac{V_{DD} - |V_{TP}| + V_{TN}}{1 + 1} = \frac{V_{DD}}{2} \right.$

Cioè con gli stessi parametri la caratteristica a pendenza $\rightarrow +\infty$ è nel punto medio.

- Quindi a differenza di tutte le altre tecnologie, in cui bisognava imporre delle condizioni, nel rapporto tra le dimensioni per garantire l'esistenza di un margine di immunità ai disturbi, nei C-MOS il margine di immunità esiste sempre dipendendo dai valori β_n e β_p ed inoltre ci sono due tratti e questo è nullo.

$\Rightarrow$ La funzionalità non è in discussione delle dimensioni

$\Downarrow$
È un invertitore C-MOS RATIO LESS

Problema della condizione di Complementarità

$\beta_n = \beta_p$ non significa che i transistori siano eguali; peraltro, è conveniente.

$\beta_n = C_{ox} \mu_n \left(\frac{W}{L}\right)_n$ $\mu_n > \mu_p$ di 2 o 3 volte

$\beta_p = C_{ox} \mu_p \left(\frac{W}{L}\right)_p$

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ (uguale per entrambi)

quindi $\beta_n = \beta_p \Rightarrow C_{ox} \mu_n \left(\frac{W}{L}\right)_n = C_{ox} \mu_p \left(\frac{W}{L}\right)_p$

$\frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n} = \frac{\mu_n}{\mu_p} \approx 2 \div 3 \Rightarrow \boxed{\left(\frac{W}{L}\right)_p = 2 \div 3 \left(\frac{W}{L}\right)_n}$

Questa considerazione è importante perché presuppone le seguenti condizioni: prettamente ricenti che k_{n0} per gli n che pur i PMOS si regoleranno gli n -MOS più che più efficienti. (con $\mu_n > \mu_p$)

⇒ Questo è un vincolo non funzionale ma utile per progettare circuiti con alto margine di immu-
nità ai disturbi.

Bisogna studiare gli ultimi due tratti per analizzare il margine di immunità e di sterilità.

MSAT, PLIN

$$I_{pm} = \frac{\beta_m}{2} (V_i - V_{tm})^2$$

$$I_{DP} = \beta_P \left\{ (V_{DD} - V_{C1} - |V_{TP}|)(V_{DD} - V_{C1}) - \frac{(V_{DD} - V_{C1})^2}{2} \right\}$$

Ponendo $I = I_{Dn} = I_{Dp}$ (la corrente cresce come un arco di parabola fino a $V_{in}^{(4)}$)

$$\frac{\beta_n}{2} (V_i - V_{in})^2 = \beta_p \left\{ (V_{DD} - V_i - |V_{TP}|)(V_{DD} - V_{in}) - \frac{(V_{DD} - V_i)^2}{2} \right\}$$

Calculo del punto (VILMAX, VILMIN)

Ponendo lo complementariet  dei transistori.

$$\begin{cases} \beta_n = \beta_p = \beta \\ V_{TN} = |V_{TP}| = V_T \end{cases}$$

$$\frac{\beta}{2} (V_C - V_T)^2 = \frac{\beta}{2} \{ 2(V_{DD} - V_T - V_{Li})(V_{DD} - V_{Lu}) - (V_{DD} - V_{Lu})^2 \}$$

$$\cancel{g_m}(V_i - V_T) = \cancel{g_m} \left\{ - (V_{DD} - V_{th}) + (V_{DD} - V_T - V_{th}) \underbrace{\left(- \frac{dV_{th}}{dV_i} \right)}_{+1} \right\} - \cancel{g_m} (V_{DD} - V_{th}) \cdot \underbrace{\left(- \frac{dV_{th}}{dV_i} \right)}_{+1}$$

$$V_i - V_T = V_{ce} - V_{QO} + V_{QO} - V_T - V_i - V_{QO} + V_U$$

$$2V_c = 2V_u - V_{DD}$$

$$V_{th} = V_i + \frac{V_{DD}}{2}$$

(lungo dei punti che
soddisfa la condizione
 $\frac{dV_u}{dV_i} = -1$)

Intersecando il luogo con la caratteristica si trova

$$\underline{V_{ILMAX}} = \frac{3V_{DD} + 2V_T}{8}$$

$$\underline{\underline{V_{OH\ MIN} = \frac{7V_{DD} + 2V_T}{8}}}$$

n LIN, PSAT

$$I_{Dn} = \beta_n \left\{ (V_i - V_{Tn}) \cdot V_u - \frac{V_u^2}{2} \right\}$$

$$I_{Dp} = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2 \rightarrow$$

$$I = I_{Dn} = I_{Dp} \text{ (area del parabolo)}$$

ponendo la complementarietà dei transistor

$$\frac{\beta}{2} \{ (V_i - V_T) V_u - \frac{V_u^2}{2} \} = \frac{\beta}{2} (V_{DD} - V_i - V_T)^2$$

$\downarrow \frac{d}{dV_i}$

$$2V_u + (V_i - V_T) \frac{dV_u}{dt} - V_u \cdot \frac{dV_u}{dt} = -2(V_{DD} - V_i - V_T)$$

$\downarrow -1 \quad \quad \downarrow -1$

$$V_u + V_T - V_i + V_u = -V_{DD} + V_i + V_T$$

$$2V_u = 2V_i - V_{DD} \Rightarrow V_u = V_i - \frac{V_{DD}}{2} \quad \left(\text{lungo dei punti in cui } \frac{dV_u}{dV_i} = -1 \right)$$

Intersecando il luogo con la caratteristica si trova

(V_{IHMIN}, V_{OLMAX})

$$V_{IHMIN} = \frac{5V_{DD} - 2V_T}{8}$$

$$V_{OLMAX} = \frac{V_{DD} - 2V_T}{8}$$

Margine di immunità ai disturbi di un invertitore C-MOS complementare

$$N_{ML} = V_{ILMAX} - V_{OLMAX} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

$$N_{MH} = V_{OHMIN} - V_{IHMIN} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

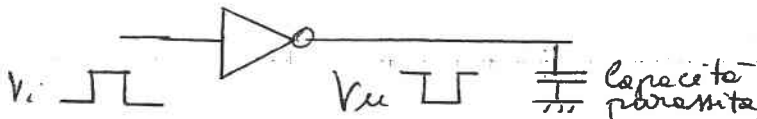
$$N_M = N_{ML} = N_{MH} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

(prefero $V_{IC} = 10 \text{ min}$)

Conclusioni

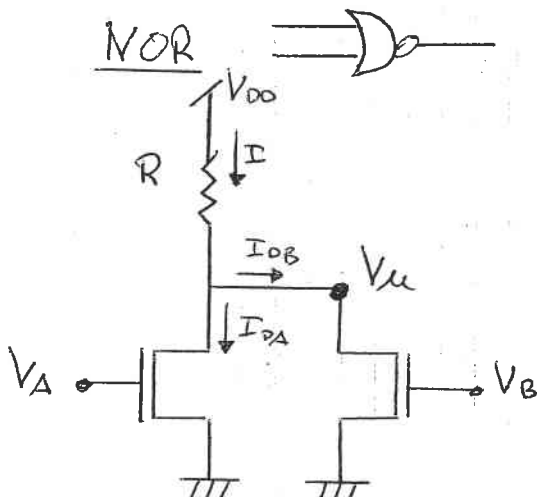
L'invertitore ha due caratteristiche importanti:

- ① RATIOLESS cioè la sua funzionalità non dipende da un particolare rapporto di fattori di forma e quindi l'invertitore è molto piccolo (sottomicro-tecnologie e di velocità).
- ② In condizioni statiche non consuma potenza. (utile per oggetti portatili che in gran parte non elaborano segnali).
Ma quando l'invertitore elabora dati, cioè l'uscita dell'invertitore varia l'uscita in funzione dell'ingresso, il circuito deve caricare - scaricare una capacità parassita, carica che muovendosi provoca dissipazione di potenza.



FUNZIONE A PIÙ INGRESSI (in MOS)

NOR



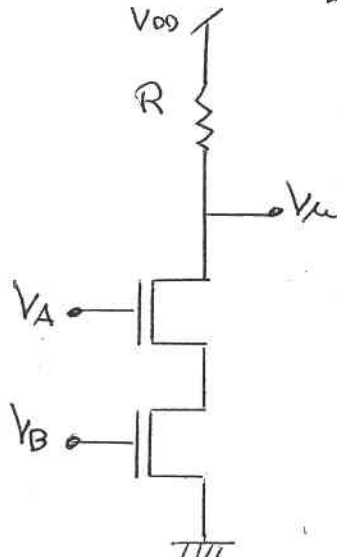
RATIOED

V_A	V_B	V_u
V_L	V_L	V_H
V_L	V_H	V_L
V_H	V_L	V_L
V_H	V_H	V_L

Se due n-MOS sono aperti e quindi la caduta sul resistore è nulla ($I=0$) e quindi $V_u = V_H$

Si comporta come un invertitore
 $I = I_{DA} + I_{DB}$ in quanto due n-MOS sono aperti e la caduta sullo resistore parte
 $V_u = V_L$

NAND



RATIOED

V_A	V_B	V_u
V_L	V_L	V_H
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

serie di due interruttori aperti: $I=0$, $V_u = V_H$

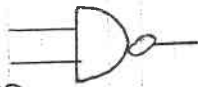
un interruttore aperto e l'altro chiuso, $I=0$ e quindi $V_u = V_H$

e due interruttori sono chiusi, $I > 0$ e quindi $V_u = V_L$

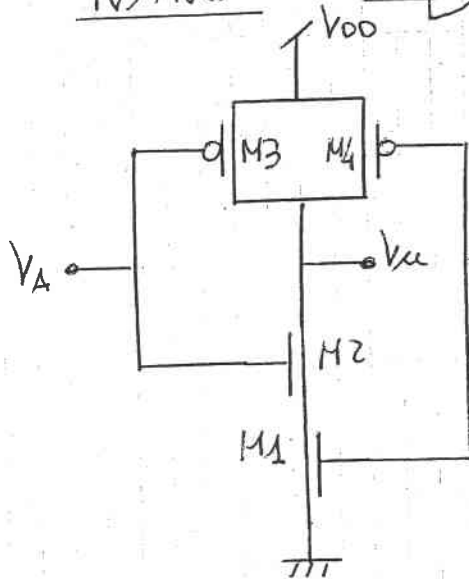
FUNZIONI A PIÙ INGRESSI C-MOS

Bisogna progettare un PD e un PU mutuamente esclusivi in modo da mantenere le proprietà dell'invertitore C-MOS.

NAND



C-MOS RATIOLESS



Le rete di:

• PD si accende quando tutte e due le segnali sono alti (serie)

• PU si accende quando almeno uno dei segnali è spento (parallelo)

M1	M2	M3	M4	VA	VB	Vx	PD	PU
OFF	OFF	ON	ON	VL	VL	VH	OFF	ON
OFF	ON	ON	OFF	VL	VH	VH	OFF	ON
ON	OFF	OFF	ON	VH	VL	VH	OFF	ON
ON	ON	OFF	OFF	VH	VH	VL	ON	OFF

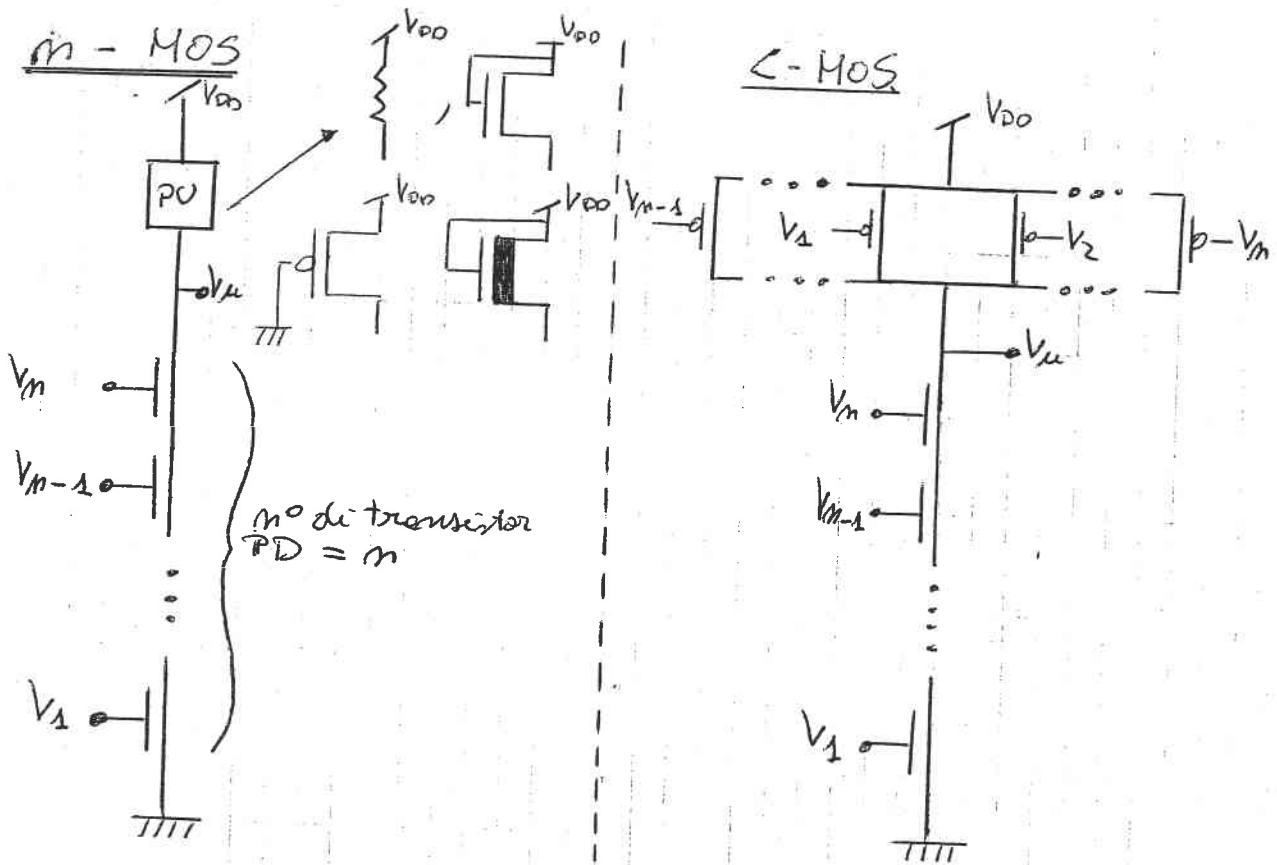
Le rete di PD si accende quando entrambi i transistori sono accesi

Le rete di PU si accende quando uno dei transistori è acceso (quando almeno un segnale d'ingresso è basso)

↳ Le rete di PU e PD non sono mai eccitate entrambe. Il dimensionamento delle due reti sono indipendenti e non c'è mai la corrente statica nel circuito

↳ Circuito che mantiene le caratteristiche di un invertitore C-MOS.

• Confronto tra due tipi di circuiti (NAND) e n ingressi



no di transistor totali

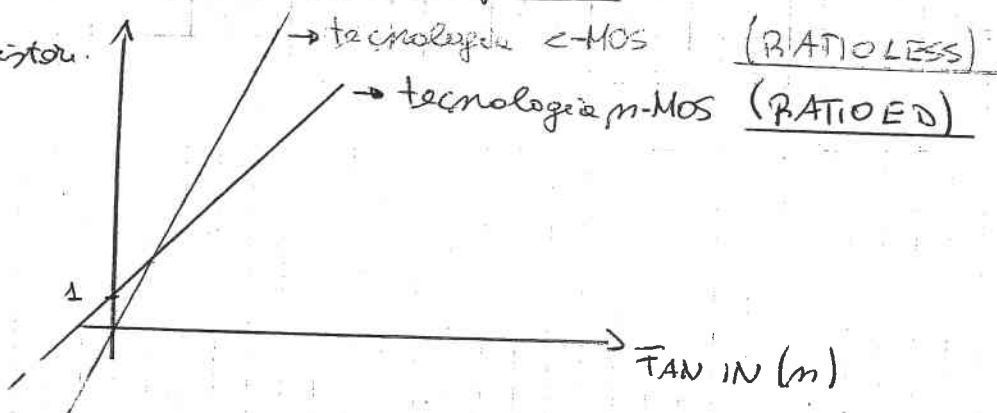
$(n+1)$

FAN IN = n (no degli ingressi)

no di transistor totali

$(2 \cdot n)$

no di transistor



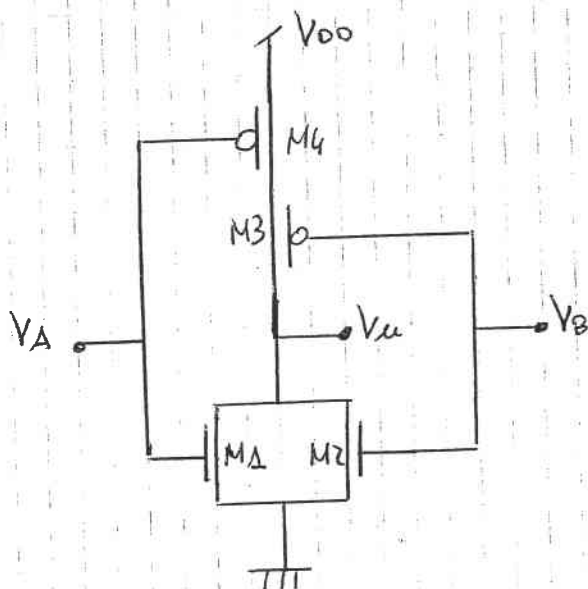
Bisogna però considerare che i transistor nella tecnologia C-MOS sono molto più piccoli rispetto alle altre tecnologie in quanto sono RATIOLESS.

Limite numero elevato di transistori.

NOR



C-MOS RATIOLESS



- la rete di PD si deve accendere quando almeno uno degli ingressi è alto (parallelo)
- la rete di PU si deve accendere solo quando i due ingressi sono bassi (serie)

M1	M2	M3	M4	VA	VB	Vx	PD	PU
OFF	OFF	ON	ON	VL	VL	VH	OFF	ON
OFF	ON	OFF	ON	VL	VH	VL	ON	OFF
ON	OFF	ON	OFF	VH	VL	VL	ON	OFF
ON	ON	OFF	OFF	VH	VH	VL	ON	OFF

la rete di PD si accende quando uno dei due transistori è acceso

la rete di PU si accende quando tutti e due i transistori sono accessi

Le due reti sono mutuamente esclusive.

Per aumentare gli ingressi occorre mettere in

→ parallelo n transistori n -MOS e PD.

→ serie n transistori p -MOS e PU.

(con $n = FAN IN$)

Le porte NOR e NAND non sono equivalenti perché la mobilità μ_n e μ_p è diversa e quindi i p -MOS sono meno efficienti. È meglio mettere in parallelo p -MOS e in serie n -MOS.

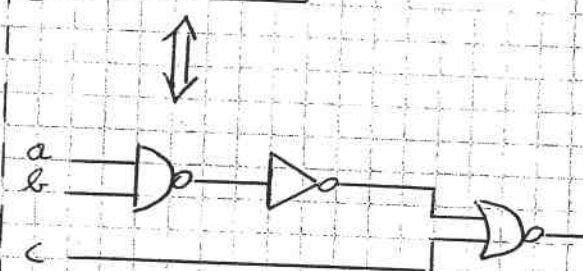
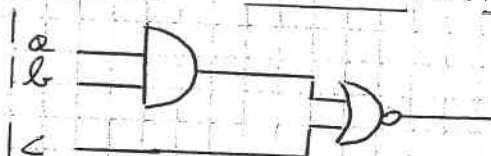
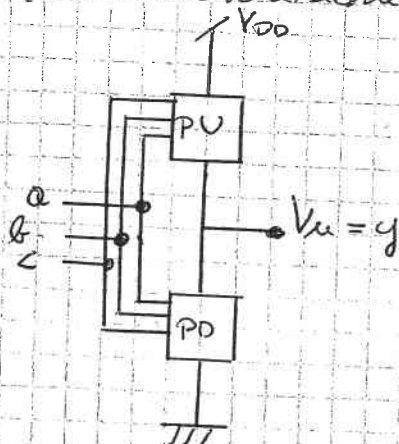
FUNZIONE ARBITRARIA

C-MOS

RATIOLESS

$$y = A \cdot B + C$$

usando sempre il
principio della
mutua esclusione



ogni componente si può realizzare
in logica C-MOS:

4 transistor x 1 NAND (2 ingressi)

2 transistor x 1 NOT

4 transistor x 1 NOR (2 ingressi)

10 transistor in totale

Bisogna realizzare un circuito in cui:
PU si accende } quando l'uscita della funzione è 1
PD si spegne

PU si spegne } quando la funzione prevede uscita 0.
PD si accende

La rete di

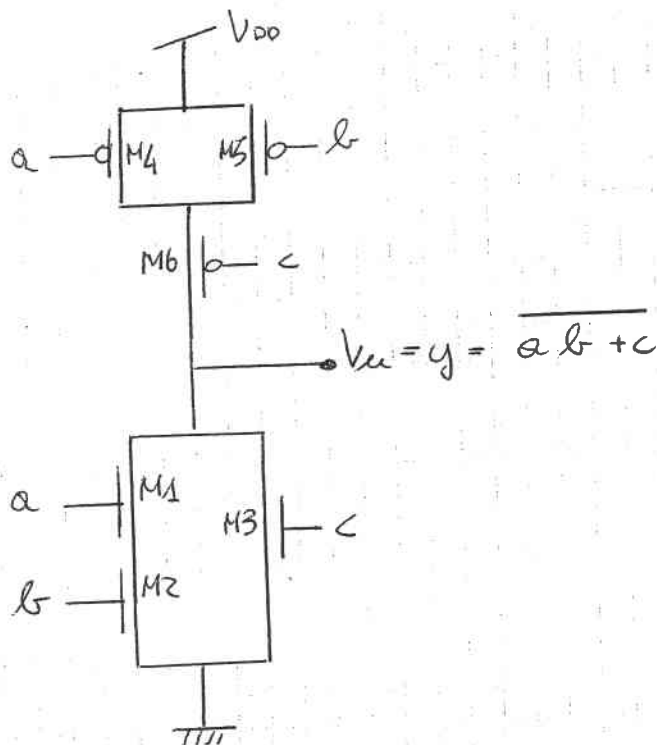
PD porta l'uscita $y = 0 \Rightarrow \overline{a \cdot b + c} = 0 \Rightarrow a \cdot b + c = 1$
 $(a \cdot b = 1) \vee (c = 1)$; $(a = 1 \wedge b = 1) \vee (c = 1)$

Quando la rete di PD si deve accendere quando
 $V_A = V_B = V_H$ o quando $V_C = V_H$ (si usano n MOS)

2 n MOS in serie } si deve
in quanto quando } usare n MOS
sono accesi entrambi } parallelo
PD porta l'uscita 0

PU porta l'uscita $y = 1 \Rightarrow a \cdot b + c = 1 \Rightarrow a \cdot b + c = 0$
 $(a \cdot b = 0) \wedge (c = 0)$; $(a = 0 \vee b = 0) \wedge (c = 0)$

Quando la rete di PU si deve accendere quando
 $V_A = V_L$ o $V_B = V_L$ (2 p MOS in parallelo) e $V_C = V_L$ (in serie)



Vengono usati 6 transistori

a	b	c	M1	M2	M3	M4	M5	M6	PD	PV	$y = \overline{a \cdot b + c}$	V_{out}
0	0	0	OFF	OFF	OFF	ON	ON	ON	OFF	ON	1	1
0	0	1	OFF	OFF	ON	ON	ON	OFF	ON	OFF	0	0
0	1	0	OFF	ON	OFF	ON	OFF	ON	OFF	ON	1	1
0	1	1	OFF	ON	ON	ON	OFF	OFF	ON	OFF	0	0
1	0	0	ON	OFF	OFF	OFF	ON	ON	OFF	ON	1	1
1	0	1	ON	OFF	ON	OFF	ON	OFF	ON	OFF	0	0
1	1	0	ON	ON	OFF	OFF	OFF	ON	ON	OFF	0	0
1	1	1	ON	ON	ON	OFF	OFF	OFF	ON	OFF	0	0

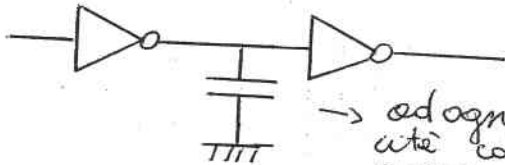
PD e PV non sono mai accesi insieme:
 è ancora vera la caratteristica di P-ATIOLESS e di
 potenza statica nulla, anche in funzione invertita.

Regole per la creazione di una funzione logica negata

<u>PRODOTTO LOGICO</u>	=> SERIE PD e PARALLELO PV M-MOS P-MOS
<u>SOMMA LOGICA</u>	=> PARALLELO PD e SERIE PV M-MOS P-MOS

STUDIO CIRCUITO DINAMICO

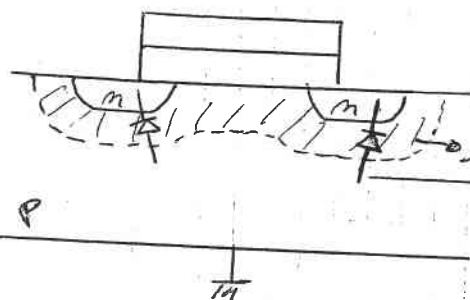
Se si considera



→ ad ogni variazione di segnale la carica continua a caricarsi e scaricarsi corrispondentemente.
 ↳ Si dissipa energia.

↳ Potenza dinamica non è nulla perché altrimenti si arriverebbe all'ammasso fisico che il movimento di carica porta ad energia dissipata nulla.

↳ La potenza statica è nulla in prima approssimazione.



Infatti l'isolamento è dovuto dalle polarizzazioni in inversione della giunzione p-n che può allora considerarsi un diodo.

$$I_D = I_S \left(e^{\frac{V_{DS}}{V_T}} - 1 \right) = -I_S$$

I_D è piccola e la potenza statica, legata alle correnti inverse delle giunzioni di isolamento, è non nulla per circuiti densamente popolati di transistor.

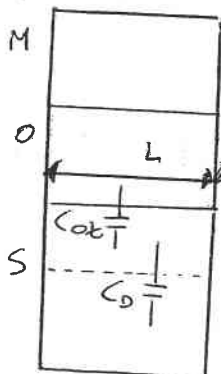
↳ per piccoli circuiti $P_{statica} = 0$.

⇒ questo è uno dei motivi per cui con le nuove tecnologie la potenza statica è un vero problema.

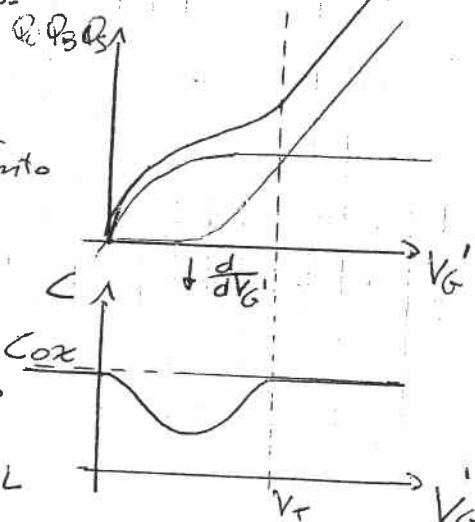
• STUDIO DELLE CAPACITÀ PARASSITE DI UN TRANSISTOR

Per valutare il comportamento dinamico della rete bisogna capire le componenti reattive (capacità parassite) associate ad un invertitore o ad un n-MOS.

Per un condensatore MOS



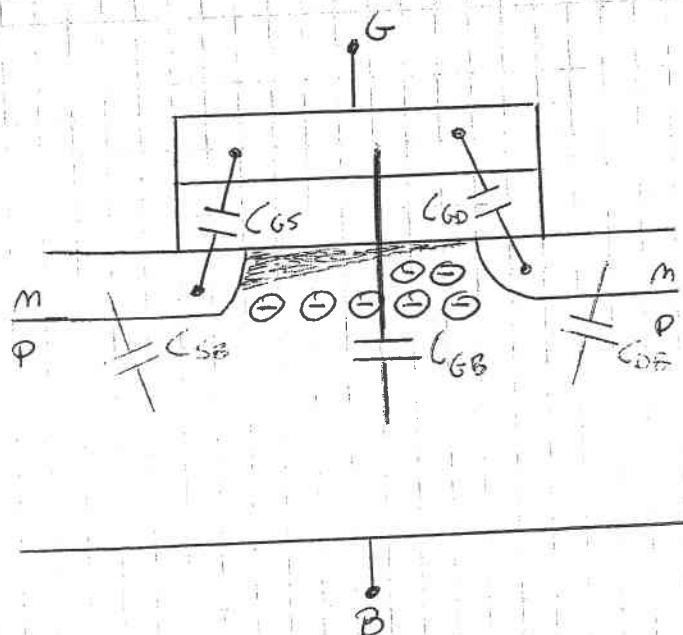
Q_i = carica di inversione
 Q_B = carica di svuotamento
 $Q_S = Q_i + Q_B$ (carica complessiva)



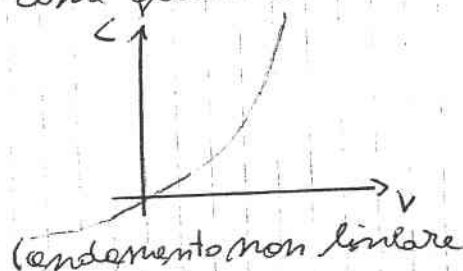
time di carica
 rapide.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = k_{ox} \cdot L$$

Quindi C_{ox} può considerare costante.
 Ma il transistor è molto più complicato (4 terminali)



→ è una giunzione p-n
 zeta in inversione a cui
 è associata una capacità
 (di incostanza)
 il cui andamento è
 come quello del diodo



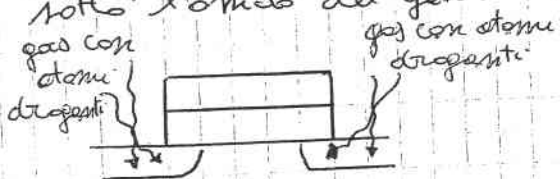
C_{gb} è la capacità tra Gate e Bulk dovuta alle cariche superficiali di canale e alle cariche dovute allo strato invertito.

C_{gb} è la serie tra C_{ox} e C_o (capacità dello strato invertito)

C_{gs} e C_{gd} esistono perché c'è necessariamente una regione in cui le buche di Source e Drain si sovrappongono all'elettrodo di Gate. Essendo uno metallo, l'altro semiconduttore fortemente drogato con in mezzo un isolante formano un condensatore legato quindi alla sovrapposizione.

Esiste la sovrapposizione perché:

① per un motivo tecnologico: nel processo di fabbricazione delle buche di Source e Drain (con metodo di mascheratura) attraverso un processo termico di diffusione gli atomi droganti si diffondono nelle rispettive regioni. Questo processo è però isotropo cioè gli atomi non formano buche precise ma si possono deplorare anche sotto l'ossido del Gate.

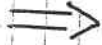


Un altro modo per creare le buche è "marcare" i siti droganti sulla superficie con un cannone elettronico ma anche in questo caso la ionizzazione può essere deflessa dal reticolo cristallino del silicio (penetrazione laterale)

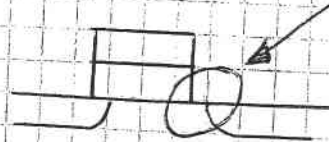
② Quindi la lunghezza del canale è un po' più piccola di quella progettata ma questo è una condizione fondamentale per il funzionamento

Infatti se il progetto fosse quello di costruire le brache perfettamente allineate all'elettrodo di gate questo porterebbe ad un'inevitabile errore a causa dei vari errori di precisione che ci sono in un progetto di fabbricazione

Progetto senza tolleranza



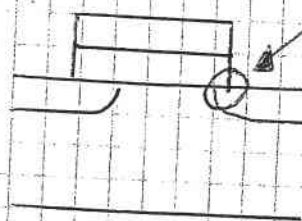
Realizzazione (non funzionante)



Progetto con tolleranza

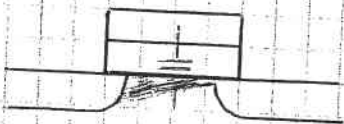


Realizzazione (funzionante)



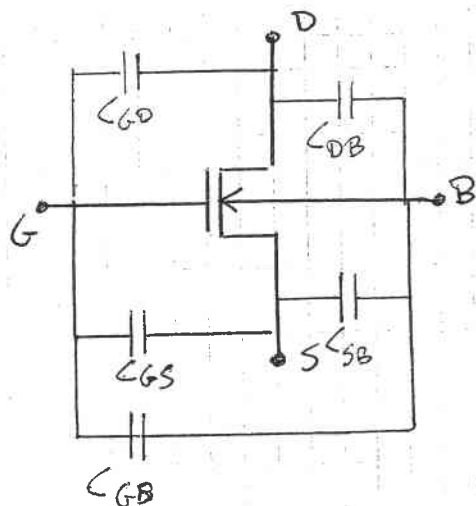
Quindi la sovrapposizione oltre ad essere inevitabile per problemi di fabbricazione è utile per i problemi di disallineamento delle strutture.

⇒ Quando il canale si forma la capacità C_{ox} prevale il Source. Quindi C_{ox} è tra il gate e il canale. Se invece si può affermare che C_{ox} è tra il gate e il Drain e Source. Se il canale non è uniforme ($V_{os} > 0$) c'è più carica al Source che al Drain e quindi C_{ox} non si ripartisce in maniera uniforme.



$V_{os} > 0$

⇒ Si può modellare il transistor M-MOS dinamico partendo quindi da quello statico e considerando tutte le capacità parassite studiate (come nel transistor bipolare dove c'erano due capacità, una per giunzione).



Stime dei valori delle capacità

	OFF	LIN	SAT
C_{GB}	$\leq C_{ox}$	NO	NO
C_{GS}	C_{OVUP}	$C_{OVUP} + \frac{C_{ox}}{2}$	$C_{OVUP} + \frac{C_{ox}}{2}$
C_{GD}	C_{OVUP}	$C_{OVUP} + \frac{C_{ox}}{2}$	$C_{OVUP} + \frac{C_{ox}}{2}$

• Il modello è molto complicato perché per ogni transistore bisognerebbe considerare 5 capacità parassite non lineari dipendenti dalle tensioni applicate.

• Nelle stime dei valori delle capacità non si considera né C_{DB} e C_{SB} perché sono le capacità di giunzione n-p, come quelle del diodo.

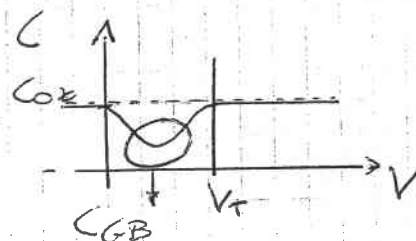
Bisogna stimare il valore delle capacità per poter fare delle considerazioni nella dinamica dei circuiti (le stime possono essere anche grossolane perché in eccesso).

n-MOS OFF

• C_{GB} è la capacità di substrato che è minore di C_{ox} (o uguale).

• C_{GS} e C_{GD} è solo la capacità di sovrapposizione (overlap).

Per calcolarla bisogna calcolare la dimensione della regione di sovrapposizione e moltiplicarla per la capacità C_{ox} superficiale.



n-MOS LIN

Il canale si è formato e la capacità del gate non è più connessa al substrato perché è formato dal canale. Quindi $C_{GB} \approx 0$ cioè che la carica non varia al variare della tensione nel substrato ma solo nella superficie.

Quindi C_{ox} è spartita tra gate e Bulk.

Se il canale è completamente formato C_{ox} si equivale a distribuirsi.

n-MOS SAT

Cioè $V_{DS} \uparrow \uparrow$ la variazione della carica in funzione della variazione di tensione è 0 per C_{GB} quindi $C_{GB} \approx 0$ a causa del canale che forma uno schermo elettrostatico. La carica è maggiore al Source che al Drain ($C_{GS} > C_{GD}$).

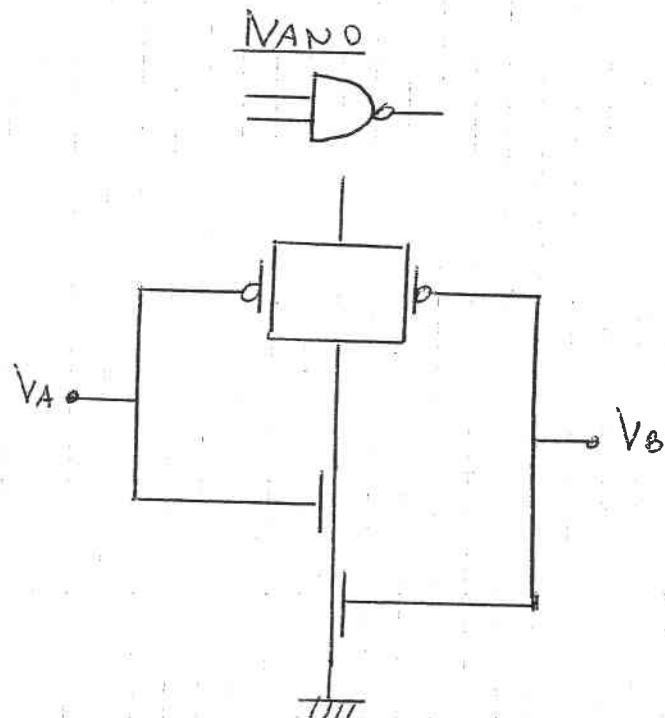
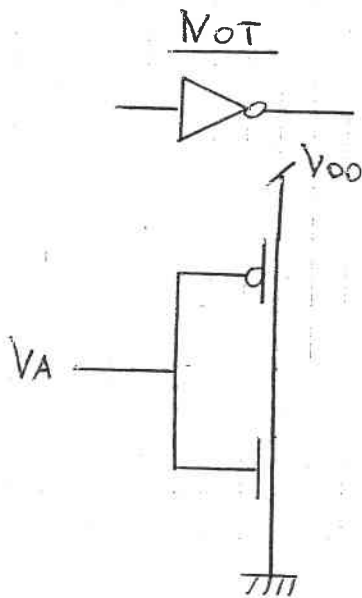
In qualunque condizione ogni capacità è inferiore di quella dell'ossido. ($C_{ox} \Rightarrow$ è una capacità superficiale)

- Quando il canale non è formato (n-MOS OFF)
 $C_{GB} > C_{altre}$; $C_{GB} < C_{ox}$
- Quando il canale è formato (C_{ovp} è trascurabile e)
 $C_{GS}, C_{GD} < C_{ox}$ in quanto C_{GS} e C_{GD} sono una frazione di C_{ox} .

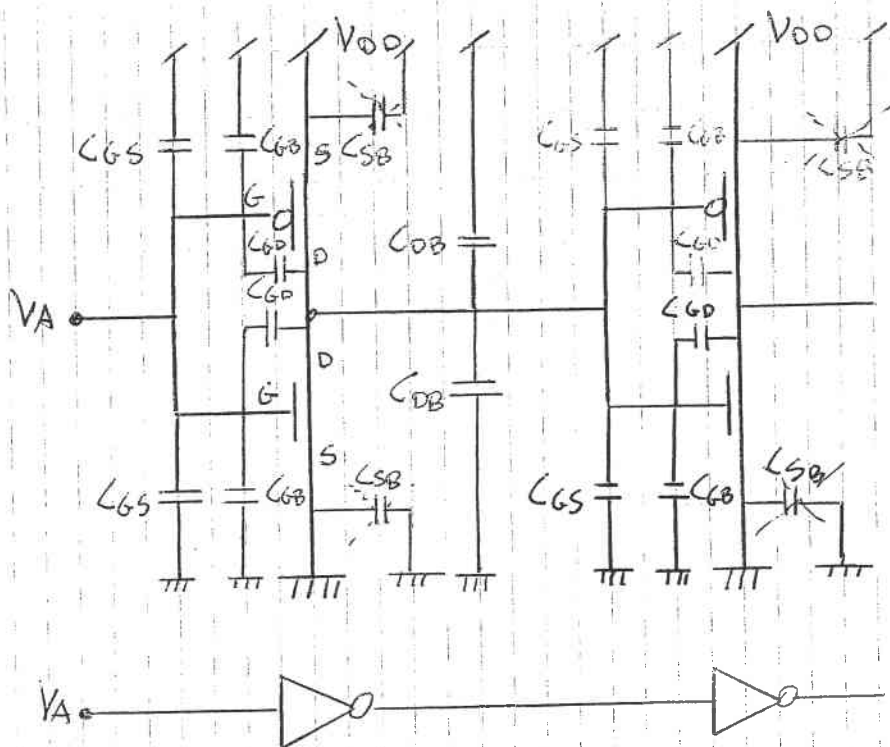
$\Rightarrow$ Si studia il caso peggiore quindi ogni capacità viene studiata approssimata a C_{ox} .

• STUDIO DELLE CAPACITÀ PARASSITE DI UN CIRCUITO

Bisogna studiare la capacità di una rete di invertitori che è uguale alla capacità di ingresso di una qualsiasi rete. Infatti l'ingresso di un NOR è uguale



Ogni ingresso "vede" un n-MOS e un p-MOS. Quindi studiare un invertitore è importante perché le considerazioni sono generali per tutti i circuiti.



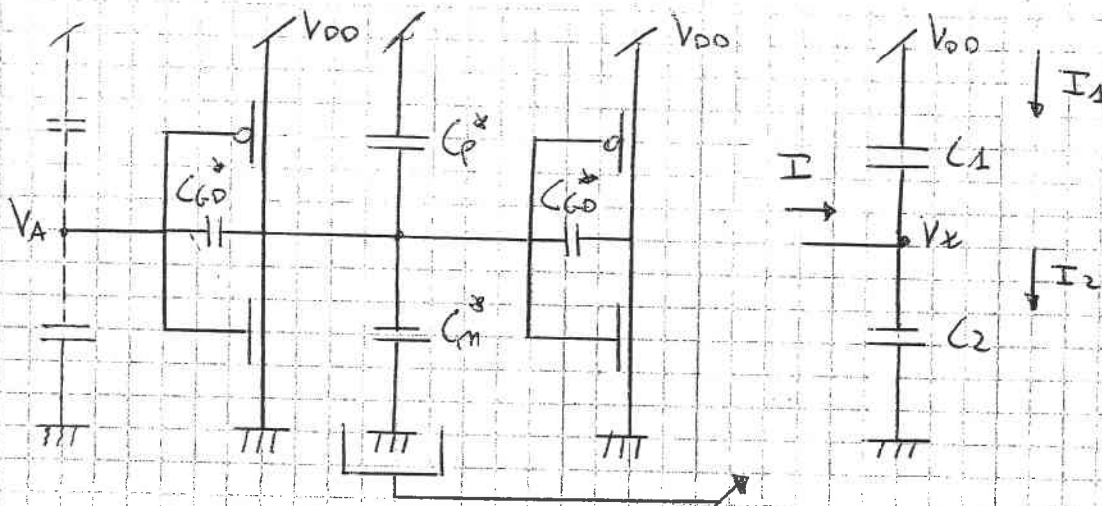
- Capacità per 2°
M-MOS
- Capacità per 2°
P-MOS
- Capacità per 1°
M-MOS
- Capacità per 1°
P-MOS

Ogni transistore degli invertitori è descritto dal modello delle capacità appena introdotto (5 capacità parimenti per ogni transistore).

Observation:

- C_{GBM} è inutile perché i due terminali sono connessi a massa
- C_{SBP} è inutile perché i due terminali sono connessi a V_{DD}
- C_{DBM} , C_{DSM} , C_{GBM} sono in parallelo e sono equivalenti a una sola capacità $C_{DBM} + C_{DSM} + C_{GBM} = C_M^*$
- C_{DBP} , C_{DSP} , C_{GBP} sono in parallelo e sono equivalenti a una sola capacità $C_{DBP} + C_{DSP} + C_{GBP} = C_P^*$
- C_{GDM} , C_{GDP} sono in parallelo e sono equivalenti a una sola capacità $C_{GDM} + C_{GDP} = C_G^*$

Il circuito diventa =>



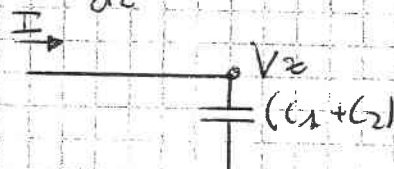
$$I_1 = C_1 \frac{d(V_{DD} - V_x)}{dt}$$

$$= -C_1 \frac{dV_x}{dt}$$

$$I_2 = C_2 \frac{dV_x}{dt}$$

$$\frac{I}{+} = I_2 - I_1 = C_2 \frac{dV_x}{dt} + C_1 \frac{dV_x}{dt} = (C_1 + C_2) \frac{dV_x}{dt}$$

connessione con il resto del circuito

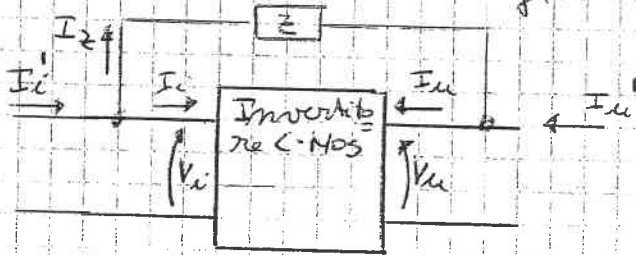


La rete equivalente è

Cioè i due condensatori (C_1 e C_2) sono in parallelo

quindi $C_{eq} = C_m + C_p$

C_{GD} è una capacità che sta tra il nodo d'ingresso e quello d'uscita. Stesso caso generale e dell'effetto dell'impedenza



Bisogna vedere qual'è la relazione tra I_u ed $I_{u'}$

⇒ Approssimazione del 1° ordine cioè si approssima il comportamento della rete con un comportamento lineare.

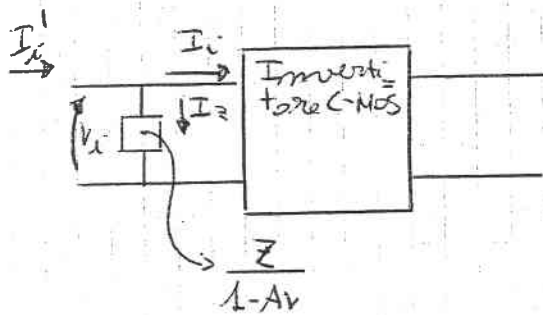
La rete si definisce $V_u = A_v \cdot V_i$

è vero per ogni punto dell'invertitore in quanto $A_v = \frac{dV_u}{dV_i}$

l'approssimazione si considera ogni punto della rete esiste con la sua tangente.

$$I_i' = I_i + I_z \quad \text{ma } I_z = \frac{V_i - V_u}{Z} = \frac{V_i - A_v V_i}{Z}$$

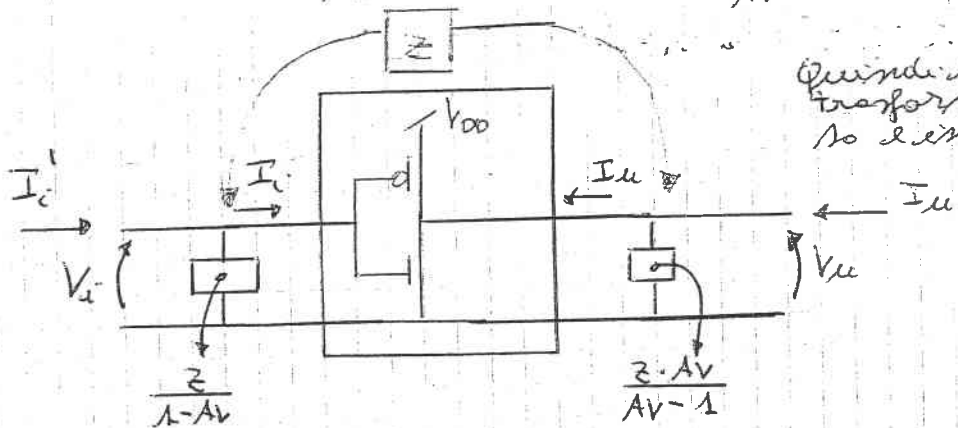
$$I_i' = I_i + V_i \cdot \frac{(1 - A_v)}{Z} \Rightarrow I_i' = I_i + \frac{V_i}{\frac{Z}{1 - A_v}}$$



L'impedenza z vista all'ingresso

$$I_u' = I_u - I_z = I_u - \frac{V_i - V_u}{z} = I_u - \frac{\frac{V_u}{A_v} - V_u}{z}$$

$$I_u' = I_u - \frac{V_u}{\frac{z}{1-A_v}} = I_u + \frac{V_u}{\frac{z}{A_v-1}} = I_u + \frac{V_u}{\frac{z A_v}{A_v-1}}$$



Quindi l'impedenza z si trasforma in una d'ingresso e in una d'uscita.

se $A_v \rightarrow 0$ allora

$$\begin{cases} \frac{z}{1-A_v} \rightarrow z & (\text{impedenza d'INGRESSO}) \\ \frac{z \cdot A_v}{A_v-1} \rightarrow 0 & (\text{impedenza d'USCITA}) \end{cases}$$

se $A_v \rightarrow +\infty$ allora

$$\begin{cases} \frac{z}{1-A_v} \rightarrow 0 & (\text{impedenza d'INGRESSO}) \\ \frac{z A_v}{A_v-1} \rightarrow z & (\text{impedenza d'USCITA}) \end{cases}$$

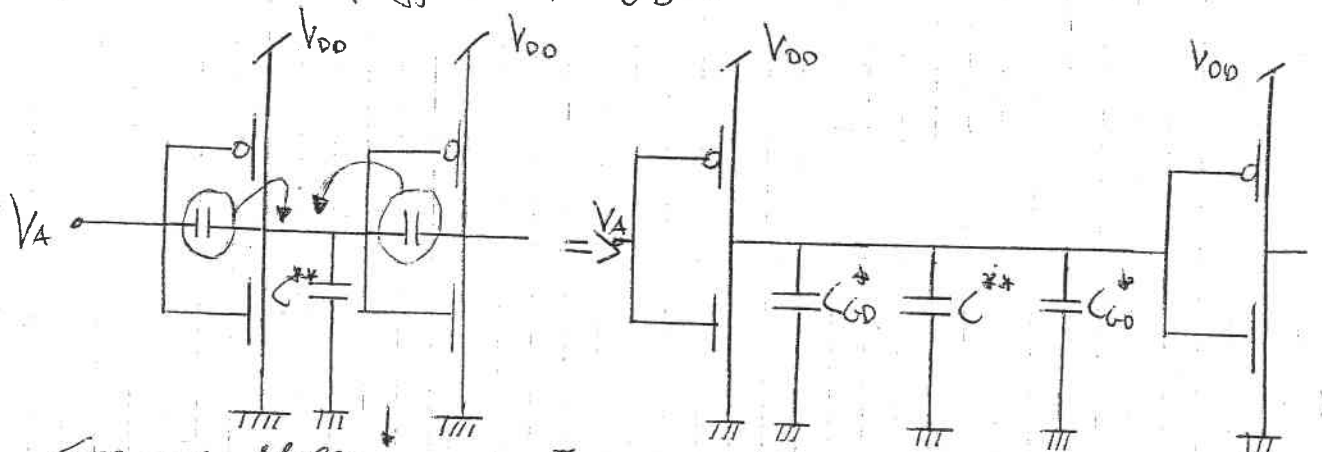
Quindi, per piccoli guadagni l'impedenza si vede solo nell'ingresso per grande solo nell'uscita.

Indatti A_v prende vuol dire $\frac{dV_u}{dt}$ grande e quindi l'effetto dell'impedenze è forte sull'uscita.

Se A_v è piccolo $\frac{dV_u}{dt}$ è piccolo l'impedenza d'uscita non conta rispetto a quella d'ingresso.

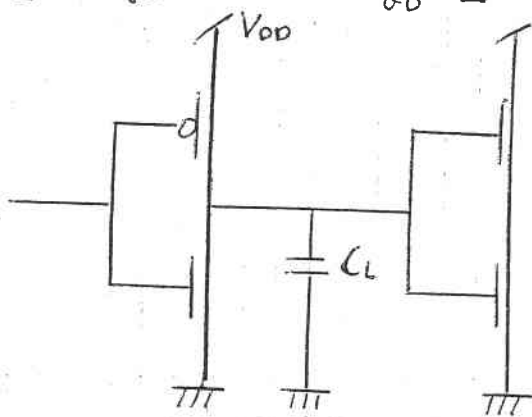
Questo è l'effetto Miller (dal teorema di equivalenza di Miller): la capacità a cavallo tra l'ingresso e l'uscita si può spezzare in due contributi equivalenti riportate all'ingresso e all'uscita.

La capacità peggiore è C_{GD}^* . Quindi questa capacità può essere rimossa e portata all'ingresso e all'uscita con il valore peggiore C_{GD}^* .



Secondo Miller

$$C_L = C_{GD}^* + C_{DD}^{**} + C_{GD}^* \approx C_{ox} \cdot W \cdot L \quad (\text{nell'ipotesi che non tutti i transistori uguali})$$



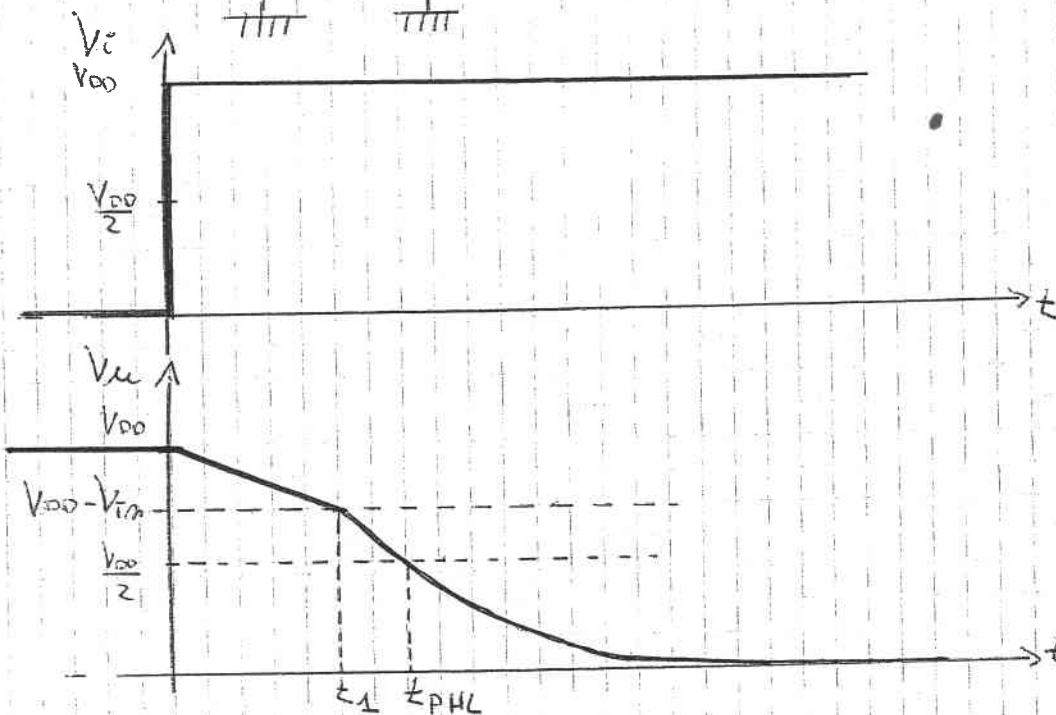
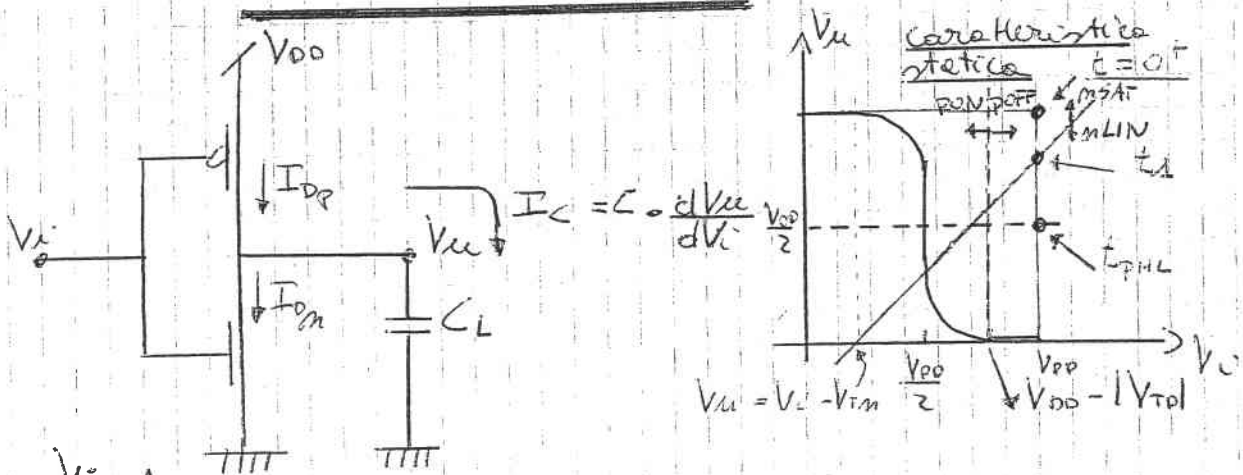
Siccome i due invertitori sono in cascata lo stato del 1° è opposto al secondo. Se uno dei due stadi è in una condizione in cui l'impedimento è nell'uscita quello reciproco ha l'impedimento in ingresso.

C_L è una sola capacità che è direttamente collegata a $W \cdot L$.

$\Rightarrow$ Aumentare la dimensione di un transistor significa aumentare anche la capacità parassita.

RISPOSTA DINAMICA DEL CIRCUITO

CALCOLO DI t_{PHL}



$t < 0$ $V_i = 0$, dalla caratteristica statica, $V_u = V_{DD}$

$t \rightarrow +\infty$ $V_i = V_{DD}$, dalla caratteristica statica $V_u = 0$

Per il calcolo di t_{PHL} bisogna calcolare il tempo che intercorre da quando V_i è a metà della sua escursione ($V_{DD}/2$) e quando V_u è a metà della sua escursione.

$$t = 0^+ \quad V_i = V_{DD} \quad V_u = V_c(0^+) = V_c(0^-) = V_{DD}$$

$$V_{SGP} = V_{DD} - V_i = 0 \Rightarrow \text{POFF}$$

$$V_{GSM} = V_i = V_{DD} > V_T \Rightarrow \text{MON}$$

$$\text{HP: } \begin{matrix} mSAT \\ mLIN \end{matrix} \quad V_{GSM} < V_{DSM} + V_{TH} \Rightarrow V_i < V_u + V_{TH} \Rightarrow V_u > V_{DD} - V_{TH}$$

$$V_{GSM} > V_{DSM} + V_{TH} \Rightarrow V_i > V_u + V_{TH} \Rightarrow V_u < V_{DD} - V_{TH}$$

Il transistor si compone di due tratti:

per $V_{DD} - V_{TH} < V_u < V_{DD}$ allora n-SAT } P è sempre OFF
 per $V_u < V_{DD} - V_{TH}$ allora n-LIN

n-SAT, P OFF

$$I_{DP} = I_{DN} + I_C$$

$$I_{DN} + I_C = 0$$

$$I_{DN} = -I_C$$

$$I_{DN} = \frac{\beta_n}{2} (V_{GS} - V_{TH})^2 = \frac{\beta_n}{2} (V_i - V_{TH})^2$$

$$= \frac{\beta_n}{2} (V_{DD} - V_{TH})^2$$

$$I_C = C_L \frac{dV_u}{dt}$$

per $0 < t < t_1$

$$\frac{\beta_n}{2} (V_{DD} - V_{TH})^2 = -C_L \frac{dV_u}{dt}$$

$$\int_0^t dt = \int_{V_{DD}}^{V_u(t)} \frac{-2 C_L}{\beta_n (V_{DD} - V_{TH})^2} dV_u$$

$$t = -\frac{2 C_L}{\beta_n (V_{DD} - V_{TH})^2} \cdot (V_u(t) - V_{DD})$$

Seccome $V_u(t_1) = V_{DD} - V_{TH}$ allora

$$t_1 = -\frac{2 C_L}{\beta_n (V_{DD} - V_{TH})^2} \cdot (V_{DD} - V_{TH} - V_{DD})$$

$$t_1 = \frac{2 C_L V_{TH}}{\beta_n (V_{DD} - V_{TH})^2}$$

$$t_1 = \frac{2 C_L V_{TH}}{\beta_n (V_{DD} - V_{TH})^2}$$

$$V_u(t) = V_{DD} - \frac{\beta_n (V_{DD} - V_{TH})^2}{2 C_L} \cdot t \quad (\text{reka})$$

Infatti il condensatore si scarica linearmente nel tempo in quanto la corrente è costante.

per $t_1 < t < t_{PHL}$

$$t : t_1 \rightarrow t_{PHL}$$

$$V_u = V_{DD} - V_{TH} \rightarrow \frac{V_{DD}}{2}$$

n-LIN, P OFF

$$I_{DP} = I_{DN} + I_C = 0$$

↓

$$I_{DN} = -I_C$$

$$I_{DN} = \beta_n \left\{ (V_i - V_{TH}) V_u - \frac{V_u^2}{2} \right\}$$

$$I_C = C_L \frac{dV_u}{dt}$$

$$\beta_m \left\{ \left(\underset{\substack{\uparrow \\ V_{DD}}} {V_U} - V_{TH} \right) V_U - \frac{V_U^2}{2} \right\} = - C_L \frac{dV_U}{dt}$$

$$\int_{t_1}^{t_{PHL}} dt = \int_{V_{DD}-V_{TH}}^{\frac{V_{DD}}{2}} - \frac{C_L}{\beta_m \left\{ 2(V_{DD}-V_{TH})V_U - V_U^2 \right\}} dV_U$$

$$\begin{aligned} t_{PHL} - t_1 &= - \frac{C_L \cdot 2}{\beta_m} \cdot \int_{V_{DD}-V_{TH}}^{\frac{V_{DD}}{2}} \frac{dV_U}{V_U(-V_U + 2(V_{DD}-V_{TH}))} \\ &= \frac{2C_L}{\beta_m} \cdot \int_{V_{DD}-V_{TH}}^{\frac{V_{DD}}{2}} \frac{dV_U}{V_U \{ V_U - 2(V_{DD}-V_{TH}) \}} \end{aligned}$$

$$\int \frac{1}{V_U(V_U - a)} dV_U$$

$$\text{con } a = 2(V_{DD} - V_{TH})$$

$$\frac{1}{V_U(V_U - a)} = \frac{A}{V_U} + \frac{B}{V_U - a} = \frac{A(V_U - a) + BV_U}{V_U(V_U - a)} = \frac{V_U(A+B) - aA}{V_U(V_U - a)}$$

$$\begin{cases} A+B=0 \\ -aA=1 \end{cases} \Rightarrow \begin{aligned} A &= -\frac{1}{a} \\ B &= \frac{1}{a} \end{aligned}$$

$$= \int \left(-\frac{1}{a} \cdot \frac{1}{V_U} + \frac{1}{a} \cdot \frac{1}{V_U - a} \right) dV_U = -\frac{1}{a} \ln|V_U| + \frac{1}{a} \ln|V_U - a| =$$

$$= \frac{1}{a} \left[\ln|V_U - a| - \ln|V_U| \right] = \frac{1}{a} \ln \left| \frac{V_U - a}{V_U} \right|$$

$$\boxed{\int \frac{1}{V_U(V_U - a)} dV_U = \frac{1}{a} \ln \left| \frac{V_U - a}{V_U} \right| + c}$$

$$\begin{aligned} t_{PHL} - t_1 &= \frac{\frac{2C_L}{\beta_m}}{2(V_{DD}-V_{TH})} \cdot \left| \ln \left| \frac{V_U - a}{V_U} \right| \right|_{V_{DD}-V_{TH}}^{\frac{V_{DD}}{2}} \\ &= \frac{\frac{2C_L}{\beta_m}}{2(V_{DD}-V_{TH})} \cdot \ln \left[\frac{\frac{V_{DD}}{2} - \frac{1}{2}(V_{DD}-V_{TH})}{\frac{V_{DD}}{2}} \cdot \frac{V_{DD}-V_{TH}}{V_{DD}-V_{TH} - \frac{1}{2}(V_{DD}-V_{TH})} \right] \end{aligned}$$

$$t_{PHL} - t_1 = \frac{\frac{2C_L}{\beta_m}}{2(V_{DD} - V_{TH})} \cdot \ln \left| \frac{V_{DD} - 4V_{DD} + 4V_{TH}}{V_{DD}} \cdot -1 \right|$$

$$= \frac{\frac{2C_L}{\beta_m}}{2(V_{DD} - V_{TH})} \cdot \ln \left(\frac{3V_{DD} - 4V_{TH}}{V_{DD}} \right)$$

$$t_{PHL} = \frac{2C_L V_{TH}}{\beta_m (V_{DD} - V_{TH})^2} + \frac{\frac{2C_L}{\beta_m}}{2(V_{DD} - V_{TH})} \cdot \ln \left(\frac{3V_{DD} - 4V_{TH}}{V_{DD}} \right)$$

$$t_{PHL} = \frac{2C_L}{\beta_m (V_{DD} - V_{TH})} \cdot \left\{ \frac{V_{TH}}{V_{DD} - V_{TH}} + \frac{1}{2} \ln \left(3 - \frac{4V_{TH}}{V_{DD}} \right) \right\}$$

se $V_{DD} \gg V_{TH}$

$$t_{PHL} = \frac{2C_L}{\beta_m (V_{DD} - V_{TH})} \cdot \left\{ \frac{\overset{\text{piccolo}}{V_{TH}/V_{DD}}}{\underset{\text{trascurabile}}{1 - \frac{V_{TH}}{V_{DD}}}} + \frac{1}{2} \cdot \ln \left(3 - \frac{\overset{\text{piccolo}}{4V_{TH}}}{\underset{\approx 1}{V_{DD}}} \right) \right\}$$

pre-esponere in quanto $V_{DD} > V_{TH} + |V_{TP}|$ e se vale la complementarità del transistor V_{DD} è almeno il doppio di V_{TH} .

$$t_{PHL} = \frac{2C_L}{\beta_m \cdot V_{DD}} \cdot \frac{1}{2} = \frac{C_L}{\beta_m V_{DD}} \quad (\text{usato per ragionamento qualitativo})$$

$$\text{se } V_{DD} \gg V_{TH} \quad t_{PHL} \approx \frac{C_L}{\beta_m \cdot V_{DD}}$$

• Per il t_{LH} il risultato è analogo cambiando V_{TH} con $|V_{TP}|$ e β_m con β_p

ANALISI DEL TEMPO DI PROPAGAZIONE

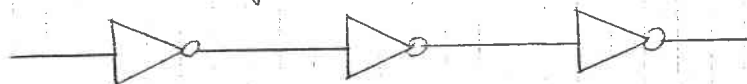
$$t_p \approx \frac{C_L}{\beta \cdot V_{DD}} \quad \text{Il ritardo dipende da:}$$

- ① C_L : se è alto occorre più tempo per caricarla/scaricarla.
- ② β : aumentando β aumento la corrente che carica/scarica più velocemente la capacità.
- ③ V_{DD} : sembra strano a denominatore perché più è alto più carica bisogna spostare della capacità. Ma la corrente dipende al quadrato della tensione applicata e quindi, al crescere delle V_{DD} il t_p cresce linearmente a causa dell'aumento di carica da spostare dal condensatore ma diminuisce quadraticamente grazie all'aumento di corrente. Quindi $t_p \propto \frac{V_{DD}}{V_{DD}^2} \propto \frac{1}{V_{DD}}$.

Per progettare un circuito molto veloce bisogna avere t_p piccolo:

$\Rightarrow$ Aumentare troppo V_{DD} provoca un eccessivo aumento di corrente e quindi un aumento di potenza dinamica consumata.

$\Rightarrow$ Nell'ipotesi che il circuito sia fornito da una catena di invertitori uguali.



$$C_L = C_{ox} \cdot W \cdot L$$

$$\beta_n = C_{ox} \cdot \mu_n \frac{W}{L}$$

Semberebbe che per aumentare t_p basterebbe aumentare W in modo che β_n sia grande, ma

$$t_p \propto \frac{C_{ox} \cdot W \cdot L}{C_{ox} \cdot \mu_n \frac{W}{L}} = \frac{L^2}{\mu_n}$$

$\Rightarrow$ Quindi nell'ipotesi che la capacità di carico sia dovuta alla capacità d'ingresso dello stadio seguente rispetto al precedente AUMENTARE la LARGHEZZA dei transistori non modifica t_p in quanto aumentando W si aumenta la carica da spostare e la corrente di carica delle stadi stesse.

$\Rightarrow$ L deve essere quindi il più piccolo possibile $\Rightarrow$ fondamento della microelettronica.

L piccolo $\rightarrow$ più transistor e quindi funzioni più complesse
 $\rightarrow$ circuiti più veloci
 $\rightarrow$ consumo diminuisce
 $\rightarrow$ si guasta di meno

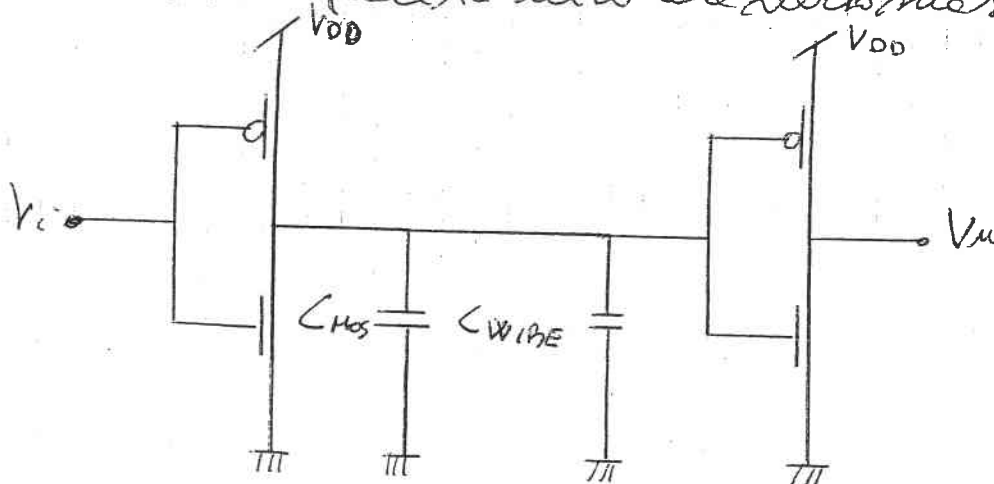
In una catena di dispositivi tutti uguali tra di loro aumentare le dimensioni garantisce un incremento della velocità. L'unico modo per variare t_p è aumentare V_{DD} , provocando però l'aumento di potenza dissipata.

Il compromesso è o

- ① avere un dispositivo a bassa velocità e a bassa potenza dissipata (lettore MP3, portatile).
- ② avere un dispositivo veloce con maggiori consumi (computer collegato alla rete).

↳ Questo è vero però se la capacità dipende solo dallo stesso dispositivo.

Però bisogna considerare un'ulteriore capacità, oltre a quella del MOS: connettendo due invertitori con un filo si crea una capacità ulteriore verso massa.



C_{WIRE} è in parallelo con C_{MOS} che è la capacità complessiva dell'invertitore.

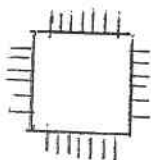
⇒ Se i due invertitori sono realizzati nello stesso circuito integrato a breve distanza l'uno dall'altro (BREVE CONNESSIONE LOCALE) il filo può avere un pezzo di alluminio lungo quasi 1 μm separato dal substrato con un ossido spesso. Quindi C_{WIRE} è trascurabile rispetto a C_{MOS} .

Interconnessione breve ⇒ $C_{WIRE} \ll C_{MOS}$

↳ i risultati ottenuti per t_p sono corretti.

Esempio in cui bisogna considerare un'ulteriore capacità:

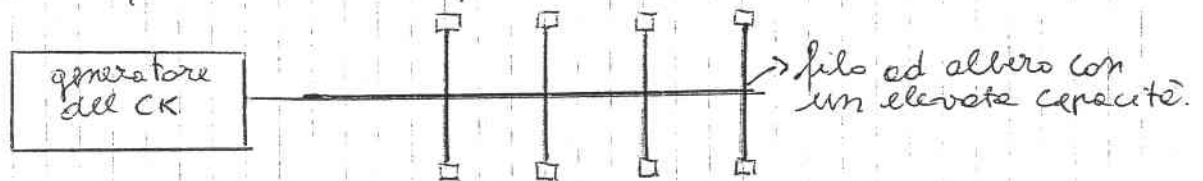
- ② Una catena di invertitori (o altre porte logiche) è finita e termina in generale ad un piedino di un circuito integrato.



↳ i piedini sono mm di alluminio e non più μm . La capacità è quindi elevatissima.

Quindi non si può trascurare la capacità di interconnessione nel momento in cui ha dimensioni molto più elevate di quelle di un transistor.

⑥ Esistono interconnessioni nel chip che non sono locali come quelle per il segnale di clock



(il segnale di clock è utile per una rete sequenziale sincrona in quanto un suo evento abilita ogni elemento della rete sincrona a commutare il suo stato)

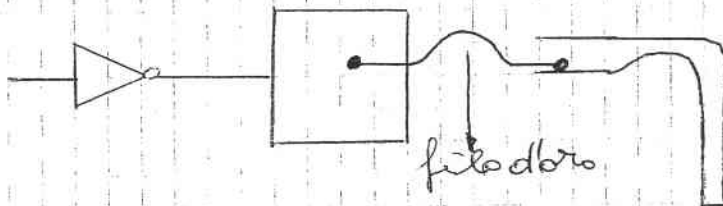
Il segnale di clock è distribuito a una moltitudine di elementi del circuito attraverso un "albero di clock"

↳ la capacità del filo non è trascurabile e può incidere significativamente in quanto il segnale del clock deve raggiungere ogni singolo flip-flop del circuito.

Quindi $C_{WIRE} \gg C_{MOS}$

• Studio di t_p considerando la giunzione col piedino.

L'ultimo invertitore viene collegato al piedino attraverso una saldatura che collega il substrato di silicio con il piedino attraverso un sottile filo d'oro.



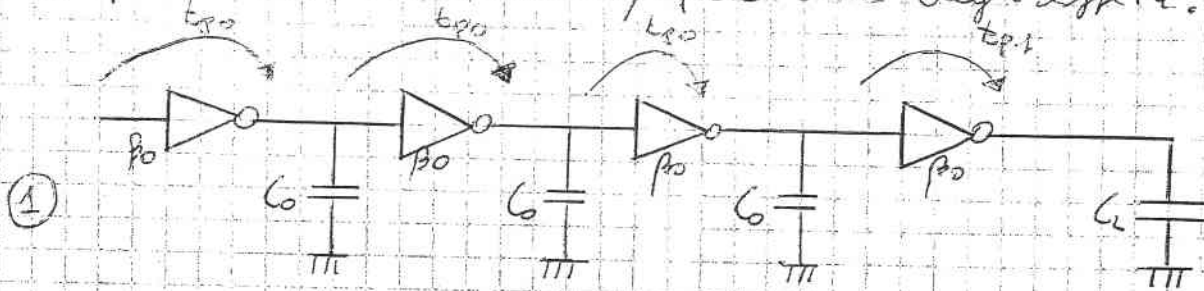
La saldatura viene effettuata con macchine apposite da microsaldatura che però sono collegamenti molto più grandi dei transistor $C-MOS$ (circa 100 volte).

Quindi se il lato della saldatura è 100 volte quello del transistor, la sua area è 10.000 volte più grande e perciò anche il ritardo è 10.000 volte più grande.

Dato che la lunghezza dei fili di interconnessione proporzionati in modo da avere buone prestazioni (considerando le dimensioni), quando il segnale d'uscita prodotto velocemente deve essere consegnato al piedino (per d'uscita) deve pilotare una capacità 10.000 volte più grande e quindi ha un tempo 10.000 volte più grande.

① ⇒ Bisogna considerare un circuito in cui C_i non è più dipendente dalle dimensioni del dispositivo ma è dominato dalla capacità esterna.

In questo caso aumentare β può dare degli effetti:



- Ogni invertitore è caratterizzato dallo stesso β_0
- C_0 è la capacità dominata dalle capacità d'ingresso dei transistori in quanto le interconnessioni sono brevi.
- C_L è la capacità di interconnessione con un piedino.

$$\beta_0 = C_{ox} \mu_n \cdot \frac{W}{L_{MIN}}$$

$$C_0 = C_{ox} \cdot W \cdot L_{MIN}$$

$$C_L \gg C_0$$

$$C_L = R C_0 \quad \text{con } R \gg 1$$

$$R = 10^3 \div 10^4$$

Conoscendo le varie capacità e i parametri β si può calcolare il tempo di propagazione

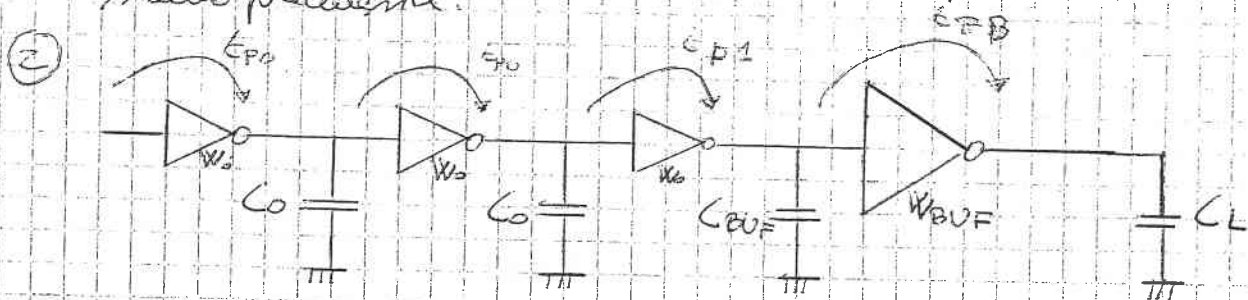
$$t_{p0} = \frac{C_0}{\beta_0 V_{DD}}$$

$$t_{p1} = \frac{C_L}{\beta_0 V_{DD}} = \frac{R C_0}{\beta_0 V_{DD}} = R t_{p0}$$

Quindi il tempo di propagazione associato all'ultimo stadio è R maggiore di t_{p0} .

② $\Rightarrow$ Se si aumenta β dell'ultimo stadio non si aumenta la capacità di carico in quanto non è dovuta dalle giunzioni dei transistori.

$\hookrightarrow$ Aumentando β si può accelerare il transistorio t_{p1} ma con il costo di aumentare la capacità dello stadio precedente.



Bisogna realizzare il Buffer in modo da non vanificare la velocità della rete precedente

$$W_{BUFFER} > W_0$$

Circuito di BUFFER usato per pilotare una capacità elevata

$$W_{BUF} = k W_0 \quad \text{con } k > 1$$

$$C_{BUF} = C_0 \times W_{BUF} \quad L_{MIN} = C_0 \times k W_0 \quad L_{MIN} = k C_0$$

(questo è dato perché costruendo un transistor k volte più grande si ottiene una capacità d'ingresso k volte maggiore)

$$\beta_{BUF} = C_0 \times \mu_n \frac{W_{BUF}}{L_{MIN}} = C_0 \times \mu_n \frac{k W_0}{L_{MIN}} = k \beta_0$$

$$\underline{t_{PBUF}} = \frac{C_L}{\beta_{BUF} V_{DD}} = \frac{R C_0}{k \beta_0 V_{DD}} = \underline{\frac{R}{k} t_{P0}} \quad (\text{l'ultimo transistor è più veloce})$$

$$\underline{t_{P1}} = \frac{C_{BUF}}{\beta_0 V_{DD}} = \frac{k C_0}{\beta_0 V_{DD}} = \underline{k t_{P0}} \quad (\text{il penultimo stadio è peggiore perché il } t_p \text{ aumenta } k \text{ volte})$$

per $k \rightarrow 0$ $t_{P1} \rightarrow 0$ ma $t_{PBUF} \rightarrow +\infty$

per $k \rightarrow +\infty$ $t_{PBUF} \rightarrow 0$ ma $t_{P1} \rightarrow +\infty$

Bisogna trovare il k migliore (intermedio)

↳ bisogna trovare il valore che minimizza la somma

$$t_{P1} + t_{PBUF} = \left(k + \frac{R}{k} \right) t_{P0}$$

il minimo della somma è dato dalla derivata posta uguale a 0.

$$\frac{d(t_{P1} + t_{PBUF})}{dk} = \left(1 - \frac{R}{k^2} \right) = 0$$

represente quanto il buffer è più grande di quelli precedenti

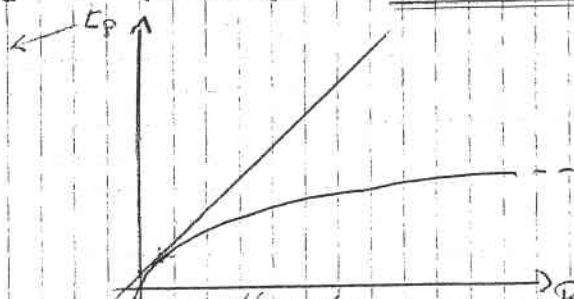
quindi $\underline{k = \sqrt{R}}$

• Confronto circuito con e senza buffer

Con buffer $t_{P1} + t_{PBUF} = \left(\sqrt{R} + \frac{R}{\sqrt{R}} \right) t_{P0} = 2\sqrt{R} \cdot t_{P0}$

Senza buffer $t_{P0} + t_{P1} = t_{P0} + R t_{P0} = (R+1) t_{P0}$

tempo degli ultimi due stadi.



è il rapporto tra la capacità d'uscita e quella interna $R = \frac{C_L}{C_0}$

Per $R = 10000$

Senza buffer

$$t_{p \text{ ultimi due stadi}} = (R+1)t_{po} = 10001 t_{po}$$

Con buffer

$$t_{p \text{ ultimi due stadi}} = 2\sqrt{R} t_{po} = 200 t_{po}$$

↳ è molto più veloce ma occupa molto più spazio
($\sqrt{R} = k$ volte di più cioè occupa 100 volte di più).

↳ C_L si scarica più velocemente perché β è maggiore allora la corrente è maggiore; si carica di più.

$$t_{p \text{ BUF}} = \frac{R}{\sqrt{R}} t_{po} = \sqrt{R} t_{po}; \quad t_{p \text{ L}} = k t_{po} = \sqrt{R} t_{po}$$

↳ quando la condizione ideale è quella in cui i due tempi sono uguali.

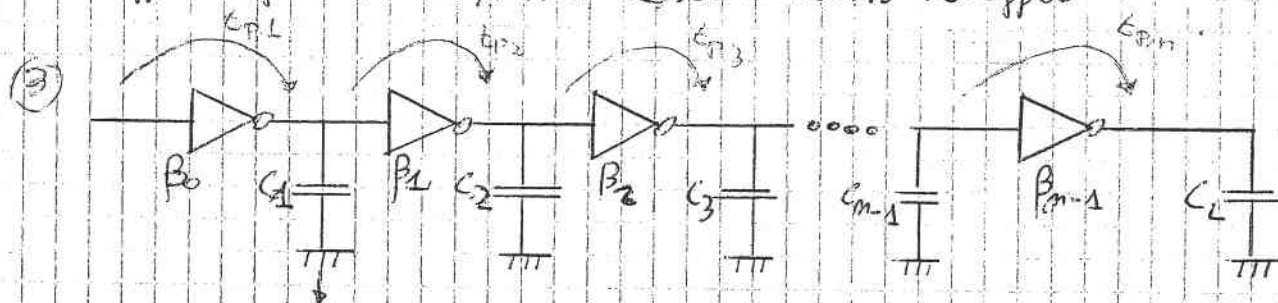
$$\begin{cases} C_L = R C_0 \\ C_{\text{BUF}} = k C_0 \end{cases} \Rightarrow \frac{C_L}{C_{\text{BUF}}} = \frac{R}{k} = \sqrt{R} \Rightarrow \begin{cases} C_L = \sqrt{R} C_{\text{BUF}} \\ C_{\text{BUF}} = \sqrt{R} C_0 \end{cases}$$

$$\boxed{\frac{C_L}{C_{\text{BUF}}} = \frac{C_{\text{BUF}}}{C_0}}$$

⇒ Quindi il valore ideale della capacità di buffer è quello medio proporzionale tra la capacità di carico esterna e quella interna.

⇒ Siccome lo stadio precedente a quello di buffer deve pilotare una capacità grande si può usare un ulteriore buffer che pilota la capacità C_{BUF} .

③ Si può costruire una struttura distribuita di buffer o più stadi, una cascata di n buffer.



Capacità d'ingresso dello stadio con β_1 .

$$\left. \begin{matrix} C_0 < C_1 < C_2 < \dots < C_{m-1} \\ \beta_0 < \beta_1 < \dots < \beta_{m-1} \end{matrix} \right\} \text{ sono le capacità e i } \beta \text{ degli } n \text{ buffer.}$$

Bisogna trovare:

- ① il n° degli stadi (n) } per avere una velocità massima
- ② la loro dimensione

Per ogni coppia di invertitori - capacità
per ottenere la migliore condizione, cioè i tempi uguali
tra loro

$$\frac{C_{i+1}}{C_i} = \frac{C_i}{C_{i-1}} \Rightarrow \frac{C_i}{C_{i-1}} = \frac{C_{i+1}}{C_i} = k, \quad \frac{\beta_i}{\beta_{i-1}} = \frac{\beta_{i+1}}{\beta_i} = k \text{ (da trovare)}$$

da $\left(\frac{C_L}{C_{BUF}} = \frac{C_{BUF}}{C_0} \right)$ $\downarrow$ $t_{pi} = t_{pi-1} = t_{pi+1}$

$$t_{p1} = \frac{C_1}{\beta_0 V_{DD}}, \quad \frac{C_1}{C_0} = k \text{ (con } i=0)$$

$$\underline{\underline{\Rightarrow}} t_{p1} = \frac{k C_0}{\beta_0 V_{DD}} = k t_{p0} \rightarrow \text{tempo di propagazione interno.}$$

ma dalla condizione che la capacità C_i è medio proporzionale
tra C_{i-1} e C_{i+1} i tempi sono tutti uguali perciò

$$t_{p \text{ tot}} = n \cdot k \cdot t_{p0}$$

$$R = \frac{C_L}{C_0} = \frac{C_L}{C_{m-1}} \cdot \frac{C_{m-1}}{C_{m-2}} \cdot \dots \cdot \frac{C_2}{C_1} \cdot \frac{C_1}{C_0} = k^m$$

$$\ln R = m \ln k$$

$$m = \frac{\ln R}{\ln k} \text{ allora}$$

$$t_{p \text{ tot}} = \ln R \cdot \frac{k}{\ln k} \cdot t_{p0}$$

$$\downarrow \frac{d(t_{p \text{ tot}})}{dk} = \ln R \cdot \left(\frac{\ln k - 1}{\ln^2 k} \right) t_{p0} = 0 \text{ quindi } \ln k = 1$$

cioè $\boxed{k=2}$

$$t_{p \text{ tot}} = \ln R \cdot e \cdot t_{p0}$$

$$n^{\circ} \text{ di stadi} = \ln R$$

$$\text{rapporto tra due capacità } \frac{C_i}{C_{i-1}} = 2$$

$$R = 10^{100}$$

① senza buffer

② buffer singolo

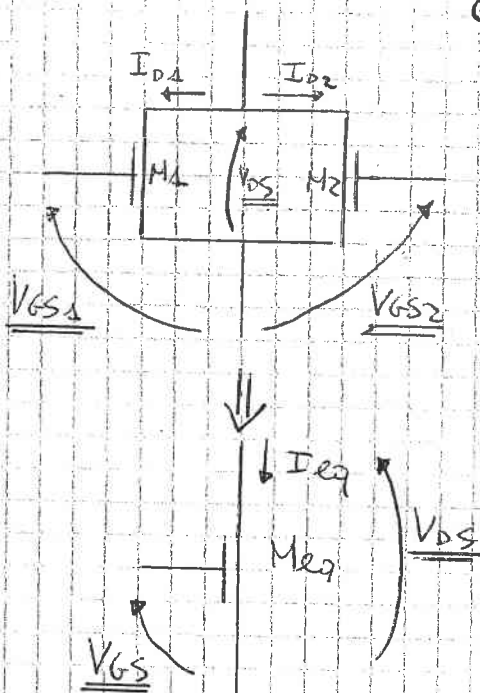
③ buffer multiplo

$$t_{p \text{ tot ultimo due stadi}} = 10001 t_{p0}$$

$$t_{p \text{ tot ultimo due stadi}} = 200 t_{p0} \quad (k=100)$$

$$m \approx 9, \quad \underline{\underline{C_{m-1} = 2 C_0 = 8103 C_0}}, \quad t_{p \text{ tot}} = 25 t_{p0}$$

TRANSISTOR n MOS in PARALLELO



con $\begin{cases} V_{DS1} = V_{DS2} = V_{DS} \\ V_{GS1} = V_{GS2} = V_{GS} \end{cases}$

Essendo $V_{S1} = V_{S2}$ vuol dire che

$$\begin{cases} V_{G1} = V_{G2} \\ V_{T1} = V_{T2} = V_T \\ \beta_1 \neq \beta_2 \end{cases}$$

$$I_{eq} = I_{D1} + I_{D2}$$

Avendo la stessa V_{GS} e V_{DS} i due MOS lavorano nella stessa regione
di M1, M2 LIN

$$I_{D1} = \beta_1 \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$I_{D2} = \beta_2 \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$I_{eq} = I_{D1} + I_{D2} = (\beta_1 + \beta_2) \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

Se

① $V_{DS1} = V_{DS2} = V_{DS}$

② $V_{G1} = V_{G2}$

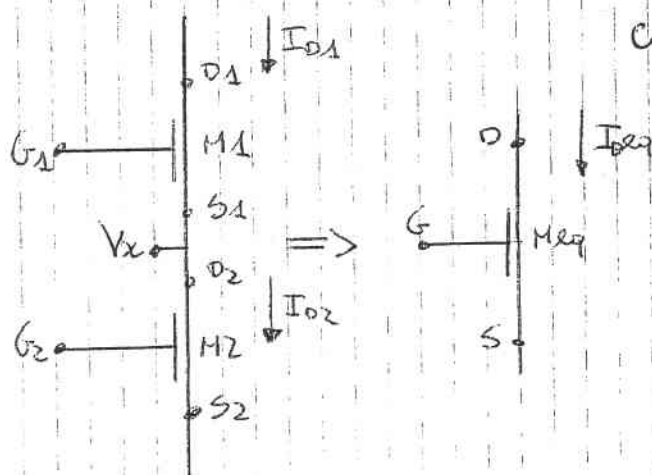
③ $V_{T1} = V_{T2} = V_T$

$$\Rightarrow \beta_{eq} = \beta_1 + \beta_2$$

$$\beta_{eq} = C_{ox} \mu_n \frac{W_{eq}}{L_{eq}} = \beta_1 + \beta_2 = C_{ox} \mu_n \frac{W_1 + W_2}{L}$$

$$\begin{aligned} W_{eq} &= W_1 + W_2 \\ L_{eq} &= L_1 = L_2 = L_{MIN} \end{aligned}$$

TRANSISTOR m MOS in SERIE



$$\text{con } \begin{cases} I_{D1} = I_{D2} = I_{Deq} \\ V_{G1} = V_{G2} = V_G \end{cases}$$

$$V_D = V_{D1}$$

$$V_S = V_{S2}$$

$$\text{con } V_{T1} = V_{T2} = V_T$$

$$V_X = V_{S1} = V_{D2}$$

se M1, M2 LIN

$$I_{Deq} = \beta_{eq} \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\} = \beta \left\{ (V_G - V_S - V_T)(V_D - V_S) - \frac{(V_D - V_S)^2}{2} \right\} =$$

$$= \beta_{eq} \left\{ (V_G - V_T) V_D - (V_G - V_T) V_S - \cancel{V_D V_S} + V_S^2 - \frac{V_D^2 + V_S^2 - 2 \cancel{V_D V_S}}{2} \right\} =$$

$$= \beta_{eq} \left\{ (V_G - V_T) V_D - \frac{V_D^2}{2} - (V_G - V_T) V_S + \frac{V_S^2}{2} \right\}$$

$$= \beta_{eq} \left\{ \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] - \left[(V_G - V_T) V_S - \frac{V_S^2}{2} \right] \right\}$$

$$g(V_G, V_D)$$

$$g(V_G, V_S)$$

$$I_{D1} = \beta_1 \left\{ g(V_{G1}, V_{D1}) - g(V_{G1}, V_{S1}) \right\} = \beta_1 \left\{ g(V_G, V_D) - g(V_G, V_X) \right\}$$

$$I_{D2} = \beta_2 \left\{ g(V_{G2}, V_{D2}) - g(V_{G2}, V_{S2}) \right\} = \beta_2 \left\{ g(V_G, V_X) - g(V_G, V_S) \right\}$$

$$I_{D1} = I_{D2} = \beta_1 \left\{ g(V_G, V_D) - g(V_G, V_X) \right\} = \beta_2 \left\{ g(V_G, V_X) - g(V_G, V_S) \right\}$$

$$g(V_G, V_X) = \frac{\beta_1 g(V_G, V_D) + \beta_2 g(V_G, V_S)}{\beta_1 + \beta_2}$$

$$\iff g(V_G, V_X)$$

$$I_{Deq} = \beta_{eq} \left\{ g(V_G, V_D) - g(V_G, V_S) \right\} = I_{D1} = \beta_1 \left\{ g(V_G, V_D) - \frac{\beta_1 g(V_G, V_D) + \beta_2 g(V_G, V_S)}{\beta_1 + \beta_2} \right\}$$

$$= \frac{\beta_1}{\beta_1 + \beta_2} \left\{ \beta_1 \cancel{g(V_G, V_D)} + \beta_2 g(V_G, V_D) - \beta_1 \cancel{g(V_G, V_D)} - \beta_2 g(V_G, V_S) \right\}$$

$$= \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \left\{ g(V_G, V_D) - g(V_G, V_S) \right\} = \beta_{eq} \left\{ g(V_G, V_D) - g(V_G, V_S) \right\} = I_{Deq}$$

$$\beta_{eq} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} = \frac{1}{\frac{1}{\beta_1} + \frac{1}{\beta_2}} =$$

Se

$$\textcircled{1} I_{D1} = I_{D2} = I_{D_{eq}}$$

$$\textcircled{2} V_{G1} = V_{G2} = V_G$$

$$\textcircled{3} V_{T1} = V_{T2} = V_T$$

$$\Rightarrow \frac{1}{\beta_{eq}} = \frac{1}{\beta_1} + \frac{1}{\beta_2}$$

$$\frac{1}{\beta_{eq}} > \frac{1}{\beta_1} \text{ e } \frac{1}{\beta_{eq}} > \frac{1}{\beta_2} \Rightarrow \beta_{eq} < \beta_1 \text{ e } \beta_{eq} < \beta_2$$

β_{eq} diminuisce perché due transistori in serie aumentano la lunghezza del canale e quindi aumentano la resistenza e diminuiscono la corrente.

$$\beta_{eq} = \frac{1}{\frac{1}{Cox \mu_n \frac{W_1}{L_{MIN}}} + \frac{1}{Cox \mu_n \frac{W_2}{L_{MIN}}}} = \frac{Cox \mu_n}{L_{MIN}} \cdot \frac{1}{\frac{1}{W_1} + \frac{1}{W_2}}$$

$$\text{Se } W_1 = W_2 = W \text{ e } L_1 + L_2$$

$$\beta_{eq} = \frac{1}{\frac{1}{Cox \mu_n \frac{W}{L_1}} + \frac{1}{Cox \mu_n \frac{W}{L_2}}} = Cox \mu_n \cdot \frac{W}{L_1 + L_2}$$

PARALLELO

Il transistoro equivalente ha la stessa lunghezza e lo stesso spessore allo stesso tempo dei transistori.

$$\beta_{eq} = \sum_{i=1}^n \beta_i$$

$$\beta_{eq} > \beta_i \quad \forall i$$

$$\beta_{eq} = 2\beta$$

SERIE

Il transistoro equivalente ha la lunghezza pari alla somma delle lunghezze dei transistori con stessa larghezza.

$$\frac{1}{\beta_{eq}} = \sum_{i=1}^n \frac{1}{\beta_i}$$

$$\beta_{eq} < \beta_i \quad \forall i$$

Se i due transistori sono uguali.

$$\beta_{eq} = \frac{\beta^2}{2\beta} = \frac{\beta}{2}$$

Parallelo

$$\beta_{eq} = m \beta$$

Serie

Per n transistor uguali

$$\beta_{eq} = \frac{\beta}{n}$$

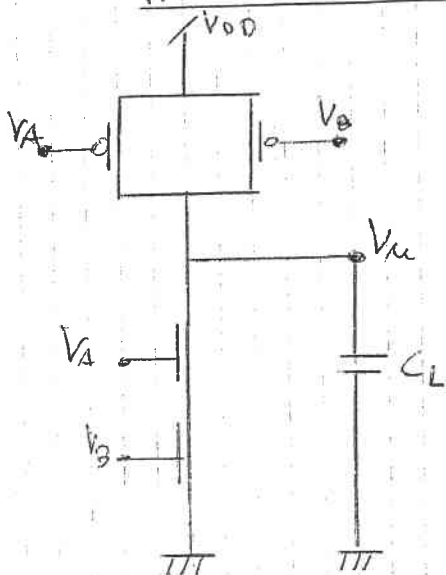
Queste regole sono importanti perché nei circuiti digitali le tensioni d'ingresso o $\bar{0}$ o V_{DD} .
Se $\bar{0}$ il transistor è spento e non si considera.
Se $\bar{V}_{DD}$ si applicano le regole serie / parallelo.

↳ Questo è utile perché essendo le reti di PV e PD formate da transistori connessi in serie o in parallelo si possono estendere le formule trovate per l'invertitore anche per funzioni complicate modificando opportunamente il β_{eq} .

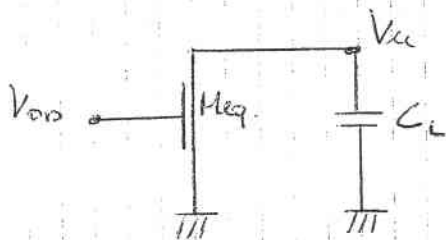
CALCOLO DEL TEMPO DI PROPAGAZIONE

$$t_p \approx \frac{C}{\beta V_{DD}}$$

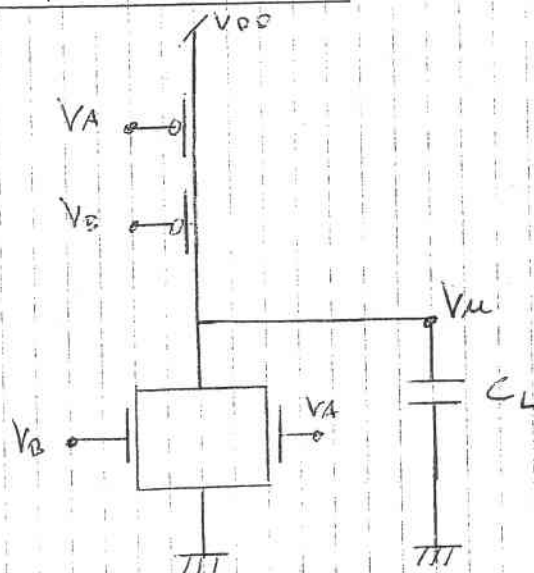
NAND 2 INGRESSI



Per il tempo di discesa i due transistor devono essere accesi entrambi.
Si studia la serie delle capacità nella via dei due transistor di PD.



NOR 2 INGRESSI



Per il tempo di discesa bisogna considerare solo uno dei due n-MOS accesi per il tempo di discesa peggiore.



NAND

Per il tempo di salita ci sono due configurazioni possibili che caricano C

- ① è acceso uno dei transistori p-MOS
- ② sono accesi tutti e due i transistori p-MOS

Se si considera il caso peggiore, cioè il tempo più alto, bisogna considerare il caso ① in quanto il β è il più piccolo e quindi anche la corrente di carica.

$$\beta_m = \beta_p = \beta$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

Ma nel caso peggiore i due n-MOS sono in serie

$$\beta_{eq} = \frac{\beta}{2}$$

$$t_{PHLWC} = \frac{C_L}{\frac{\beta}{2} \cdot V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

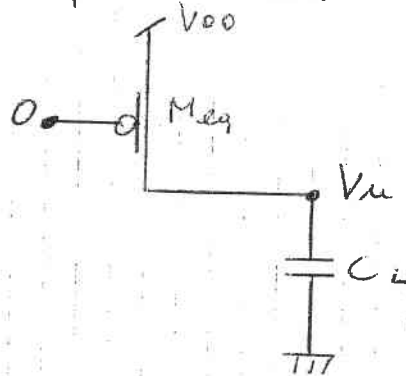
ma nel caso peggiore i due p-MOS uno è acceso e l'altro spento

$$\beta_{eq} = \beta$$

$$t_{PLHWC} = \frac{C_L}{\beta V_{DD}}$$

NOR

Per il tempo di salita si considerano i due p-MOS accesi



$$\beta_m = \beta_p = \beta$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

ma nel caso peggiore è acceso 1 solo n-MOS

$$\beta_{eq} = \beta$$

$$t_{PHLWC} = \frac{C_L}{\beta V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

ma i due p-MOS devono essere accesi per cui.

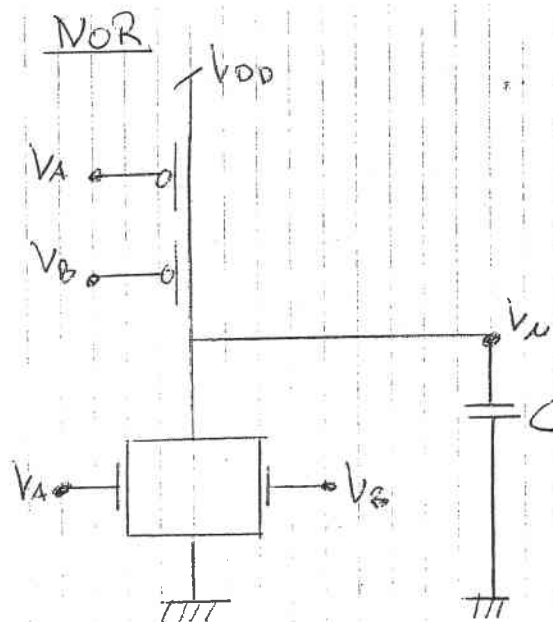
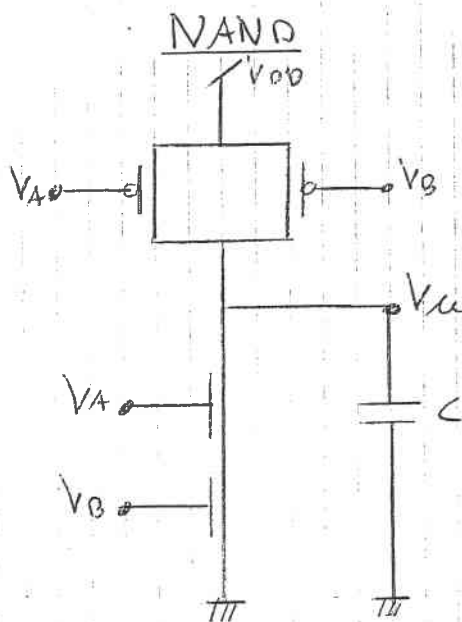
$$\beta_{eq} = \frac{\beta}{2}$$

$$t_{PLHWC} = \frac{C_L}{\frac{\beta}{2} V_{DD}}$$

Ma se $\beta_m = \beta_p$ i due transistori p e n MOS non sono uguali. Tra di loro c'è la differenza delle diverse mobilità.

Il transistoro p-MOS è 203 volte più grande degli n-MOS

Se invece i due transistori sono uguali $\beta_m \approx 3\beta_p$ per il NAND il tempo di salita odierne è minore per il NOR il $t_{PHLWC} < t_{PLHWC}$. È meglio il parallelo con β_p più piccolo e le serie con β_m più grande per avere i due tempi simili.



Se i due transistor
hanno uguale dimensione

$$\beta_n = 3\beta_p$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = \frac{(3\beta_p)^2}{6\beta_p} = \frac{3}{2}\beta_p$$

$$t_{PHLWC} = \frac{2}{3} \cdot \frac{C_L}{\beta_p V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

$$\beta_{eq} = \beta_p$$

$$t_{PLHWC} = \frac{C_L}{\beta_p \cdot V_{DD}}$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = 3\beta_p$$

$$t_{PHLWC} = \frac{1}{3} \frac{C_L}{\beta_p V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

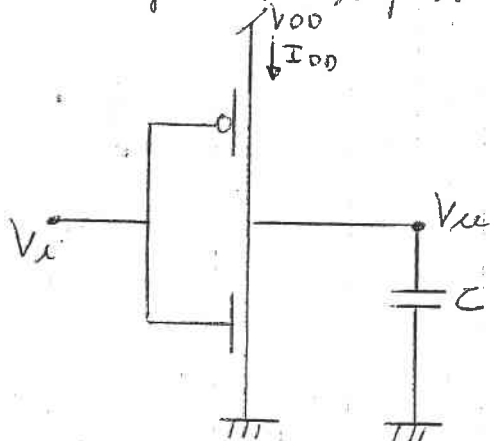
$$\beta_{eq} = \frac{\beta_p}{2}$$

$$t_{PLHWC} = \frac{2}{\beta_p \cdot V_{DD}} C_L$$

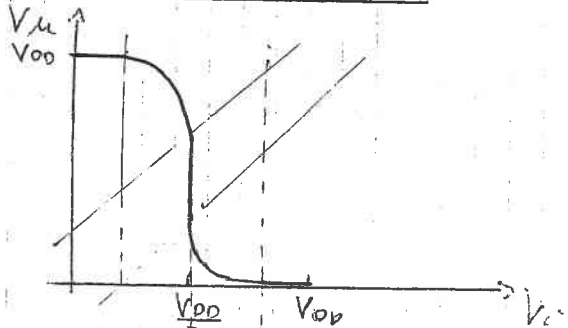
Quindi se a PD gli n-MOS sono in serie e a PU i p-MOS sono in parallelo si otterranno t_{PLHWC} e t_{PHLWC} piccoli e simili.

POTENZA C-MOS IN REGIME DINAMICO

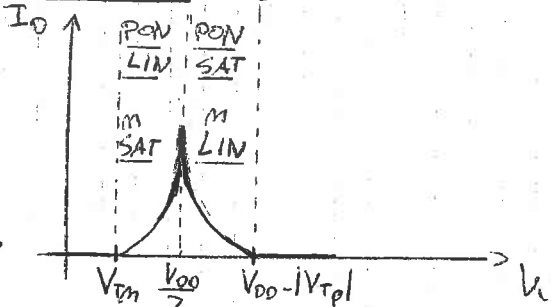
La potenza statica è praticamente nulla.
Per studiare la potenza dinamica si considera un invertitore con una capacità collegata all'uscita e con un segnale d'ingresso variabile nel tempo.



Caratteristica statica



Corrente I_D



è la corrente statica dell'invertitore (quindi $I_C = 0$)

$$P = V_{DD} \cdot I_{DD}$$

$$I_{DD} = I_{DP} = I_{DM} + I_C$$

$$I_{DD} > 0 \text{ se } \rightarrow I_{DM}, I_{DP} > 0 \text{ cioè P, MON}$$

$$\rightarrow I_C, I_{DP} > 0 \text{ cioè } C \frac{dV_x}{dt} > 0 \text{ quando } V_x \uparrow$$

↳ Ci sono quindi 2 componenti di consumo di potenza, legate ad un meccanismo dinamico:

- ① le correnti I_D dovute alla transizione di V_i da 0 a V_{DD} e viceversa che genera una potenza di cortocircuito (P_{CC}) chiamata così perché le correnti istantanee quando p e n MOS sono accesi provocando un cortocircuito tra l'alimentazione e la massa. (questa potenza è legata indipendentemente dalla presenza del condensatore)
- ② anche se n è OFF il circuito può richiudere corrente al generatore per caricare il condensatore che genera una potenza L_{OVO} (P_L) associata al carico ($L_{OVO} = \text{CARICO}$).

$$P_{DISSIPATA} \Rightarrow P_D = P_{CC} + P_L$$

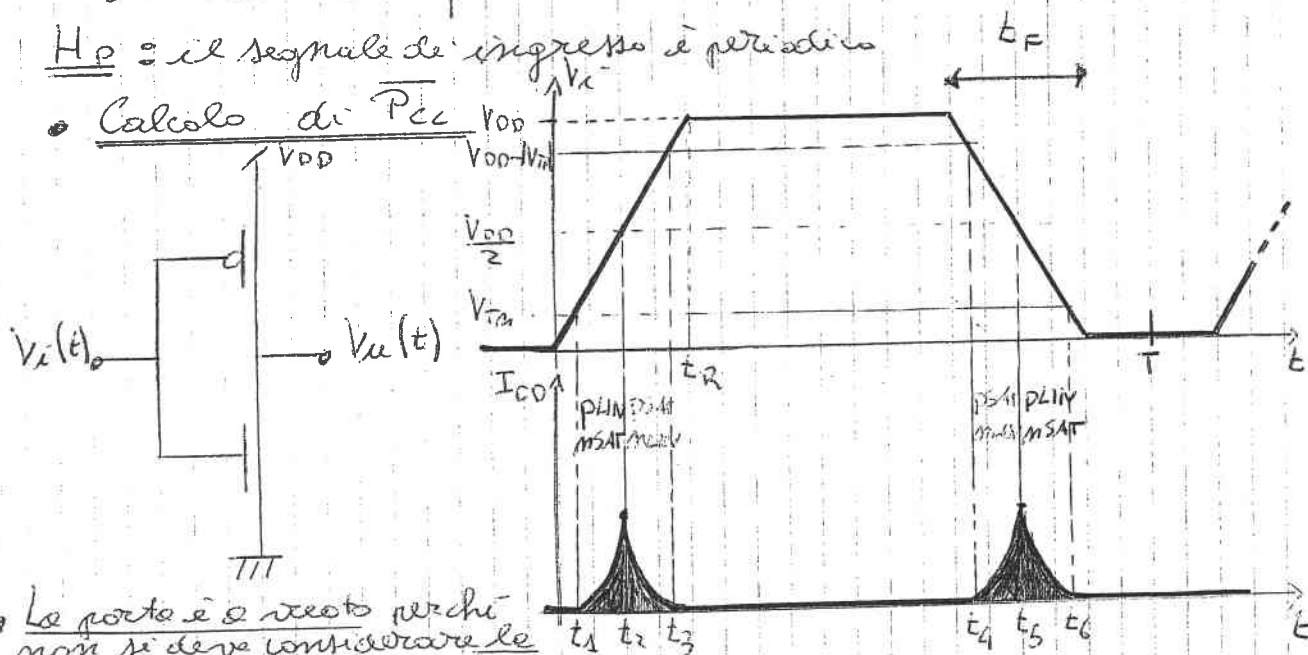
- Ipotizzando che P_{CC} e P_L siano indipendenti si possono calcolare separatamente (dal teorema del principio delle sovrapposizioni degli effetti)
- Essendo P_D una potenza dinamica, associata ad una comunicazione, bisogna calcolare la potenza media (utile per sapere le durata e il consumo di batterie)

$$\overline{P_D} = \frac{1}{T} \cdot \int_0^T P_D dt = \frac{1}{T} \int_0^T (P_{CC} + P_L) dt = \frac{1}{T} \int_0^T P_{CC} dt + \frac{1}{T} \int_0^T P_L dt$$

$$\overline{P_D} = \overline{P_{CC}} + \overline{P_L}$$

H_p: il segnale di ingresso è periodico

• Calcolo di $\overline{P_{CC}}$



• La porta è a vuoto perché non si deve considerare le capacità per calcolare P_{CC}

• La caratteristica statica può essere estesa in questo regime dinamico perché in entrambi i casi $I_{Dn} = I_{Dp}$ e gli effetti reattivi (capacità) non vengono considerati.

$$P_{CC} = \frac{1}{T} \int_0^T (V_{DD} - I_{D0}) dt \quad \text{dove } I_{D0} = I_{Dp} = I_{Dn}$$

Quindi $I_{D0} > 0$ per $V_{th} < V_x < V_{DD} - |V_{tp}|$

La P_{CC} è tanto più grande tanto più si rimane in questo intervallo di tensione. La differenza la fa solo il segnale d'ingresso e quindi non si può considerare il segnale V_x che varia istantaneamente perché in questo modo al tempo in cui $I_{D0} > 0$ è nullo e quindi $P_{CC} = 0$.

↳ V_x deve crescere nel tempo (per semplicità lineare)

per $V_x \leq V_{GSn} < V_{th}$

n OFF $\Rightarrow I_{Dn} = 0 \Rightarrow I_{D0} = 0$

per $V_{DD} - V_x = V_{SGp} < |V_{tp}|$ cioè $V_x > V_{DD} - |V_{tp}|$

p OFF $\Rightarrow I_{Dp} = 0 \Rightarrow I_{D0} = 0$

H_D : Rete complementare

$$\beta_n = \beta_p = \beta \quad ; \quad V_{Tn} = |V_{Tp}| = V_T$$

↳ la soglia logica = $\frac{V_{DD}}{2}$

$$\begin{aligned} \overline{P_{cc}} &= \frac{1}{T} \cdot \int_T V_{DD} \cdot I_{DD}(t) dt = \frac{V_{DD}}{T} \cdot \int_T I_{DD}(t) dt = \\ &= \frac{V_{DD}}{T} \cdot \left\{ \int_{t_1}^{t_2} I_{DnSAT}(t) dt + \int_{t_2}^{t_3} I_{DpSAT}(t) dt + \int_{t_3}^{t_4} I_{DpSAT}(t) dt + \right. \\ &\quad \left. + \int_{t_4}^{t_5} I_{DnSAT}(t) dt \right\} = (*) \end{aligned}$$

$$I_{DnSAT}(t) = \frac{\beta}{2} (V_i(t) - V_T)^2 \quad , \quad I_{DpSAT} = \frac{\beta}{2} (V_{DD} - V_i(t) - V_T)^2$$

⇒ Bisogna ricavare $V_i(t)$ che per H_D è una funzione lineare nel tempo.

$t_R \Rightarrow$ tempo di salita nel circuito.

$t_F \Rightarrow$ tempo di discesa nel circuito

H_D : Se la rete è formata da invertitori complementari allora $t_R = t_F$.

↳ Il circuito è simmetrico e quindi:

① gli intervalli in cui n-MOS è saturo $[t_1, t_2]$, $[t_5, t_6]$ sono uguali e di conseguenza anche gli integrali.

② essendo inoltre per H_D transistor complementari allora le due aree tra $[t_1, t_2]$ e tra $[t_2, t_3]$ sono uguali.

③ gli intervalli in cui p-MOS è saturo $[t_2, t_3]$ e $[t_4, t_5]$ sono uguali e di conseguenza anche gli integrali.

$$\overline{P_{cc}} = \frac{4V_{DD}}{T} \cdot \int_{t_1}^{t_2} I_{DnSAT}(t) dt$$

↳ questo vale SOLO se valgono tutte le ipotesi precedenti; per chi altrimenti bisognerebbe usare l'espressione precedente (*).

• Calcolo di $V_i(t)$

$$\frac{t - 0}{t_R - 0} = \frac{V_i(t) - 0}{V_{DD} - 0} \Rightarrow \underline{V_i(t) = \frac{V_{DD}}{t_R} \cdot t}$$

$$\overline{P_{cc}} = \frac{4 V_{DD}}{T} \cdot \frac{\beta}{2} \int_{t_1}^{t_2} \left(\frac{t}{t_R} V_{DD} - V_T \right)^2 dt$$

$$t_1: V_M(t_1) = V_T \Rightarrow \frac{V_{DD}}{t_R} \cdot t_1 = V_T \Rightarrow t_1 = \frac{V_T}{V_{DD}} \cdot t_R$$

$$t_2: V_M(t_2) = \frac{V_{DD}}{2} \Rightarrow \frac{V_{DD}}{t_R} \cdot t_2 = \frac{V_{DD}}{2} \Rightarrow t_2 = \frac{t_R}{2}$$

$$\overline{P_{cc}} = \frac{2 V_{DD} \beta}{T} \cdot \int_{\frac{V_T t_R}{V_{DD}}}^{\frac{t_R}{2}} \left(\frac{V_{DD}}{t_R} t - V_T \right)^2 dt$$

$$= \frac{2}{3} \frac{V_{DD} \beta}{T} \cdot \frac{t_R}{V_{DD}} \left[\left(\frac{V_{DD}}{t_R} t - V_T \right)^3 \right]_{\frac{V_T t_R}{V_{DD}}}^{\frac{t_R}{2}} =$$

$$= \frac{2\beta}{3} \frac{t_R}{T} = \left\{ \left(\frac{V_{DD}}{t_R} \cdot \frac{t_R}{2} - V_T \right)^3 - \left(\frac{V_{DD}}{t_R} \cdot \frac{V_T t_R}{V_{DD}} - V_T \right)^3 \right\}$$

$$= \frac{2\beta}{3} \frac{t_R}{T} \cdot \frac{V_{DD}^3}{8} \left(1 - \frac{2V_T}{V_{DD}} \right)^3$$

$$\text{se } V_{DD} \gg V_T \Rightarrow \frac{2V_T}{V_{DD}} \ll 1$$

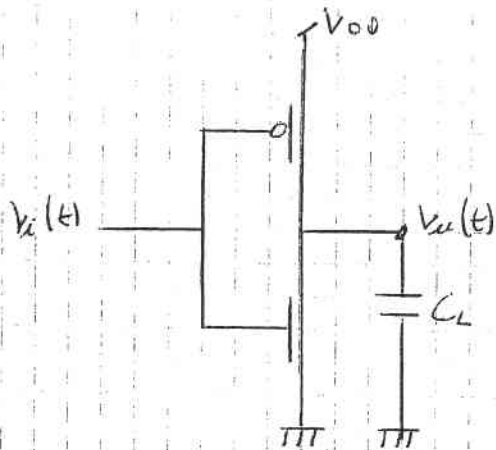
se $V_{DD} \gg V_T$

$$\overline{P_{cc}} \cong \frac{1}{12} \beta \frac{t_R}{T} \cdot V_{DD}^3$$

↳ questo è solo $\overline{P_{cc}}$ e non $\overline{P_o}$ e inoltre non sono state utilizzate le assunzioni ipotesi di simmetria

Qualitativamente $\overline{P_{cc}} \propto V_{DD}^3$ e quindi per aumentare la velocità e quindi diminuire $t_p \cong \frac{C_L}{\beta V_{DD}}$ si può aumentare V_{DD} a costo di un aumento notevole di $\overline{P_{cc}}$

Calcolo di $\overline{P_c}$



Bisogna considerare una $V_i(t)$ tale che non si stacca dalla P_{cc} .

↳ per fare ciò serve che

$$V_i < V_{th} \text{ o } V_i > V_{DD} - |V_{th}|$$

↳ in questo modo $\overline{P_{cc}} = 0$

$V_i(t)$ ha quindi un tempo di salita istantaneo

$$P_{DD} = \overline{P_c} + \overline{P_m} + \overline{P_p}$$

↳ la potenza media erogata dal generatore viene dissipata o dalla capacità o dal m-MOS o del p-MOS

$$\overline{P_c} = \frac{1}{T} \int_0^T P_{DD} dt$$

① Calcolo di $\overline{P_c}$

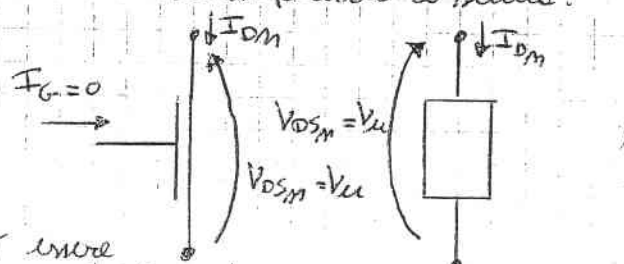
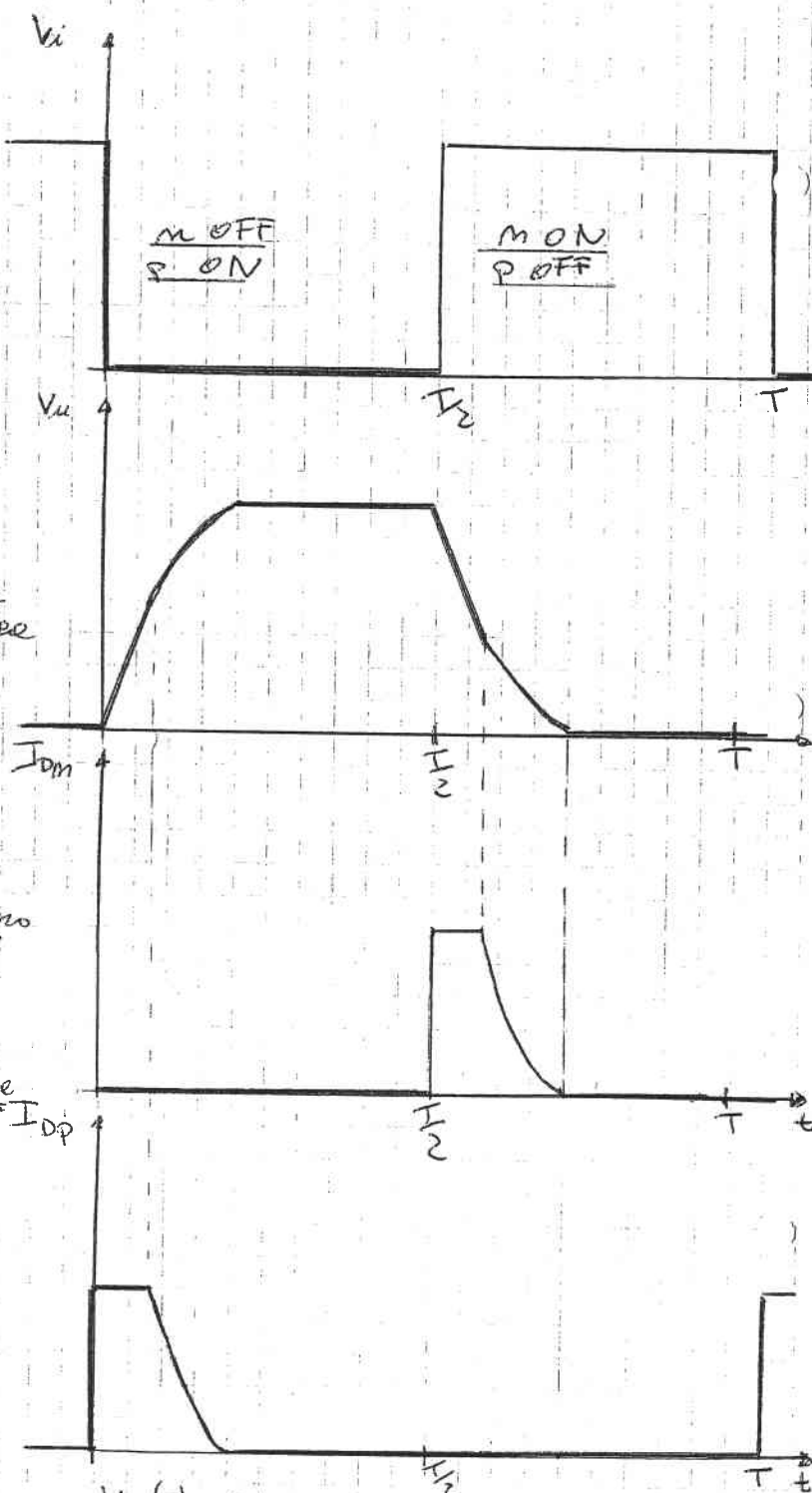
$$\overline{P_c} = \frac{1}{T} \int_0^T V_u(t) \cdot I_c(t) dt =$$

$$= \frac{1}{T} \int_0^T V_u(t) \cdot C_L \frac{dV_u(t)}{dt} dt = \frac{C_L}{T} \int_{V_u(0)=0}^{V_u(T)=0} V_u dV_u = 0 \rightarrow \text{l'energia scambiata del condensatore nell'arco di un periodo è nulla.}$$

② Calcolo di $\overline{P_m}$ e $\overline{P_p}$

$$\overline{P_m} = \frac{1}{T} \int_0^T V_{DSM} I_{DM} dt$$

↳ questo vale perché m-MOS può essere considerato come un bipolo in quanto è un tri polo con $I_G = 0$.



$$\overline{P}_m = \frac{1}{T} \int_0^T V_{DSm} \cdot I_{Dm} dt = \frac{1}{T} \left\{ \int_0^{T/2} V_{DSm} \cdot I_{Dm} dt + \int_{T/2}^T V_{DSm} \cdot I_{Dm} dt \right\}$$

$$\overline{P}_p = \frac{1}{T} \int_0^T V_{SDp} \cdot I_{Dp} dt = \frac{1}{T} \left\{ \int_0^{T/2} V_{SDp} \cdot I_{Dp} dt + \int_{T/2}^T V_{SDp} \cdot I_{Dp} dt \right\}$$

per $[0, T/2]$ $V_i = 0$ quindi $\begin{cases} I_{Dm} = 0 \\ I_{Dp} > 0 \end{cases}$, $I_{Dp} = 0$ quando $V_{iu} = V_{DD}$
perché $V_{SD} = 0$ (p-LIN)

per $[T/2, T]$ $V_i = V_{DD}$ quindi $\begin{cases} I_{Dm} > 0 \\ I_{Dp} = 0 \end{cases}$

La corrente è costante per il primo tratto perché i transistor sono saturati e V_{iu} è retta e la sua derivata è costante.

per $0 \leq t \leq \frac{T}{2}$ NOFF, pON

$$V_i = 0 \quad V_{iu} = 0 \rightarrow V_{DD}$$

$$I_{Dp} = I_{Dm} + I_c = I_c = C_L \frac{dV_{iu}}{dt}$$

$$V_{SDp} = V_{DD} - V_{iu}$$

$$\overline{P}_p = \frac{1}{T} \int_0^{T/2} (V_{DD} - V_{iu}) \left(C_L \frac{dV_{iu}}{dt} \right) dt$$

$$= \frac{1}{T} \cdot C_L \int_{V_{iu}(0)=0}^{V_{iu}(T/2)=V_{DD}} (V_{DD} - V_{iu}) dV_{iu}$$

$$= -\frac{C_L}{2T} \left\{ (V_{DD} - V_{iu})^2 - V_{DD}^2 \right\} =$$

$$\overline{P}_p = \frac{C_L}{2T} \cdot V_{DD}^2$$

per $\frac{T}{2} \leq t \leq T$ MON, pOFF

$$V_i = V_{DD}, \quad V_{iu} = V_{DD} \rightarrow 0$$

$$I_{Dm} + I_c = I_{Dp} = 0$$

$$I_{Dm} = -I_c = -C_L \frac{dV_{iu}}{dt}$$

$$V_{DSm} = V_{iu}$$

$$\overline{P}_m = \frac{1}{T} \int_{T/2}^T V_{iu} \cdot \left(-C_L \frac{dV_{iu}}{dt} \right) dt$$

$$= -\frac{1}{T} \cdot C_L \cdot \int_{V_{iu}(T/2)=V_{DD}}^{V_{iu}(T)=0} V_{iu} dV_{iu}$$

$$\overline{P}_m = \frac{C_L V_{DD}^2}{2T}$$

$$\overline{P}_L = \overline{P}_c + \overline{P}_m + \overline{P}_p = \frac{V_{DD}^2 \cdot C_L}{T} = V_{DD}^2 \cdot C_L \cdot f$$

$$\boxed{\overline{P}_{LOW0} = V_{DD}^2 \cdot C_L \cdot f}$$



è legata alle cariche del condensatore d'uscita e non dalla struttura (β, V_T) del p-MOS e del n-MOS.
Non si è considerato lo stato e la dimensione nio del p che del n-MOS. La relazione è valida con una qualsiasi rete di PU o PD.

Nell'ipotesi che il tempo sia sufficiente e può essere considerato che il transitorio termini la potenza dissipata è indipendente dal tipo di rete di P.U. e P.D.

P_L dipende da

- ① C_L in quanto la potenza dissipata serve a caricare e scaricare il condensatore. Più grande è il condensatore maggiore è l'energia che deve essere immagazzinata e poi rilasciata dal condensatore e quindi è maggiore la dissipazione.
- ② V_{DD} in quanto il condensatore si carica a V_{DD} attraverso una corrente che dipende da V_{DD} . Maggiore è V_{DD} maggiore è anche la corrente che l'alimenta.
- ③ Dalla frequenza in quanto più è alta la frequenza e più volte bisogna caricare e scaricare la capacità.

$\Rightarrow$ la frequenza del segnale d'ingresso è determinata dal tempo del transitorio: la frequenza deve essere tale da permettere che il transitorio termini. Ma aumentando V_{DD} si rende più veloce l'elaborazione, cioè il tempo di propagazione diminuisce e quindi si può aumentare la frequenza.

$V_{DD} \uparrow \uparrow$, $t_p \downarrow$, $f \uparrow$ quindi

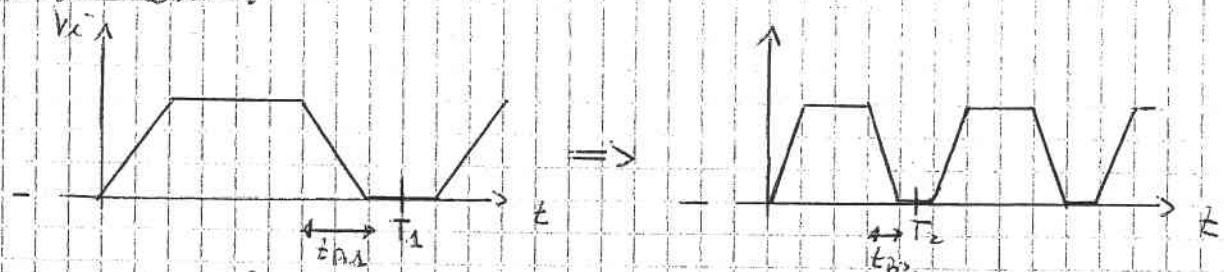
$f \propto V_{DD}$ e quindi

$$P_L \propto V_{DD}^3$$

Considerazione sulle potenze dissipate

$$P_{CL} \cong \frac{1}{12} \beta \left(\frac{2R}{T} \right) V_{DD}^3 \propto V_{DD}^3 ; P_L \propto V_{DD}^3$$

Se aumenta la frequenza T diminuisce ma deve diminuire anche t_p per avere lo stesso segnale. Quindi al crescere di V_{DD} aumenta la frequenza ma questo rapporto tende a essere invariante.



$$T_1 > T_2, t_{PA1} > t_{PA2} \text{ ma } \frac{t_{PA1}}{T_1} \cong \frac{t_{PA2}}{T_2} = \text{cost.}$$

$\Rightarrow$ La tendenza di diminuzione sta colando con l'aumento della frequenza, la frequenza aumenta ma perché t_{PA} sta colando e quindi t_p è più piccola si grazie all'aumento della densità di transistor che permette di costruire architetture sempre più efficienti che diminuiscono drasticamente i tempi (parallelo e pipel-line). Per cui $P_{CL} = \text{cost}$ e P_L aumenta $P_D \cong P_L$.