

PASS-TRANSISTOR

Per realizzare un circuito più usare la tecnologia

m-MOS $\rightarrow (m+1)$ transistor

RATIOED (dimensioni elevate)

c-MOS $\rightarrow (2m)$ transistor

RATIOLESS (maggiore compattezza ma non maggiore ingombro)

Fan in = n

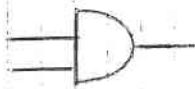
c-MOS

• RATIOLESS
• veloci perché usando i transistor piccoli bisogna caricare capacità piccole.

usate nelle gran totalità dei circuiti.

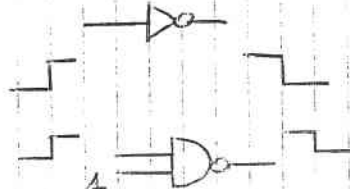
Esistono altri tipi di logica, altri stili di progettazione che risolvono i problemi compattezza del c-MOS

Per una porta logica AND



\Rightarrow la logica c-MOS è invertente, cioè una transizione positiva dell'ingresso può dar luogo ad una transizione negativa in uscita.

AND è una porta logica non invertente cioè una transizione positiva all'ingresso può dar luogo ad una transizione positiva in uscita



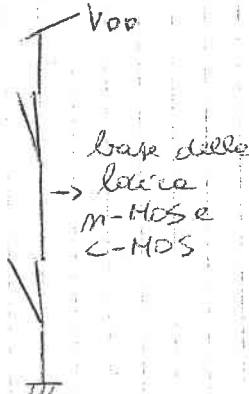
\hookrightarrow per realizzare un AND in logica c-MOS



4 transistor + 2 transistor = 6 transistor

Quando la logica c-MOS per creare porte elementari può avere soluzioni compatte.

• Per realizzare una porta AND se può usare un multiplexer:



a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

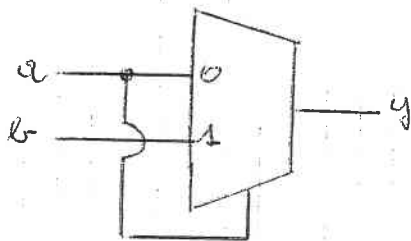
se $a=0$ allora $y=a$

se $a=1$ allora $y=b$

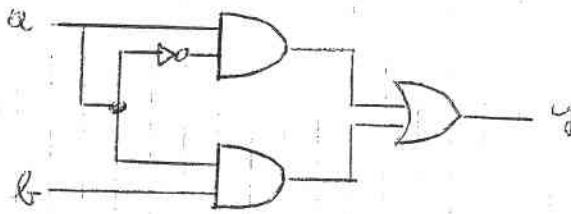


con un multiplexer.

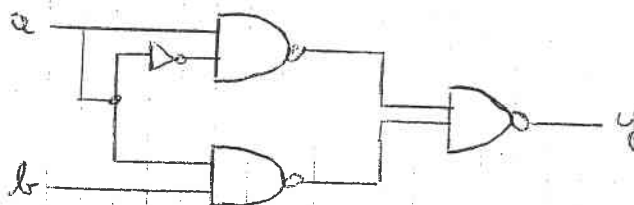
AND con un multiplexer



se $a=0$ $y=a$
 se $a=1$ $y=b$



↓ per la logica C-MOS

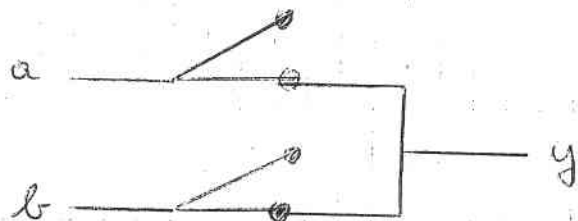


3 NAND o 2 ingressi 1 2 transistor
 +
 1 NOT 2 transistor

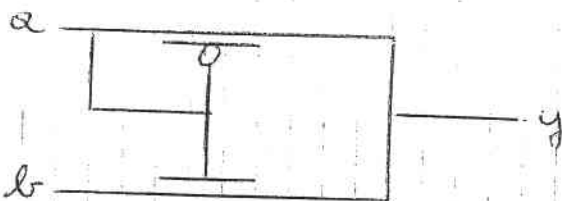
Porta AND con multiplexer in logica C-MOS 14 transistor

AND con gli interruttori (PASS TRANSISTOR)

se $a=0$ l'uscita deve essere connessa con l'ingresso a
 se $a=1$ l'uscita deve essere connessa con l'ingresso b.



$a=0$
 $a=1$



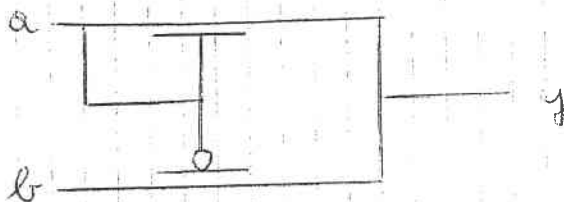
- con $a=0$ pMOS è acceso e y è collegato con a.
 - con $a=1$ nMOS è acceso e y è collegato con b.

2 transistori

OR con gli interruttori (PASS TRANSISTOR)

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

se $a = 0 \rightarrow y = b$
 se $a = 1 \Rightarrow y = a$

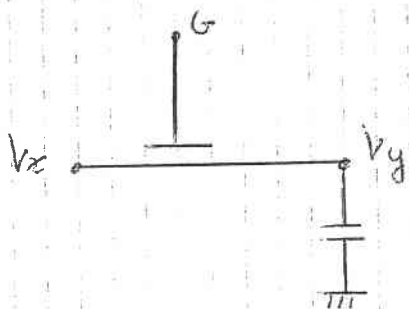


2 transistor

Questo è lo schema di vecchi circuiti idraulici o elettromeccanici (relè) e si può applicare ai MOS perché sono transistori asimmetrici. Infatti per caricare o scaricare la capacità d'uscita serve una corrente che come "diapire" in due sensi e quindi serve un dispositivo bidirezionale (quindi non si può fare col bipolare).

- Prima si utilizzava la configurazione a source comune dove il gate entrava nel gate ed usava nel Drain.
- Adesso si utilizza la configurazione a gate comune dove il segnale entra nel Drain ed esce dal Source (configurazione a PASS TRANSISTOR).

Studio del pass-transistor a canale n



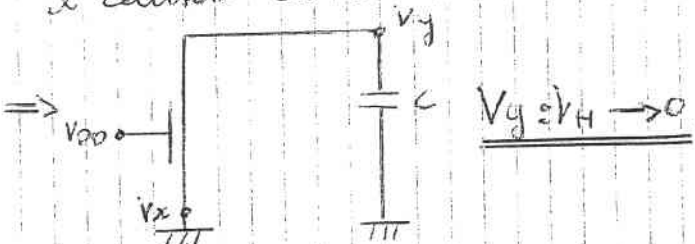
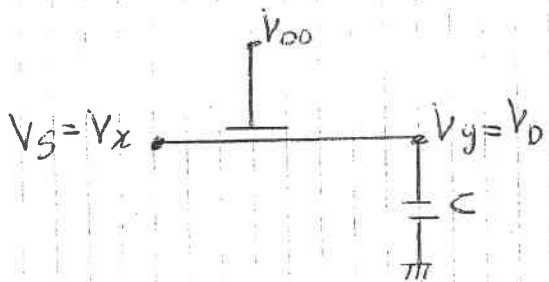
Il gate è acceso con $V_0 = V_{DD}$

Il Drain e il Source non sono specificati in questo il Drain è la parte di canale con potenziale maggiore (dipende dall'ingranaggio)

Ci sono due casi

• $V_x = V_{DD} \rightarrow 0$ (istantaneamente)

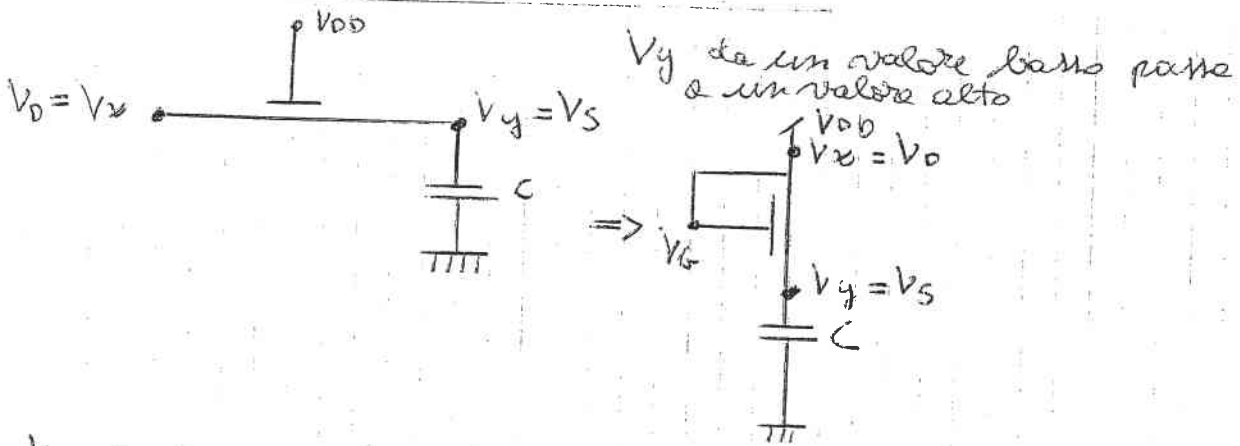
V_y da un valore alto passa a un valore basso non istantaneamente a causa della capacità. Il transistor si caricato da $V_x = 0$.



Quindi V_y (con un tempo t_{PHL}) si porta a 0.

In ogni istante $V_x = 0$ e $V_y > 0$ quindi $V_y > V_x$ da cui $V_y = V_0$ e $V_x = V_s$

• $V_x = 0 \rightarrow V_{DD}$ (Intenzionalmente)



V_y da 0 parte a V_H ; V_x è sempre, durante il transitorio, parte a V_{DD} .

$\hookrightarrow V_y \leq V_x$ quando $V_y = V_S$ e $V_x = V_{DD}$

$$V_{GS} = V_{OS}$$

$V_T > 0$ (n-MOS ed avanzamento)

MOS SAT

(dove essere perché altrimenti non si spegnerebbe mai)

n-MOS è connesso a diodo

\Rightarrow la corrente di carica è uguale alla corrente di saturazione

Il transitorio termina quando $I_D = 0$ cioè quando $V_{GS} = V_{in}$ allora $V_{YMAX} = V_{DD} - V_{Tn}$

Considerazioni:

Il dispositivo è asimmetrico qualitativamente ma non quantitativamente infatti:

- funziona bene come rete di PD (la capacità si carica completamente)
- non funziona bene come rete di PV (la capacità non si carica completamente)

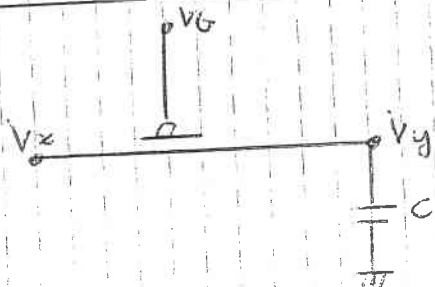
Quindi il PASS TRANSISTOR a canale n:

- trasferisce correttamente un valore basso 0 "FORTE"
- non trasferisce correttamente un valore alto 1 "DEBOLE"

Defetto: essendo $V_u \approx V_i$ allora il guadagno ≈ 1 da cui

- per valori bassi il margine di immunità ai disturbi = 0 in quanto l'entità massima del disturbo che si può cancellare è nulla
- per valori alti il margine di immunità ai disturbi < 0 in quanto un segnale V_i pulito da V_{DD} esce diminuito di una soglia V_{Tn} (cioè con rumore).

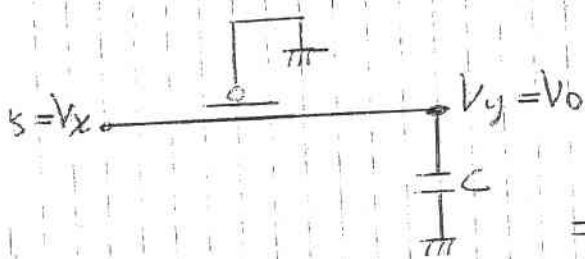
Studio del pass transistor e canale p



Il p-MOS è acceso $V_0 = 0$
 Il Source e il Drain non sono identificati

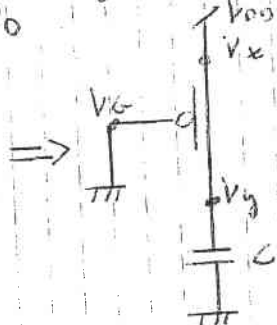
$$V_S \geq V_D$$

$V_x = 0 \rightarrow V_0$ (istantaneamente)



V_y parte da un valore basso ed
 uno alto

$$V_x \geq V_y \text{ quindi } V_S = V_x \text{ e } V_D = V_y$$

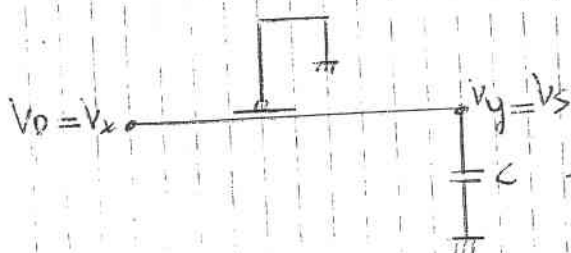


Il transistor è quello di canale n-MOS

$$V_y: V_L \rightarrow V_0$$

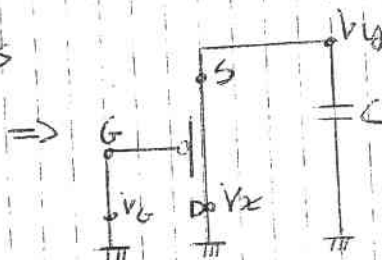
(accende la prima esecuzione)

$V_x: V_0 \rightarrow 0$ (istantaneamente)



V_y parte da un valore alto ad un
 valore basso

$$V_x \leq V_y \text{ quindi } V_S = V_y \text{ e } V_D = V_x$$



Il transistor è di canale n-MOS

$$V_{SG} = V_{SD}$$

(il transistor è ad
 overdrive)

$$V_{SG} < V_{SD} + |V_{TP}| \text{ è sempre vero che } \underline{\text{PMOS è SAT}}$$

Il condensatore si carica fino a che $I_C \neq 0$.

$$I_D = -I_C \quad I_D = \frac{\beta_p}{2} (V_y - |V_{TP}|)^2 = -\frac{dV_y}{dt} \quad \text{quindi}$$

$$V_y = |V_{TP}|, \quad \frac{dV_y}{dt} = 0 \quad \text{quindi } V_y = \text{cost} = |V_{TP}|$$

$$V_{y,MIN} = |V_{TP}|$$

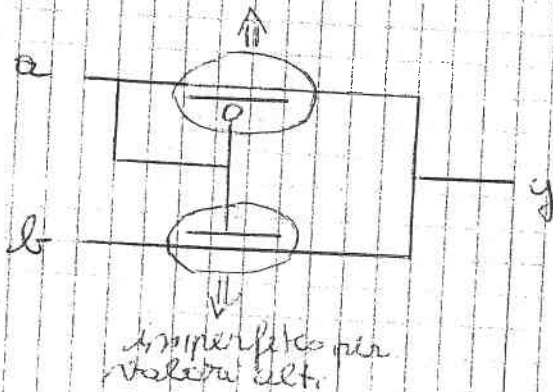
Considerazioni

Le caratteristiche del p-MOS sono duali a quelle del n-MOS

- buon PV 1 "FORTE"
- no PD 0 "DEBOLE"

Quindi

AND imperfetto per
valori bassi



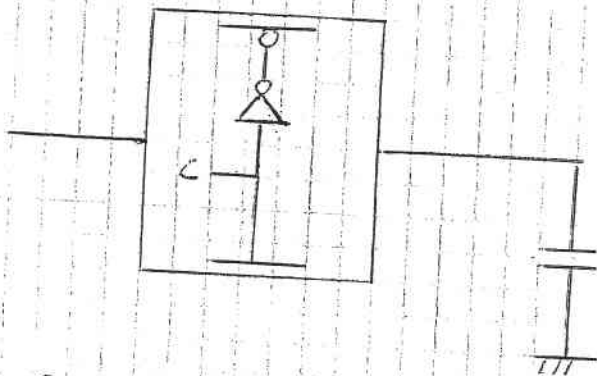
L'uscita può essere modificata
da una sola



La maggior semplicità provoca
problemi di margine di
immunità ai disturbi
(il segnale può essere degen-
erato)

Per risolvere il problema si possono usare entrambi

TRANSMISSION GATE



Pilotando con il segnale complementare si può usare il
PASS TRANSISTOR a canale n per i valori bassi e il PASS
TRANSISTOR a canale p per i valori alti.

• Per trasferire un valore alto (caricando la capacità d'uscita)
n-MOS si spegne quando la tensione d'uscita è $V_{DD} - V_{TN}$ ma
il p-MOS continua il transitorio portandosi la capacità a V_{DD} .

• Per trasferire un valore basso (scarica della capacità d'uscita)
il p-MOS si spegne quando la tensione d'uscita è V_{TP} ma
n-MOS continua il transitorio portandosi la capacità a 0.

In questo modo si ottiene: $\left\{ \begin{array}{l} 1 \text{ "FORTE"} \\ 0 \text{ "FORTE"} \end{array} \right.$

L'interuttore (transmission gate) è composto da
 $2 \times (2 \text{ transistor per l'invertitore})$ +
 $2 \times (1 \text{ transistor per il PASS TRANSISTOR})$ =

4 transistor per il TRANSMISSION GATE.

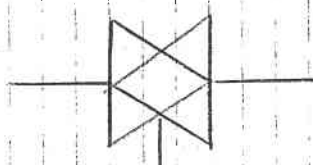
Nella logica DUAL-RAIL si hanno sempre i segnali complementari (come ECL)

=> In questa logica C e \bar{C} sono per presentati e quindi si può risparmiare l'invertitore (2 transistor).

=> È un interuttore ideale (completa bidirezionalità)

↳ Margine di immunità ai disturbi = 0.

SIMBOLO



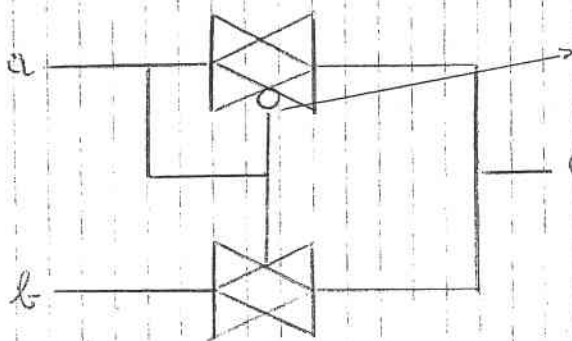
representa la piena bidirezionalità del circuito (due frecce interpretate)

C → segnale di controllo che eccita entrambi i transistori.

↳ sottintende:

- 0 un invertitore interno
- • la disponibilità di segnali con la loro forme complementare.

AND con TRANSMISSION GATE



l'ingresso e l'uscita ma nella logica DUAL RAIL non corrisponde ad un vero invertitore. Se non si usa la logica DUAL RAIL basta moltiplicare l'invertitore all'interno del transmission gate.

↳ 4 transistor + 2 transistor eventuali (se non si è in logica DUAL RAIL)

Questa logica è conveniente per circuiti più complessi:

Un multiplexer a 4 ingressi

Logica CMOS (4 NAND a 2 ingressi e 4 a 4 ingressi => 24 transistor)

TRANSMISSION GATE (4 TRANSMISSION GATE => 16 tr. + 8 eventuali) in parallelo.