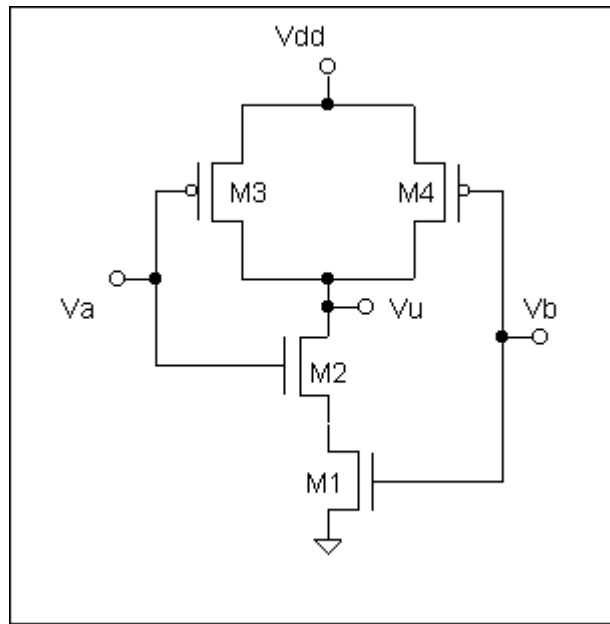


PARTE PRIMA



Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti $\beta_1=\beta_2$ e $\beta_3=\beta_4$ e dalla stessa tensione di soglia $V_{Th}=|V_{Tp}|=V_T$. Si determinino le larghezze di canale $W_1=W_2$ e $W_3=W_4$ in maniera tale che:

- i tempi di propagazione $t_{p,HL}$ e $t_{p,LH}$, ciascuno valutato nel caso peggiore, siano uguali fra di loro;
- la potenza dinamica media dissipata dalla porta, valutata per $V_a = \text{cost} = V_{dd}$ e V_b periodico, con frequenza pari a 500 MHz, sia pari a 200 μW .

Ai fini delle considerazioni di cui sopra, si assuma:

- che il fan-out sia pari a 15 porte identiche a quella in figura;
- che ciascun transistorore abbia lunghezza di canale minima ($L=L_{min}$);
- che il gate di ciascun transistorore connesso all'uscita possa essere approssimato, da una capacità costante: $C_G = \epsilon_{ox}/t_{ox} W \mu L$;
- che sia trascurabile, ai fini del calcolo della potenza dinamica media, il contributo della potenza di "corto circuito".

Si calcoli infine, a scopo di verifica, il valore dei tempi di propagazione.

$V_T = 0.55 \text{ V}$,
 $V_{DD} = 3.5 \text{ V}$,
 $L_{min} = 0.25 \mu m$,
 $\mu_n = 400 \text{ cm}^2/(\text{V s})$,
 $\mu_p = 150 \text{ cm}^2/(\text{V s})$,
 $t_{ox} = 6 \text{ nm}$,
 $\epsilon_{ox} = 34.554 \text{ pF/m}$.

PARTE SECONDA

Descrivere struttura di principio e comportamento delle memorie RAM statiche CMOS.

19/6/03

Il tempo di propagazione vale, in generale:

$$t_p = \frac{2C}{\beta(V_{DD} - V_T)} \left\{ \frac{V_T}{V_{DD} - V_T} + \frac{1}{2} \log \left(3 - \frac{4V_T}{V_{DD}} \right) \right\} = \underset{0.419}{\underset{\parallel}{K}} \cdot \frac{C}{\beta}$$

Nel caso di $t_{p,HL}$ (discesa) β descrive la serie dei due trans. di full-down, per cui $\beta_{eq} = \beta_n/2$:

$$t_{p,HL} = \frac{KC}{\beta_n/2}$$

per $t_{p,LH}$, invece, il caso peggiore è relativo all'accensione di un solo Transistore di full-up:

$$t_{p,LH} = \frac{KC}{\beta_p}$$

Quindi:

$$t_{p,HL} = t_{p,LH} \rightarrow \frac{KC}{\beta_n/2} = \frac{KC}{\beta_p} \rightarrow \beta_n = 2\beta_p \rightarrow \frac{E_{ox}}{t_{ox}} \mu_n \frac{W_n}{L_{min}} = 2 \frac{E_{ox}}{t_{ox}} \mu_p \frac{W_p}{L_{min}}$$

$$\rightarrow W_n = 2 \frac{\mu_p}{\mu_n} W_p \quad (*)$$

Ciascuna delle 15 porte comuni in uscita contribuisce alla capacità di carico con un Transistore NMOS e un PMOS:

$$C_{TOT} = 15 (C_{GM} + C_G) = 15 \left(\frac{E_{ox}}{t_{ox}} W_n L_n + \frac{E_{ox}}{t_{ox}} W_p L_p \right) =$$

$$= 15 \frac{E_{ox}}{t_{ox}} L_{min} (W_n + W_p) = 15 \frac{E_{ox}}{t_{ox}} L_{min} W_p \left(1 + 2 \frac{\mu_p}{\mu_n} \right)$$

Infine:

$$P_d = C_{TOT} f V_{DD}^2 \rightarrow C_{TOT} = P_d / f V_{DD}^2 = 32.65 \text{ fF} \rightarrow \underline{\underline{W_p = 0.864 \mu m \quad (*)}}$$

$$\rightarrow \underline{\underline{W_n = 0.648 \mu m}}$$

$$\beta_n = 594 \mu A/V^2, \quad \beta_p = 298.5 \mu A/V^2, \quad t_D = 45.8 \text{ ps}$$