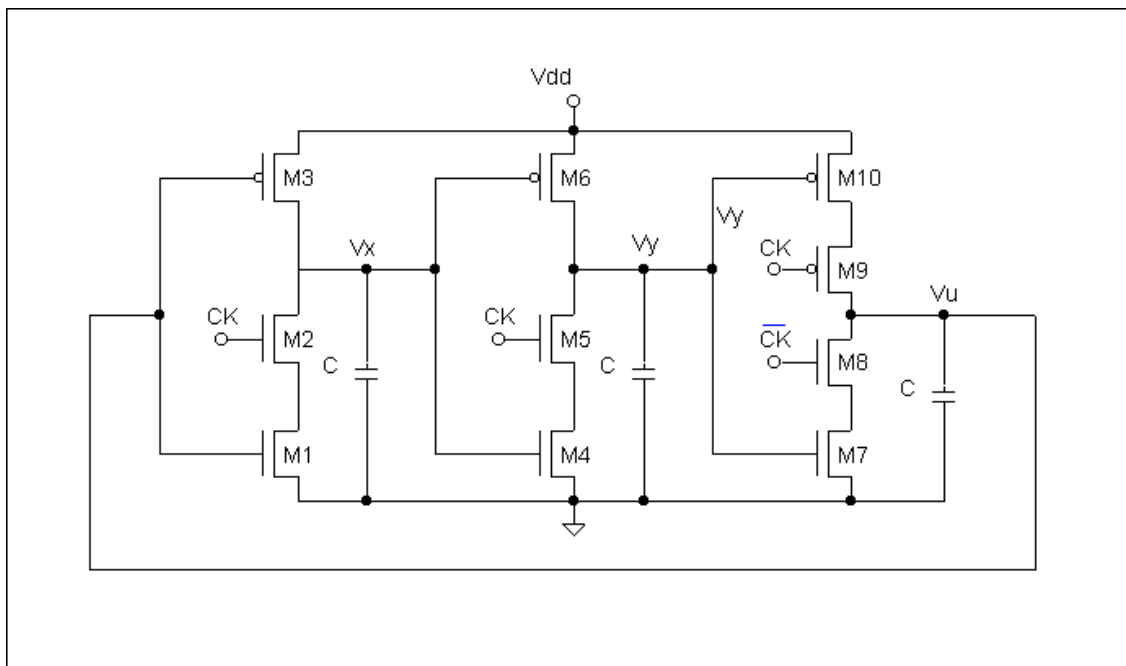


PARTE PRIMA



Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti β_n e β_p e dalla stessa tensione di soglia $V_{Tn} = |V_{Tp}| = V_T$.

- 1) Si tracci l'andamento temporale qualitativo dei segnali V_x , V_y e V_u .
- 2) Per ciascuna delle transizioni dei segnali V_x , V_y e V_u , si determini il tempo di ritardo (valutato con riferimento al 50% della escursione) rispetto al fronte del segnale di clock immediatamente precedente.
- 3) Si calcoli inoltre la potenza media dissipata dal circuito.

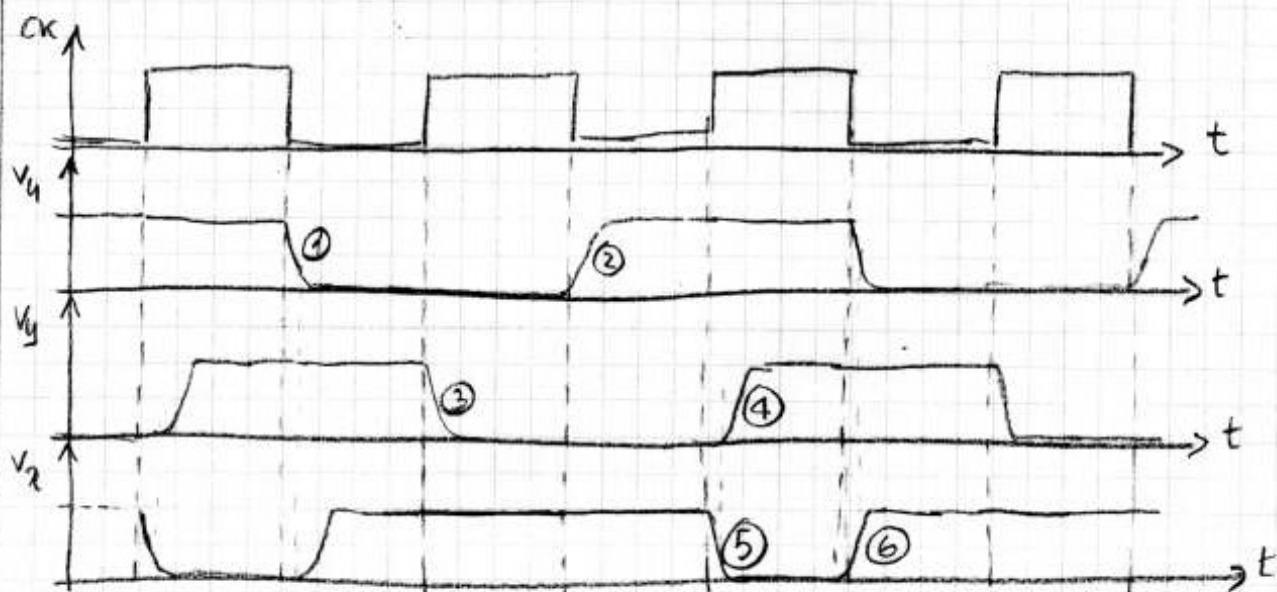
Ai fini delle considerazioni di cui sopra, si assuma:

- che i tempi di propagazione di ciascuno stadio possano essere approssimati al caso ideale (ingresso a gradino);
- che il segnale di clock CK sia periodico, con frequenza f_{CK} , abbia tempi di salita e discesa trascurabili e non sia affetto da *skew*;
- che sia trascurabile, ai fini del calcolo della potenza media, il contributo della potenza di "corto circuito".

$V_T = 0.55 \text{ V}$,
 $V_{DD} = 3.5 \text{ V}$,
 $f_{CK} = 100 \text{ MHz}$,
 $C = 25 \text{ fF}$,
 $\beta_n = 100 \mu\text{A/V}^2$,
 $\beta_p = 80 \mu\text{A/V}^2$.

12/9/03 ESD

Il circuito è composto da un p-latch TSPCL (non invertente) e da un n-latch C^2MOS (invertente) chiusi in retroazione - ipotizzando, per esempio, che in un generico istante $t=0$ V_u si trovi al valore alto, non appena CK si porta al valore alto, $V_x \downarrow$ e, conseguentemente, $V_y \uparrow$ - V_u si aggiorna solo quando $CK \downarrow$ e, immediatamente dopo, $V_x \uparrow$ - Quando $CK \uparrow$ - $V_y \downarrow$, ecc...



Quindi: Tutti i segnali sono periodici, con periodo $2T_{CK}$

V_x è \uparrow per $\frac{3}{4}$ di periodo (duty-cycle = 75%), V_y e V_u al 50%.

Le transizioni da considerare sono:

- ① $V_u \downarrow$: full-down C^2MOS (2 nMOS in serie)
- ② $V_u \uparrow$: full-up C^2MOS (2 pMOS in serie)
- ③ $V_y \downarrow$: full-down TSPCL (2 nMOS in serie)
- ④ $V_x \downarrow \rightarrow V_y \uparrow$: full-down TSPCL (2 nMOS) [⑤] + full-up TSPCL (1 pMOS)
- ⑤ $V_x \downarrow$: full-down TSPCL (2 nMOS)
- ⑥ $V_x \uparrow$: full-down C^2MOS (2 nMOS) [④] + full-up TSPCL (1 pMOS)

Tutti i transistori elementari possono essere ricondotti alla carica/scarica ($0 \div V_{DD}$) del condensatore C attraverso un pMOS/nMOS.

Nel caso di 2 transistori uguali connessi in serie, $\beta_{eq} = \beta/2$

Con calcoli ovvi (già visti in numerose occasioni) si ottiene:

$$\text{Pull-up } C^2\text{MOS: } t_p = 261.9 \text{ ps}$$

$$\text{Pull-down } C^2\text{MOS: } t_p = 209.5 \text{ ps}$$

$$\text{Pull-up TSPCL: } t_p = 130.9 \text{ ps} \quad (= \frac{1}{2} t_p(\text{Pull-up } C^2\text{MOS}))$$

$$\text{Pull-down TSPCL: } t_p = 209.5 \text{ ps} \quad (= t_p(\text{pull-down } C^2\text{MOS}))$$

da cui:

$$t_{p1} = 209.5 \text{ ps}, \quad t_{p2} = 261.9 \text{ ps}, \quad t_{p3} = 209.5 \text{ ps}$$

$$t_{p4} = 340.5 \text{ ps}, \quad t_{p5} = 209.5 \text{ ps}, \quad t_{p6} = 340.5 \text{ ps}$$

La potenza media dissipata può essere calcolata come somma delle potenze medie dei singoli stadi, ciascuna delle quali vale $C \cdot f \cdot V_{DD}^2$, con $f = f_{CK}/2$ (indipend. da β e dal duty cycle).
Quindi:

$$P = \frac{3}{2} \cdot C \cdot f_{CK} V_{DD}^2 = 45.94 \mu\text{W}$$