



**UNIVERSITÀ DEGLI STUDI DI PARMA  
FACOLTÀ DI INGEGNERIA**

**Corso di Reti Logiche A**

anno accademico 2007-2008  
prof. Stefano CASELLI  
prof. William FORNACIARI

**Appello dell'11 Febbraio 2008**

**Bozza soluzioni del 11.02.2008**

Cognome (LEGGIBILE).....Nome (LEGGIBILE) .....

Matricola ..... Firma .....

Corso di Laurea:  ing informatica;  telecom;  elettronica;  teledidattico  
 altro (specificare.....)

Professore di riferimento:  CASELLI;  FORNACIARI

Riportare i dati personali in modo che siano LEGGIBILI

D1	D2	D3	D4		TOT

**NOTE PER LO SVOLGIMENTO**

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.  
I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

**È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.**

**Tabelle di eccitazione dei bistabili**

$Q_t$	$Q_{t+1}$	D
0	0	0
0	1	1
1	1	1
1	0	0

$Q_t$	$Q_{t+1}$	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

$Q_t$	$Q_{t+1}$	T
0	0	0
0	1	1
1	1	0
1	0	1

## Quesito D1

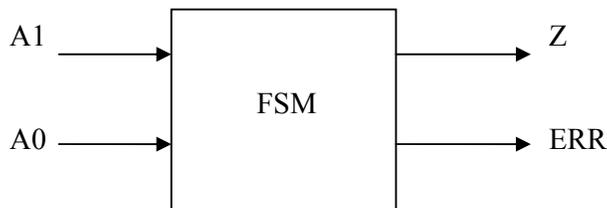
Si deve progettare una macchina a stati che ha un **ingresso A da due bit A1A0 (che arrivano quindi in parallelo contemporaneamente)**, e **due uscite Z e ERR**, da 1 bit ciascuna.

La macchina legge **ogni due colpi di clock** il valore di **A** e fornisce sull'**uscita Z** i due bit di **A**, **serialmente**, a partire dal **più significativo** (quindi prima A1 e poi A0). Il primo bit è fornito in uscita in contemporanea alla lettura di A.

Contemporaneamente alla lettura di A, si effettua una verifica di **correttezza** del suo valore: si considerano **valide** tutte le configurazioni di A in cui al **massimo** è presente **un solo bit a "1"**. Nel caso il valore di A **non sia corretto**, l'uscita **ERR=1** e la macchina deve entrare in uno **stato di fault** da cui può uscire solo tramite un **reset, mantenendo ERR=1** senza che l'uscita sia significativa.

Durante la **generazione** dei bit che escono serialmente da Z i valori dell'**ingresso A non sono significativi**, così come **non è rilevante l'uscita ERR**. (Per semplicità ERR può anche essere mantenuta a 0). L'uscita **ERR deve comunque** essere asserita a 1 o 0 nell'intervallo in cui **vengono letti** i due bit A1A0.

Si ipotizzi che il segnale di **reset esterno** porti la macchina nello stato in cui vengono letti gli ingressi, che durante l'attivazione del Reset valga **A1A0=10**, e che le uscite in tale intervallo siano Z,ERR=1,0.



Di seguito sono riportati alcuni esempi di comportamento.

```
Reset  0000000010000000000000
A1 => 1XXXXXX 1001001
A0 => 1XXXXXX 0101111

Z <=   XXXXXXX100001XXXXXX
ERR=  11111111 0X0X0X111111
```

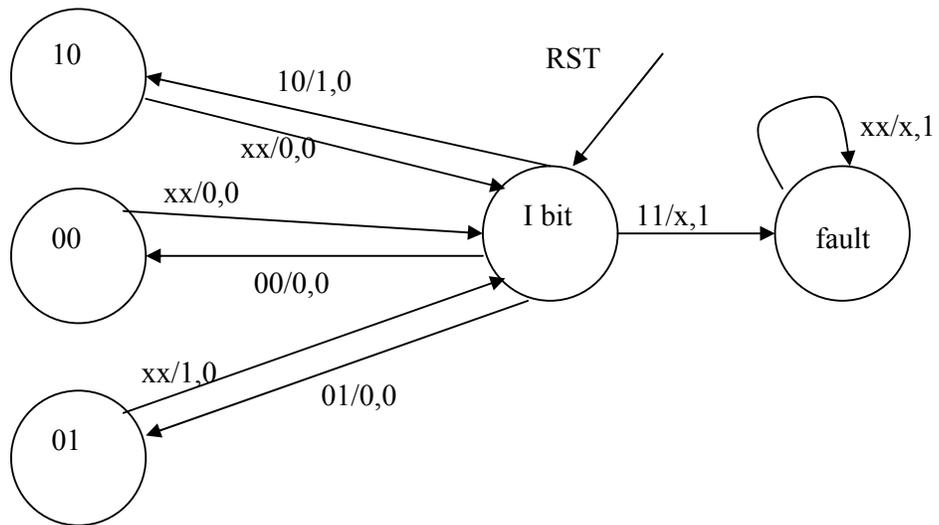
Si disegni il **diagramma degli stati** della macchina e si **verifichi** che la macchina progettata sia **minima**.

### SOLUZIONE

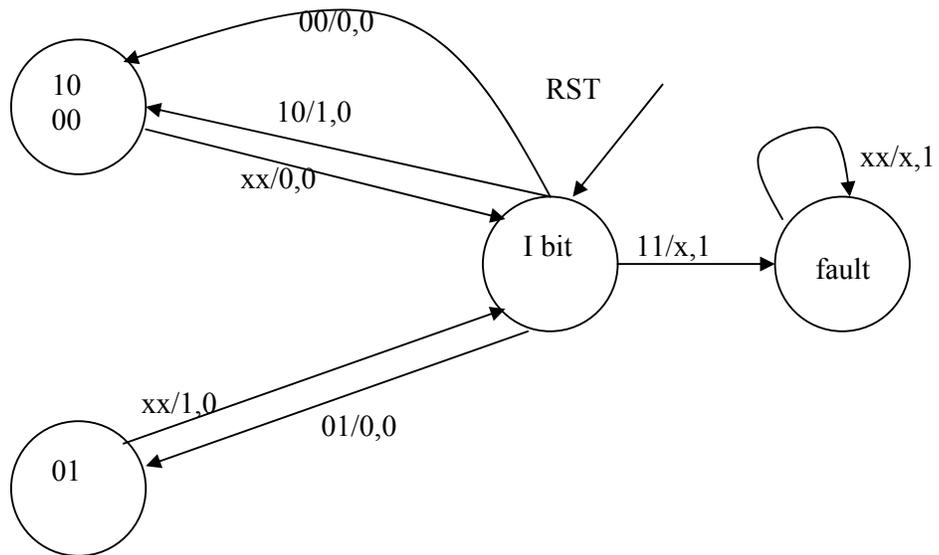
La macchina ha come stato di reset/iniziale quello in cui A=10. Nel diagramma gli archi sono A1A0/Z,ERR.

La macchina è non completamente specificata perché vi sono casi in cui non interessa né l'ingresso né l'uscita.

Vi è una configurazione non utile A1A0=11 che porta la macchina in uno stato FAULT e tre configurazioni utili 00, 01, 10. Lo stato in cui si genera l'ultimo bit è comune alle varie sottosequenze. In tutto vi sono 5 stati compreso quello di fault.



Si vede chiaramente che gli stati 10 e 00 sono compatibili. Il nuovo diagramma ridotto diviene



## Quesito D2

Si progetti un **contatore** con il seguente ciclo di conteggio facendo uso di bistabili di tipo **JK**.

**Q2 Q1 Q0**  
 0 1 0  
 1 1 0  
 0 0 1

Si richiede:

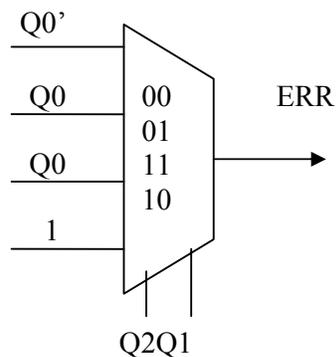
1. L'espressione, minimizzata, delle funzioni di **eccitazioni** dei bistabili
2. la generazione di un segnale **ERR** che vale 1 in tutti i casi in cui l'uscita dei bistabili **non** è una configurazione fra le tre ammesse. La generazione del segnale ERR può essere fatta usando solo **MUX** con due ingressi di selezione.
3. Supponendo che i bistabili abbiano degli ingressi di **CLEAR** e **PRESET attivi sul livello basso**, collegare opportunamente il segnale ERR affinché nel caso il contatore esca dal ciclo di conteggio si riparta dallo stato iniziale **010**.

Si riportino tutte le **equazioni** e il disegno completo dello **schema logico**.

### Soluzioni

ERR= conf non ammesse

Q2Q1	00	01	11	10
Q0				
0	1			1
1		1	1	1



ERR'=Clear\_0 =Clear\_2=Preset\_1. Se invece clear e preset fossero attivi alti, allora si sarebbe usato ERR.

**Q2 Q1 Q0 J2K2 J1K1 J0K0**  
 0 1 0 1 X X 0 0 X  
 1 1 0 X 1 X 1 1 X  
 0 0 1 0 X 1 X X 1

J1=K1=J0=K0=Q0'; J2=K2=Q1

### Quesito D3

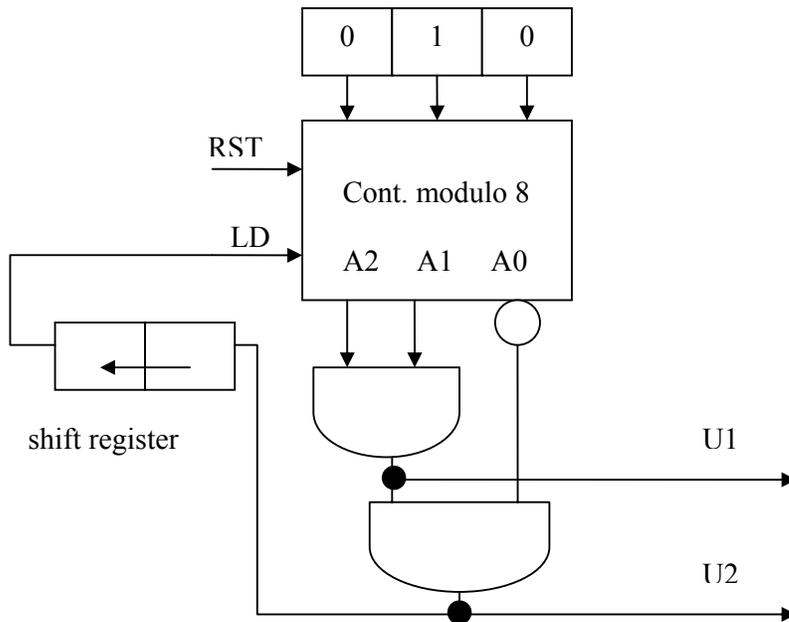
Sia dato il seguente sistema digitale che include un **contatore binario** da tre bit (modulo 8) con ingresso di caricamento (load) parallelo e uno **shift register** da 2 bit.

Supponendo che l'ingresso di **caricamento** (LD) del contatore sia **sincrono**, si richiede di:

- Determinare, giustificando la risposta, il **ciclo di conteggio** a regime del sistema (ovvero le uscite **A2A1A0**), specificandone anche il **modulo**, supponendo di considerare come uscite quelle del contatore (A2A1A0)
- L'andamento delle **forme d'onda** di **U2** e **U1**

Si riportino i **cicli di conteggio** e gli andamenti delle **forme d'onda a regime**.

Si supponga che il sistema sia inizialmente **resettato** al valore **A2A1A0=000**.



### Soluzione

In assenza dello shift register, il contatore a regime evolverebbe fra 2(010) e 6(110), ovvero modulo 5. Lo shift register aggiunge due stati (intervalli di ritardo per l'attivazione del LD). Il modulo finale di conteggio è quindi 7. L'unica configurazione che viene esclusa a regime è la 1(001), poiché il contatore evolve come ...6,7,0,2,3,4,5,...

U1-vale 1 in corrispondenza di 6(110) e 7(111), altrimenti sempre 0

U2-vale 1 solo quando il contatore è su 6(110), altrimenti sempre 0.

### Quesito D4

Data la seguente tabella di verità di una funzione combinatoria a 4 ingressi, si richiede di determinare:

- una forma minima equivalente nella forma **Prodotto di Somme**
- una forma minima equivalente nella forma **Somma di Prodotti** che sia priva di alee statiche
- una implementazione che sfrutti obbligatoriamente **almeno un decoder a due ingressi**, più eventuali porte logiche

Si riportino tutte le equazioni e il disegno dei circuiti logici corrispondenti. Si fornisca inoltre il **costo** in termini di **numero di letterali** per le realizzazioni ottime **SP** e **PS**.

AB	00	01	11	10
CD			1	1
00			1	1
01	1	-		1
11				
10		1	1	

### Soluzione

AB	00	01	11	10
CD			1	1
00			1	1
01	1	-		1
11				
10		1	1	

00	01	11	10
		1	1
1	-		1
	1	1	

00	01	11	10
		1	1
1	-		1
	1	1	

POS:  $(A+C+D)(C'+B)(B'+D')$  – costo:  $3+2+2=7$

SOP MINIMA:  $C'DB'+CD'B+C'D'A$  costo:  $3+3+3$

PER ELIMINARE ALEE SI AGGIUNGE ALLA MIN:  $C'AB'+D'AB$  altri  $3+3$  (tot 15)

Con un decoder, si possono usare come ingressi per esempio A,B.

Le uscite del decoder generano  $ab, a'b, ab', a'b'$ .

Una realizzazione è pertanto la seguente (un decoder, 2 and a 3 in, 2 and a 2 in e 1 or a 4 in)

$$((a'b')c'd)+((a'b)cd')+((ab')d')+(ab)c'$$

Oppure si usano due decoder, uno con ingresso AB e altro CD. I mintermini utili di AB e CD vengono poi uniti da porte AND e convergono in una OR finale.