



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2007-2008
prof. Stefano CASELLI
prof. William FORNACIARI

Appello dell'8 Gennaio 2008

Bozza soluzioni del 07.01.2008

Cognome (LEGGIBILE).....Nome (LEGGIBILE)	
Matricola Firma	
Corso di Laurea: <input type="checkbox"/> ing informatica; <input type="checkbox"/> telecom; <input type="checkbox"/> elettronica; <input type="checkbox"/> teledidattico	
<input type="checkbox"/> altro (specificare.....)	
Professore di riferimento: <input type="checkbox"/> CASELLI; <input type="checkbox"/> FORNACIARI	

Riportare i dati personali in modo che siano **LEGGIBILI**

D1	D2	D3	D4		TOT

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.
I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Tabelle di eccitazione dei bistabili

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	1	0
1	0	1

Quesito D1

Si deve progettare una macchina a stati che ha due ingressi **A, B** da 1 bit e una uscita **Z** sempre da 1 bit. La macchina fornisce in uscita i valori che vengono letti da A oppure quelli da B.

All'inizio l'uscita **Z** replica l'ingresso **B**. Ogni volta che sull'ingresso A si presentano **esattamente tre "0" consecutivi** l'ingresso che viene dirottato sull'uscita si **inverte** (da A a B e viceversa): il primo bit del nuovo ingresso è in corrispondenza del terzo "0" consecutivo.

L'ultimo bit della sequenza di tre "0" su A può essere l'inizio di una nuova sequenza utile.

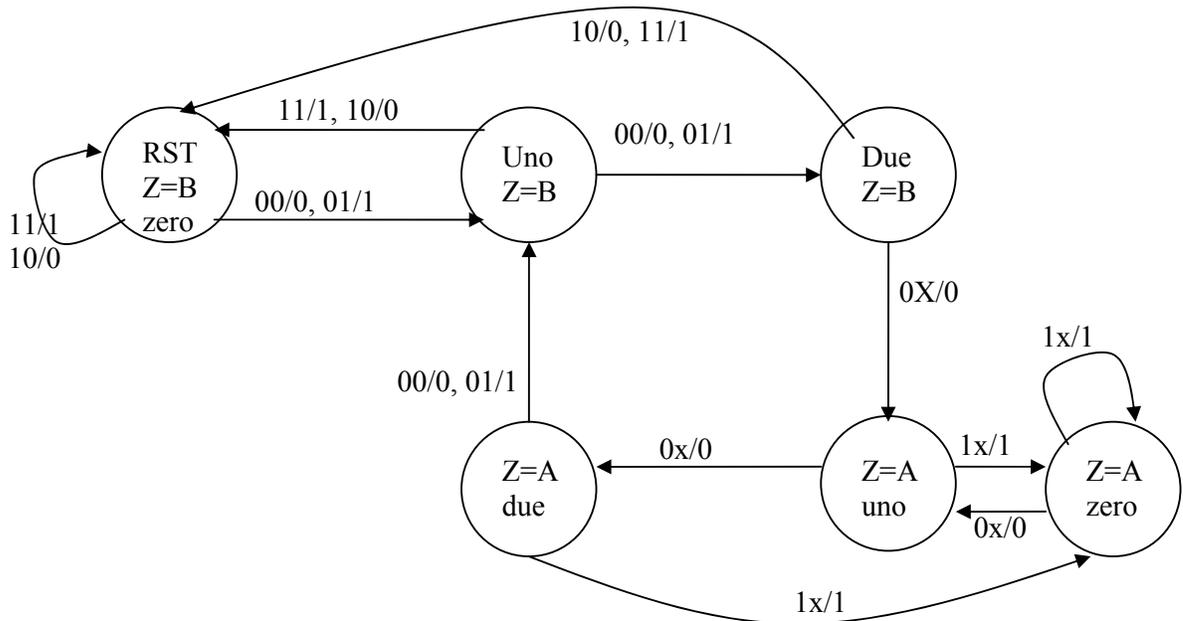
Di seguito sono riportati alcuni esempi di comportamento.

```
A => 1110001100100000101001000000000
B => 0010010111010101110010101111111
Z <= 1110010111010001110000100011001
Z=   AAAAABBBBBBBBAABBBBBBBBBBAABBAAB
```

1) Si disegni il **diagramma degli stati** della macchina e si **verifichi** che la macchina progettata sia **minima**.

SOLUZIONE

La macchina ha come stato iniziale quello in cui $Z=B$, poi attende tre 0 su A e in corrispondenza del terzo Z cambia su A; a questo punto parte una nuova attesa in cui $Z=A$. Nel diagramma A,B/Z



Quesito D2

Si progetti una macchina analoga a quella del quesito D1) facendo uso di circuiti SSI/MSI come le comuni porte logiche, contatori, registri, multiplexer, ecc.

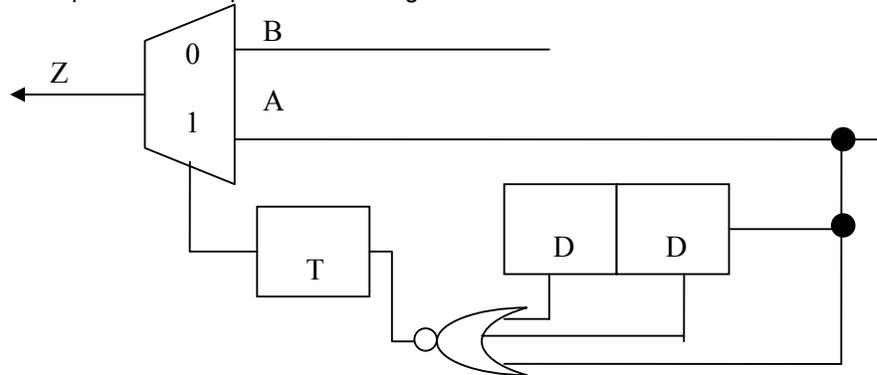
In questo caso le sequenze di **tre zeri** consecutivi di A che portano alla commutazione dell'ingresso che viene dirottato sull'uscita **POSSONO** essere **sovrapposte**.

1) Si riporti il **disegno** del circuito digitale e una breve **descrizione** del principio di funzionamento.

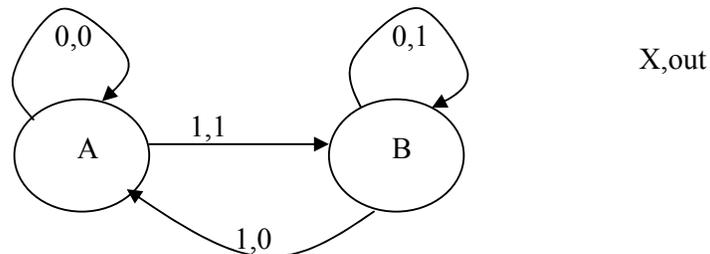
SOLUZIONE

Per alternare le uscite si può usare un MUX. Passare da uno all'altro può essere effettuato sfruttando un FF Toggle, la cui commutazione dipende dal riconoscimento di un pattern di tre zeri.

Un primo schema "quasi corretto" può essere il seguente.



Analizzando più in dettaglio il circuito, si comprende che il FF T non riesce a commutare nello stesso ciclo in cui arriva il terzo zero. Per ovviare a questo inconveniente il riconoscimento della sequenza deve pilotare una commutazione immediata di una macchina di Mealy dal seguente comportamento, dove l'ingresso è l'uscita del NOR e l'uscita è il pilotaggio del MUX.

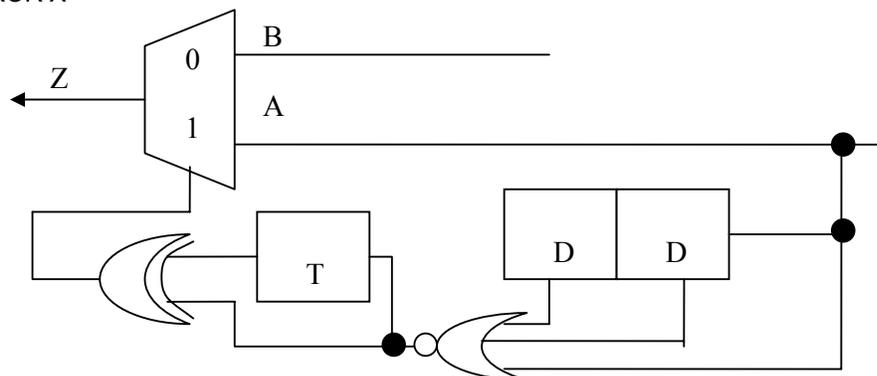


X stato	0	1
A	A,0	B,1
B	B,1	A,0

X	1	1		T	1	1
Q	0	0	1,1	Q	0	0
0	0,0	1,1		0	0	1
1	1,1	0,0		1	0	1

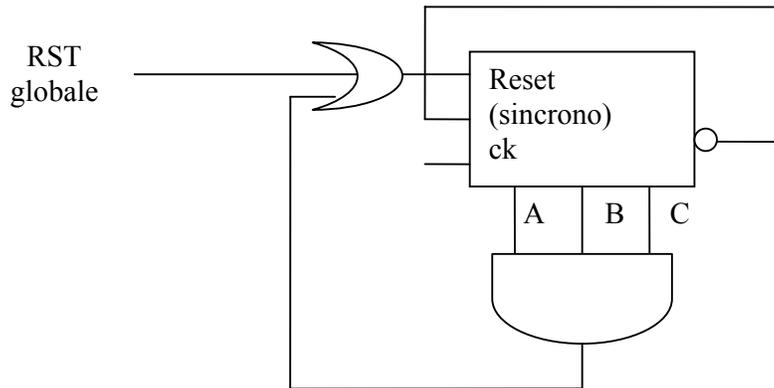
out	1	1
Q	0	0
0	0	1
1	1	0

$$T=X, \text{out}=Q \text{ XOR } X$$



Quesito D3

Sia data la seguente macchina sequenziale sincrona, costruita attorno a un contatore ad anello invertito (Johnson) dotato di un RESET **SINCRONO**. Come si osserva dalla figura, le uscite A,B,C dei tre FF di tipo D dello shift register sono collegate a una porta logica che pilota un reset **sincrono**, che viene usato anche per forzare lo stato iniziale (A=B=C=0). Il **Reset Globale** del sistema viene portato ad 1 solo per un ciclo di clock all'avvio del sistema (forza lo stato iniziale a A=B=C=0.)



Si richiede:

- L'identificazione del **ciclo di conteggio**, specificando anche il modulo del contatore;
- La creazione di un segnale **ERR** che normalmente è a 0 e viene portato ad uno quando le uscite dei tre FF (A,B,C) corrispondono a una configurazione **non appartenente al ciclo** di conteggio identificato in precedenza.
- Di rendere possibile la **ripartenza** in automatico dallo stato iniziale A=B=C=0 nel caso il sistema entri in uno stato **non appartenente al ciclo** di conteggio ma comunque ammissibile per il contatore Johnson.
- La generazione di un segnale **FAULT** nel caso la configurazione di uscita non appartenga al ciclo di conteggio ma **non sia neppure** fra quelle consentite dal contatore Johnson. In questo caso si richiede inoltre anche il **blocco** del contatore nello stato A=B=C=0 e l'impostazione a "1" di un segnale di flag. Solo l'attivazione del **reset globale** del sistema può sbloccare la situazione, facendo ripartire il conteggio e abbassando (riportando a 0) il flag.

Si riportino le **ipotesi** fatte, gli eventuali **passaggi** matematici e si **disegnino** anche i circuiti logici modificati. Si può fare uso di circuiti SSI/MSI ragionevolmente simili a quelli in commercio (Flip Flop, porte logiche, contatori, MUX, Decoder, memorie, ...)

SOLUZIONE

Il ciclo è tagliato alla quarta configurazione. Il ciclo di conteggio è pertanto 0,4,6,7. Le altre configurazioni ammissibili sono riportate comunque in tabella: 3, 1 sono quelle che sarebbero percorse nel caso non vi fosse la porta logica, le altre (2,5) non sono possibili in nessun caso (a parte in caso di guasto)

Ciclo	A	B	C	ERR	FAULT	Restart
0	0	0	0			
4	1	0	0			
6	1	1	0			
7	1	1	1			
3	0	1	1	1		1
1	0	0	1	1		1
2	0	1	0	1	1	
5	1	0	1	1	1	

$Res=A'C$, $ERR=FAULT+Res$, $FAULT=A'BC'+AB'C$. Il segnale di FAULT pilota un FF che rimane a 1 sino all'arrivo di un reset globale. Il FLAG continua a forzare il contatore nello stato A=B=C=0.

Quesito D4

Sia data la seguente funzione combinatoria di 4 ingressi (A,B,C,D). Si chiede di effettuare la sintesi tramite il metodo della scomposizione semplice disgiuntiva facendo uso di sole porte **NAND** a 2 ingressi.

A	B	C	D	Out
0	0	0	0	1
0	0	0	1	
0	0	1	0	X
0	0	1	1	
0	1	0	0	
0	1	0	1	1
0	1	1	0	X
0	1	1	1	1
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	X
1	1	0	0	1
1	1	0	1	
1	1	1	0	1
1	1	1	1	

SOLUZIONE

CD	00	01	11	10
AB				
00	1			X
01		1	1	X
11	1	X		1
10			X	

$$\Phi=1 \quad \Phi=0 \quad \Phi=0 \quad \Phi=1$$

Φ	0	1
AB		
00	0	1
01	1	0
11	0	1
10	0	0

$$\Phi=D'$$

$$\text{Out}=A'B' \Phi + A'B \Phi' + AB \Phi$$