



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2008-2009
prof. Stefano CASELLI
prof. William FORNACIARI

Seconda prova intermedia - 19 Dicembre 2008

Bozza soluzioni del 04 gennaio 2009

Cognome (LEGGIBILE).....Nome (LEGGIBILE)

Matricola Firma

Corso di Laurea: ing informatica; telecom; elettronica; teledidattico
 altro (specificare.....)

Professore di riferimento: CASELLI; FORNACIARI

Riportare i dati personali in modo che siano **LEGGIBILI**

D1	D2	D3	D4		TOT
					33

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.
I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Tabelle di eccitazione dei bistabili

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	1	0
1	0	1

Quesito D1

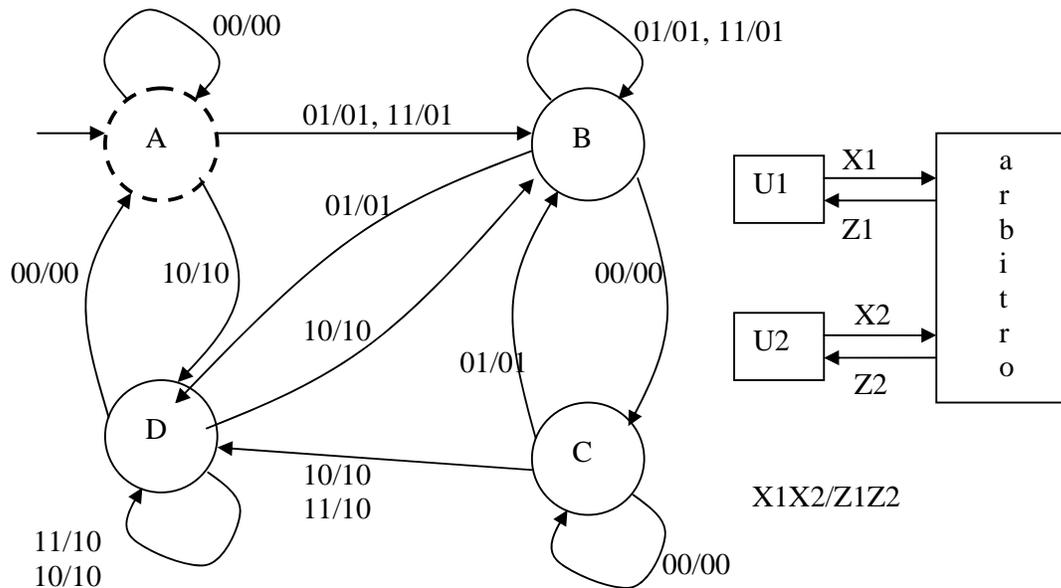
Si progetti una rete sequenziale ("Arbitro") dotata, oltre al segnale di clock, di due ingressi x_1 e x_2 di due uscite z_1 e z_2 . La rete ha il compito di arbitrare l'accesso esclusivo ad una risorsa condivisa con riferimento alle richieste presentate da due unità esterne U1 e U2 tramite i segnali x_1x_2 . Le uscite z_1z_2 pertanto non possono mai assumere la configurazione 11 e l'uscita eventualmente attiva al valore 1 indica a quale unità esterna la risorsa è stata attribuita.

In assenza di richieste ($x_1x_2=00$) la rete si mantiene in uno stato di riposo con $z_1z_2=00$. Se a partire dallo stato di riposo gli ingressi assumono la configurazione $x_1x_2=10$ la risorsa viene attribuita alla unità U1 per tutta la durata della richiesta (anche se nel frattempo si manifesta una richiesta dell'unità U2 tramite la configurazione $x_1x_2=11$), e pertanto le uscite assumono il valore $z_1z_2=10$. Analogamente, se a partire dallo stato di riposo gli ingressi assumono il valore $x_1x_2=01$, la risorsa viene attribuita alla unità U2 attribuendo alle uscite la configurazione $z_1z_2=01$. Se due richieste vengono presentate simultaneamente ($x_1x_2=11$) la risorsa viene attribuita alla unità che da più tempo non l'ha utilizzata (uscite $z_1z_2=10$ oppure $z_1z_2=01$ a seconda della situazione). In tutti i casi, la risorsa non viene revocata alla unità che la sta utilizzando, cioè la rete mantiene l'uscita $z_i=1$ fintanto che la unità U_i mantiene $x_i=1$ anche se nel frattempo si manifesta una richiesta da parte dell'altra unità. Quando la risorsa è liberata dall'unità U_i che la deteneva (portando $x_i=0$) essa può essere immediatamente attribuita all'altra unità se ne sta facendo richiesta. Si assuma che la rete venga inizializzata dal reset in uno stato di riposo (assenza di richieste, $x_1x_2=00$) con priorità da attribuire arbitrariamente ad una delle due unità.

1) Si disegni il **diagramma degli stati** della macchina e si verifichi che la macchina progettata sia **minima**.

2) Quanti Flip-Flop sarebbero necessari nel caso di una codifica **one-hot**? Si giustifichi la risposta riportando almeno una delle possibile codifiche one-hot degli stati della macchina trovata.

Soluzione



A= priorità U2 C= priorità U1 B=servizio U2 D=servizio U1

X_1X_2 S	00	01	11	10
A	A,00	B,01	B,01	D,10
B	C,00	B,01	B,01	D,10
C	C,00	B,01	D,10	D,10
D	A,00	B,01	D,10	D,10

Possibile codifica one-hot: A=1000, B=0100, C=0010, D=0001.

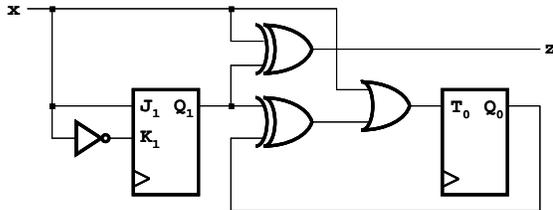
Quesito D2

La rete sequenziale in figura prevede un ingresso X e una uscita Z ed è basata su un flip-flop di tipo JK ed uno di tipo T, entrambi dotati di reset sincrono.

Si richiede:

- La costruzione della **tabella degli stati** e la sua eventuale minimizzazione (inclusa l'analisi di raggiungibilità).
- Il disegno del relativo **diagramma degli stati**.
- Una nuova **codifica** degli stati della macchina ridotta, il più possibile ottimizzata, spiegando i criteri adottati per la scelta della codifica.

Si riportino tutti i **passaggi** motivando i risultati a cui si perviene. Si assuma che lo stato iniziale/reset sia quello in cui $Q_1=Q_0=0$.



Soluzione "standard"

$$Z=x'Q_1+xQ_1' \quad T=Q_1'Q_0+Q_1Q_0' \quad J_1=x \quad K_1=x'$$

Stato Q1 Q0	X=0	X=1
00	Z=0,	Z=1
01	Z=0	Z=1
11	Z=1	Z=0
10	Z=1	Z=0
Q1Q0	J1K1, T, (Q1Q0) _{n+1}	J1K1, T (Q1Q0) _{n+1}
00	0,1 0 00	1,0 1 11
01	0,1 1 00	1,0 1 10
11	0,1 0 01	1,0 1 10
10	0,1 1 01	1,0 1 11

Q1Q0	X=0	X=1
S0	S0	S3
S1	S0	S2
S3	S1	S2
S2	S1	S3

Per la codifica degli stati sarebbero utili le seguenti adiacenze:

(S0,S3 S0,S2 S1,S2 S1,S3) (S0,S1 S2,S3 S1,S3 S0,S2) per la prima e seconda regola (stati futuri stesso stato e stati con gli stessi stati futuro), non considerando la funzione di uscita.

In pratica, per esempio, non e' utile in particolar modo che S2 sia adiacente a S3.

In definitiva una codifica puo' essere la seguente: S1=00, S3=10, S0=11, S2=01

	0	1
0	S1	S3
1	S2	S0

Soluzione più "evoluta"

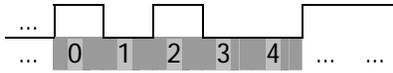
Il FF T non influenza né l'uscita né l'evoluzione del FF JK. In definitiva i suoi mutamenti non sono osservabili all'esterno e può pertanto essere eliminato.

In questa ipotesi rimarrebbe solo il FF JK, con soli due stati in cui Z=1 quando x è diverso da stato presente Q1. Lo stato futuro $Q_1(t+1)$ coincide con X (come un FF D).

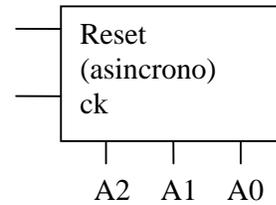
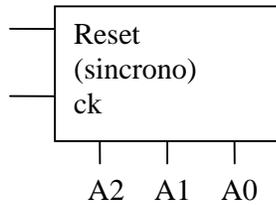
Quesito D3

Si deve realizzare una macchina sequenziale per generare una forma d'onda ciclica di **periodo 5**, facendo uso obbligatoriamente di un **contatore** binario **modulo 8**.

La forma d'onda ha l'andamento riportato in figura; dopo cinque periodi di clock la forma d'onda si ripete.



- Si progetti la macchina aggiungendo al circuito sottostante i componenti necessari, descrivendo il procedimento seguito. Si considerino entrambi i casi di reset **sincrono** e **asincrono**.
- Si riporti il disegno del circuito finale realizzato facendo uso di soli **MUX a 2 ingressi** (1 bit di selezione)



Soluzione

Il ciclo deve essere tagliato alla quinta configurazione. Le altre configurazioni non saranno percorse, si possono quindi sfruttare, se lo si desidera, come condizioni di indifferenza.

Ciclo	A2	A1	A0	Out
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	(1)
6	1	1	0	
7	1	1	1	

Mod 5 (sincrono). $S_0=4$ poiché con reset in S_0 la base sarà S_0+1 . $Reset=A_2A_1'A_0'$ oppure $Reset=A_2$ (minimo). $Out=A_2'A_0'$

Mod 5 (asincrono). $S_0=5$ poiché reset istantaneo. $Reset=A_2A_1'A_0$ oppure $Reset=A_2A_0$ (minimo). $Out=A_2'A_0'+A_2A_0$ garantisce che l'uscita valga 1 anche nel tempo brevissimo in cui il reset agisce e si ha il valore 5 sulle uscite.

Quesito D4

1. Data la seguente macchina a stati non completamente specificata, si proceda alla **minimizzazione**. Si individuino, in particolare le due seguenti soluzioni:

- Una soluzione composta dalle classi di **massima** compatibilità.
- Una soluzione composta da classi **disgiunte**, eventualmente non massime

Si riportino tutti i passaggi, includendo anche le **tabelle** degli stati ridotte.

	0	1
A	-/0	E/-
B	A/0	-/0
C	A/-	D/-
D	B/-	-/-
E	-/1	C/-

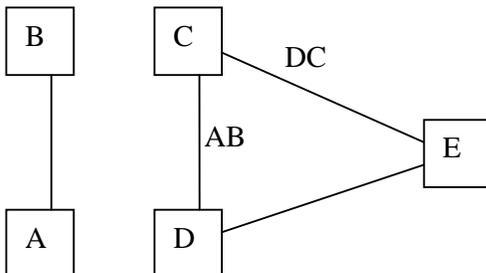
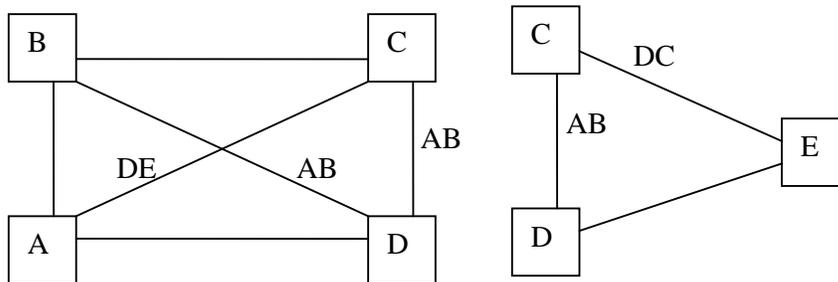
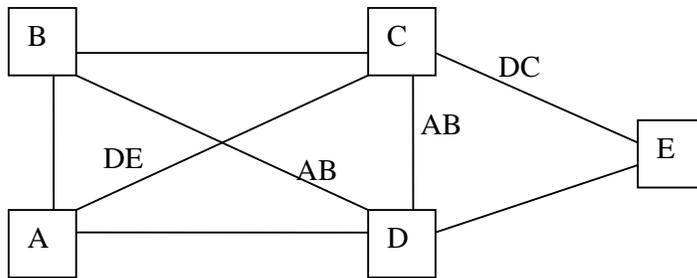
Soluzione

B	V			
C	DE	V		
D	V	AB	AB	
E	X	X	DC	V
	A	B	C	D

	0	1
$\alpha=ABCD$	$\alpha, 0$	$\beta, 0$
$\beta=CDE$	$\alpha, 1$	$\beta, -$

	0	1
$\alpha=AB$	$\alpha, 0$	$\beta, 0$
$\beta=CDE$	$\alpha, 1$	$\beta, -$

	0	1
$\alpha=ABC$	$\alpha, 0$	$\beta, 0$
$\beta=DE$	$\alpha, 1$	$\alpha, 0$



Massime non disgiunte: ABCD, CDE

Disgiunte non massime (es): AB, CDE, oppure ABC, DE