



UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA

Corso di Reti Logiche A

anno accademico 2008-2009

prof. Stefano CASELLI

prof. William FORNACIARI

Recupero prima prova - 19 dicembre 2008

Bozza Soluzioni del 22.12.08

Cognome (LEGGIBILE).....Nome (LEGGIBILE)

Matricola Firma

Corso di Laurea: ☐ ing informatica; ☐ telecom; ☐ elettronica; ☐ teledidattico

☐ altro (specificare)

Professore di riferimento: ☐ CASELLI; ☐ FORNACIARI

Riportare i dati personali in modo che siano **LEGGIBILI**

D1	D2	D3	D4		TOT
					32

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.

I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Tabelle di eccitazione dei bistabili

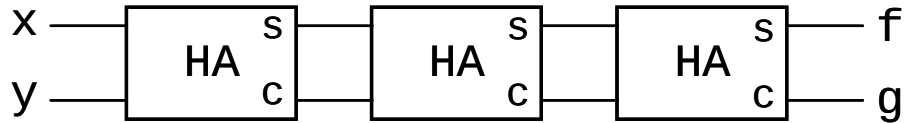
Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	1	0
1	0	1

Quesito D1

Si ricavi l'espressione delle uscite **f** e **g** della rete seguente. Il blocco HA (Half Adder) è un semisommatore binario, ovvero il grado di generare la somma dei due bit in ingresso (X, Y) e generare due uscite da un bit che sono la somma binaria (S) e l'eventuale riporto di tale somma (C).



Si riportino i **passaggi**, le **espressioni** logiche **intermedie** e **finali** e si riporti anche il **disegno** del **circuito** finale risultante dalle espressioni booleane semplificate.

Si sintetizzino inoltre le funzioni f() e g() appena ricavate facendo uso (nel minimo numero) esclusivamente di **MUX** ad un ingresso di selezione. Si riporti quindi lo **schema logico** della soluzione basata su MUX.

Soluzione

All'uscita del primo HA si ha

$$S = x \oplus y = (x'y + xy') \quad C = xy$$

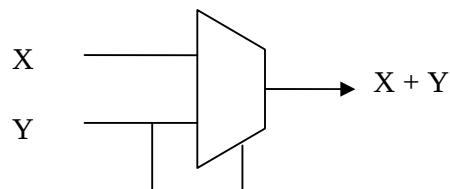
All'uscita del secondo HA

$$S1 = S \oplus C = (x'y + xy') \oplus xy = \dots = x + y \quad C1 = SC = (x'y + xy')xy = 0$$

All'uscita del terzo HA

$$F = S2 = S1 \oplus C1 = (x + y) \oplus 0 = x + y$$

$$G = C2 = S1C1 = 0$$



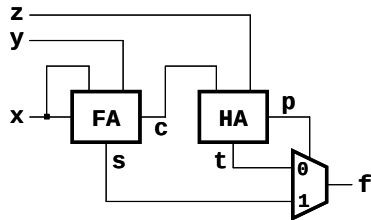
Quesito D2

Sintetizzare in forma **SoP** minima e **priva di alee statiche** la funzione **f** realizzata dalla rete di seguito riportata.

Si sintetizzi inoltre la funzione **f** trovata anche in forma **PoS** minima.

Per entrambe le espressioni si riporti il **costo** espresso come **numero di letterali**.

Nota: nell'HA **p** è il **riporto**, la somma viene indicata con **t**



Soluzione

X	Y	Z	C	S	T	P	F
0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1
0	1	0	0	1	0	0	0
0	1	1	0	1	1	0	1
1	0	0	1	1	1	0	1
1	0	1	1	1	0	1	1
1	1	0	1	0	1	0	1
1	1	1	1	0	0	1	0

Z	0	1
XY		
00	0	1
01	0	1
11	1	0
10	1	1

POS= $(x+z)(x'+y'+z')$ #letterali: 2+3=5

SOP priva alee= $x'z+xy'+xz'+y'z$ #letterali: 2+2+2+2=8

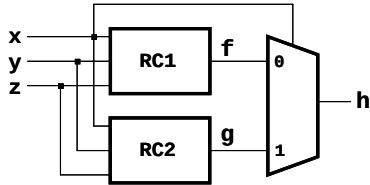
Quesito D3

Data la specifica delle due reti combinatorie RC1 ed RC2:

$$f(x, y, z) = \bar{x}\bar{y}z + x\bar{y}\bar{z} + y\bar{z}$$

$$g(x, y, z) = \bar{y}z + xyz$$

- si minimizzino le espressioni delle funzioni **f()** e **g()**
- si ricavi l'espressione ottima a due livelli della funzione **h()**
- si sintetizzi tramite sole **porte NAND** la funzione **h()** appena trovata
- si sintetizzi tramite un **decoder** e porte **NAND con al più tre ingressi** la funzione **h()** appena trovata



Soluzione

Si possono usare le mappe Karnaugh per ottenere le seguenti forme minime:

$$F_{\min} = x'y'z + z'(xy' + y) = x'y'z + z'(x + y) = x'y'z + z'x + yz'$$

$$G_{\min} = y'z + xyz = z(y' + xy) = zy' + xz$$

$$H = x'(x'y'z + z'x + yz') + x(zy' + xz) = x'y'z + x'yz' + xz + xy'z$$

Per il decoder evidenzio anche il mintermine xyz da aggiungere a fronte dell'espansione di xz

$$H_{\text{dec}} = x'y'z + x'yz' + \mathbf{xyz} + xy'z$$

Per l'uso delle porte NAND si sfruttano le leggi di De Morgan. La funzione H prevede 4 mintermini. Dato il limite sul fan-in delle porte saranno necessari due OR, uno a tre ingressi e l'altro a 2 ingressi; ogni OR andrà poi convertito in NAND con De Morgan.

Quesito D4

Sia data la seguente tabella che descrive il comportamento di una rete logica.

Si fornisca una implementazione **multilivello** ricorrendo alla tecnica della **scomposizione semplice disgiuntiva**.

Si riportino tutti i passaggi e il disegno della rete finale. Si riporti infine il **costo** della soluzione multilivello, espresso come **numero di letterali**.

CD AB	00	01	11	10
00	X			X
01	1	1	X	1
11	X	X	1	1
10		1		X

Soluzione

Un possibile assegnamento che genera due colonne diverse è il seguente

Φ	1	0	1	0
CD AB	00	01	11	10
00				
01	1	1	1	1
11	1	1	1	1
10		1		1

$$\Phi = C'D' + CD$$

Φ	0	1
AB	00	01
00		
01	1	1
11	1	1
10	1	

$$F = B + \Phi'A$$

$$\text{Costo } \Phi = 2 + 2 = 4$$

$$\text{Costo } F = 1 + 2 = 3$$

$$\text{costo globale} = 4 + 3 = 7$$