



**UNIVERSITÀ DEGLI STUDI DI PARMA  
FACOLTÀ DI INGEGNERIA**

**Corso di Reti Logiche A**

anno accademico 2006-2007  
prof. Stefano CASELLI  
prof. William FORNACIARI

**Appello del 19 gennaio 2007**

**Bozza soluzioni del 22 gennaio 2007**

Cognome (LEGGIBILE).....Nome (LEGGIBILE) .....

Matricola ..... Firma .....

Corso di Laurea:  ing informatica;  telecom;  elettronica;  teledidattico  
 altro (specificare.....)

Professore di riferimento:  CASELLI;  FORNACIARI

Riportare i dati personali in modo che siano **LEGGIBILI**

D1	D2	D3	D4	D5	D6 (fac)	TOT
7	7	7	7	4	3	32+3

**NOTE PER LO SVOLGIMENTO**

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.

I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

**È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.**

**Tabelle di eccitazione dei bistabili**

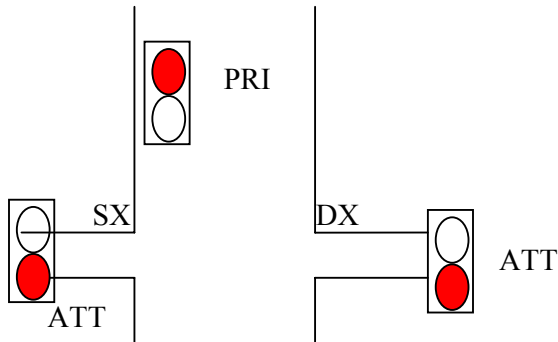
$Q_t$	$Q_{t+1}$	D
0	0	0
0	1	1
1	1	1
1	0	0

$Q_t$	$Q_{t+1}$	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

$Q_t$	$Q_{t+1}$	T
0	0	0
0	1	1
1	1	0
1	0	1

## Quesito D1

Si deve progettare un sistema di controllo (macchina sequenziale sincrona) per il semplice sistema semaforico riportato in figura, dove il flusso di auto di una strada ad elevato traffico (**PRI**, principale) può essere interrotto per consentire il passaggio di pedoni sul percorso **ATT** (attraversamento).



L'attraversamento pedonale prevede in **ingresso** due **sensori di presenza a pulsante (cioè senza memoria)**, **SX** e **DX**, la cui pressione (corrispondente ad un valore **1**) segnala che vi sono dei pedoni in **attesa** sul lato corrispondente della strada. Le **uscite** del sistema di controllo sono i **comandi** per i semafori sulla strada principale e sull'attraversamento pedonale. Ciascuno semaforo (**PRI**, **ATT**) assume un valore binario V (verde) o R (rosso); per ovvi motivi di **sicurezza** ed **efficienza**, le condizioni in cui entrambi i semafori sono **contemporaneamente a verde o rosso** sono **vietate**.

Si progetti il controllore del semaforo, cercando il più possibile di **contenere** il numero degli **stati**, in modo che risponda alle seguenti specifiche:

- Quando **non** vi sono **pedoni** che segnalano la loro presenza allora il controllore resta in uno stato stabile (default) in cui **PRI=Verde, ATT=Rosso**;
- Se su **uno solo** dei due lati (non importa se DX o SX) si rileva la presenza di pedoni, allora dopo **tre cicli** in cui **PRI** rimane comunque **Verde** si avrà **ATT=Verde** per un **singolo** ciclo, dopodiché si valuteranno nuovamente gli ingressi.
- Se vi sono pedoni da **entrambi** i lati della strada che **segnalano contemporaneamente** la loro presenza, allora si debbono **attendere solo due cicli** prima di mettere **PRI=Rosso** e **ATT=Verde**; se i sensori di presenza vengono attivati contemporaneamente durante un ciclo di attesa più lungo (quello del punto precedente), l'attesa con **PRI=Verde** e **ATT=Rosso** dovrà essere di conseguenza troncata a due, considerando nel conteggio il momento in cui era stato premuto almeno un sensore. In altri termini, l'attivazione su ambo i lati dei sensori di traffico riduce comunque a due una attesa iniziata in precedenza oppure quella che sta iniziando.
- Pressioni **ripetute** dello stesso singolo tasto **non modificano** il comportamento già iniziato, ovvero non producono altri effetti sino a quando le uscite si invertono.

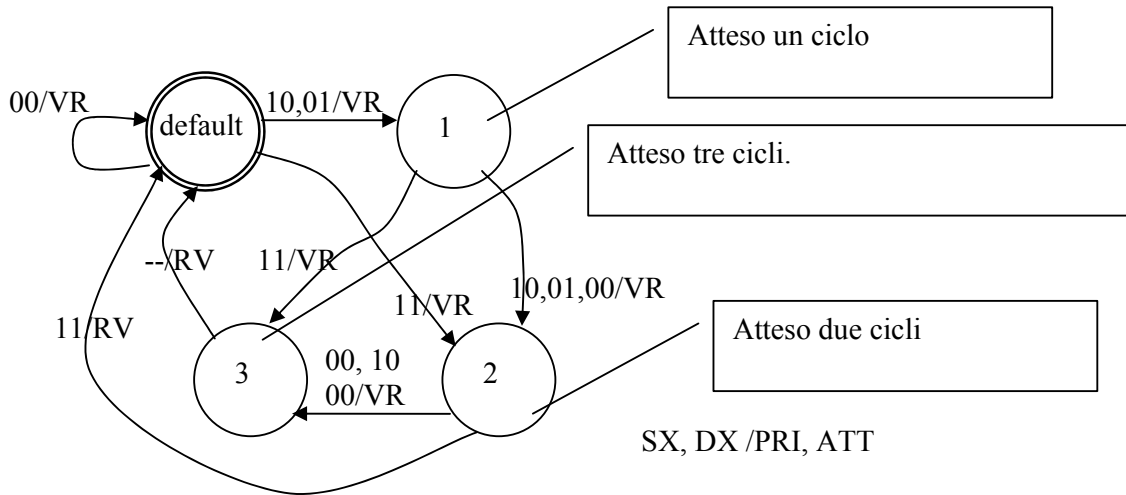
Si richiede:

- Di disegnare il **diagramma degli stati** con i commenti ritenuti necessari, redigere la **tabella di flusso**, ed eventualmente **minimizzare** la macchina a stati ottenuta.
- Di rappresentare gli stati di tale macchina seguendo una **codifica one-hot**, indicando (giustificando la risposta) anche il **numero** di FF necessari per la sua implementazione.
- Di indicare (giustificando la risposta) quale sarebbe il **numero minimo** di FF di tipo **T** da utilizzare per una eventuale realizzazione della macchina a stati qualora la codifica sia libera.

### Soluzione

Le due uscite PRI e ATT in realtà possono essere rappresentate da una sola variabile, essendo sempre una il negato dell'altra; per migliore leggibilità del diagramma nella soluzione vengono comunque rappresentate entrambe.

Il controllore rimane in attesa di un evento sui sensori di presenza pedonale, dopodichè inizia un ciclo di attesa di durata tre, prima di invertire le uscite per un ciclo. La presenza contemporanea dei pedoni da ambo i lati, se è l'evento che fa uscire dallo stato di default, comporta il salto di uno stato per avere una attesa solo di due, oppure se capita durante l'attesa riporta direttamente nello stato di default. Per facilitare la lettura si riporta V e R con il significato di V=1, R=0.



L'automa è evidentemente minimo.

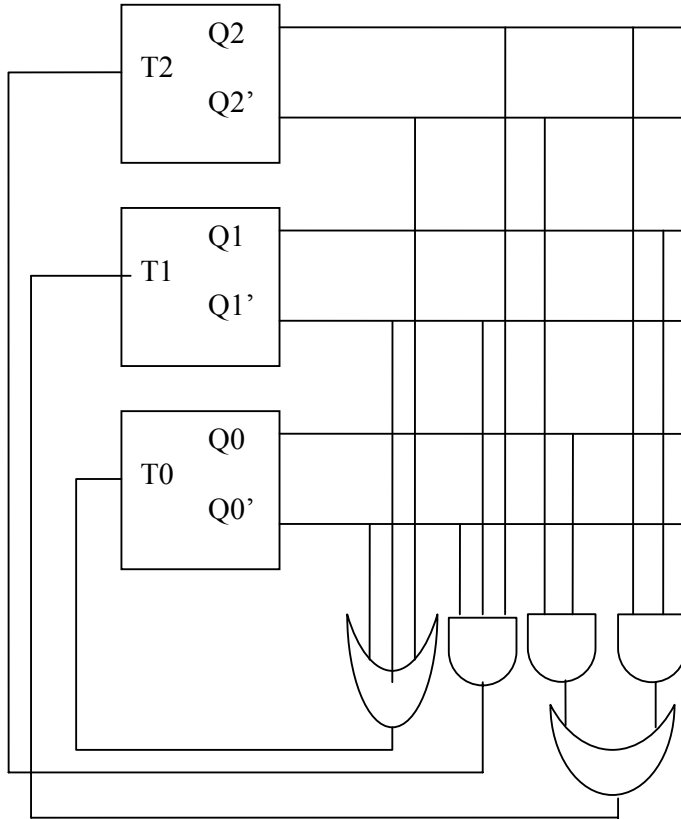
Una codifica one-hot può essere la seguente.

default:	0001
1:	0010
2:	0100
3:	1000

Bastano 2 FF di tipo T per codificare 4 stati con codifica di lunghezza minima.

## Quesito D2

Sia dato il seguente circuito sequenziale sincrono di tipo Moore, con funzione di uscita  $z=Q2'Q1Q0$  (non riportata in figura), estratto da un sistema più complesso e basato su **tre FF di tipo T**. Considerando come **stato iniziale/Rst** quello in cui  $T2=T1=T0=0$ , si ricavi un circuito **equivalente** facente uso del **minimo** numero di FF di tipo **D**.



Si chiede pertanto di:

- Determinare l'evoluzione degli stati, disegnando sia la **tabella delle transizioni** sia il **diagramma** degli stati corrispondente.
- Realizzare una FSM che generi le stesse **transizioni** dell'uscita facendo uso del minimo numero di FF **D**, oltre alle comuni porte logiche. Si disegni anche il **circuito** finale.

### Soluzione

$$T2=Q2Q1'Q0' \quad T1=Q2'Q0+Q2Q1 \quad T0=Q2'+Q1'+Q0'$$

Si ricava la tabella delle transizioni e quindi il diagramma degli stati. Il sistema è in pratica un contatore ciclico modulo 4 (000->001->010->011->Back), dove gli stati 100, 101, 110, 111 sono irraggiungibili a partire dallo stato iniziale. Per tale motivo la macchina a stati può essere realizzata con soli 2 FF visto che ha solo 4 configurazioni di stato utilizzati.

Q2 Q1 Q0	T2 T1 T0	Q2*Q1*Q0*
000	001	001
001	011	010
010	001	011
011	011	000

Gli altri stati non sono rilevanti, i precedenti stati sono connessi in loop.

La sintesi con soli FF D porta ad avere  $Q2=0$ ,  $D0=Q0'$ ,  $D1=Q0 \text{ XOR } Q1$ .  $Z=Q1Q0$  è, per i 4 stati utili, =1 solo in 011.

	Q0	0	1
Q1			
0			1
1	1		

### Quesito D3

Data la seguente tabella di verità, riportare (trascrivendo tutti i passaggi):

- Il risultato della **prima fase** del metodo di Quine-McCluskey, ovvero la ricerca degli implicanti primi. Suggerimento: servirsi delle mappe di Karnaugh per verificare il risultato.
- La **seconda fase** del metodo, ovvero la ricerca della copertura ottima, commentando i vari passaggi.

<i>mintermine</i>	A	B	C	D	Uscita
0	0	0	0	0	x
1	0	0	0	1	
2	0	0	1	0	x
3	0	0	1	1	
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	x
7	0	1	1	1	1
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	1
12	1	1	0	0	
13	1	1	0	1	1
14	1	1	1	0	
15	1	1	1	1	1

M0	0000	* v	0,2	00-0	* v	0,2,4,6	0-0	<b>P2=a' d'</b>
	-----		0,4	0-00	v	-----		
M2	0010	* v	-----			4,5,6,7	01--	<b>P3=a' b</b>
M4	0100	v	2,6	0-10	* v	-----		
	-----		4,5	010-	v	5,7,13,15	-1-1	<b>P4=bd</b>
M5	0101	v	4,6	01-0	v			
M6	0110	* v	-----					
	-----		5,7	01-1	v			
M7	0111	v	5,13	-101	v			
M11	1011	v	6,7	011-	v			
M13	1101	v	-----					
	-----		7,15	-111	v			
M15	1111	v	11,15	1-11	<b>P1=acd</b>			
			13,15	11-1	v			

#### copertura

	4	5	7	11	13	15
P1				x		x
P2	x					
P3	x	x				
P4		x	x		x	x

P1 e P4 essenziali (m11 e m13), poi P2 o P3 sono indifferenti

CD	00	01	11	10
AB				
00	X			X
01		1	1	X
11		1	1	
10			1	

P2

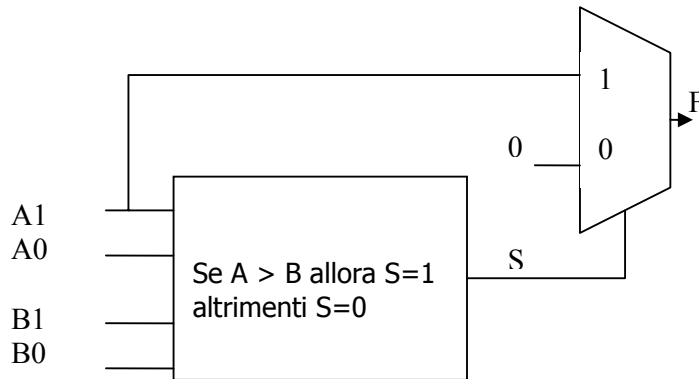
P3

P1

P4

### Quesito D4

Si supponga di avere isolato la seguente porzione di un sistema digitale più complesso.



Il **blocco** è una funzione che vale '1' solo quando **A è strettamente maggiore di B**, intendendo con A1A0 e B1B0 dei numeri binari positivi, da due bit, in rappresentazione binaria naturale.

Si chiede di:

- determinare una **rappresentazione** della  $F=f(A1,A0,B1,B0)$ ;
- **confrontare i costi** dell'implementazione **minima** della F come somma di prodotti (**SOP**) e prodotto di somme (**POS**), usando come cifra di merito il numero di **letterali**;
- determinare una implementazione della F che faccia uso di **solli MUX**.

### Soluzione

Una rappresentazione esplicita dalla funzione del blocco è la seguente

A1A0 B1B0	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

$$S = A1B1' + A1A0B0' + A0B1'B0'$$

Il MUX ha una funzione del tipo  $out = in*s + 0*s'$ , cioè mette in AND l'ingresso di selezione e quello diverso da 0 (cioè A1). La F diviene pertanto:

$$F = A1B1' + A1A0B0' + A1A0B1'B0' = A1B1' + A1A0B0', \text{ costo 5 letterali}$$

$$F = A1(B1' + B0')(A0 + B1'), \text{ costo 5 letterali}$$

A1A0 B1B0	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

F

Per la realizzazione con MUX vi sono diverse soluzioni possibili. La più facile consiste nell'identificare la prima forma normale e usare un MUX a 4 var di selezione.

### **Quesito D5**

---

Descrivere i principali **criteri** e le **cifre di merito** che si usano per valutare il **costo** di sistemi hardware realizzati con componenti **discreti** e in forma di **circuito integrato**, anche nel caso si abbiano reti logiche multilivello.

### **Quesito D6 (facoltativo)**

---

*La risposta a questo quesito richiede di avere completato il quesito D1.*

Progettare il controllore dell'impianto semaforico descritto nel quesito D1 utilizzando un contatore binario dotato degli opportuni segnali di controllo sincroni (Enable, Reset, Load), unitamente alle porte logiche e ai componenti MSI necessari. Si disegni lo schema logico del circuito e si descriva come la soluzione proposta realizza il diagramma di stato individuato.