



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2006-2007
prof. Stefano CASELLI
prof. William FORNACIARI

Seconda prova del 21 dicembre 2006

Bozza soluzioni del 22.12.2006

Cognome (LEGGIBILE).....Nome (LEGGIBILE)

Matricola Firma

Corso di Laurea: ing informatica; telecom; elettronica; teledidattico
 altro (specificare.....)

Professore di riferimento: CASELLI; FORNACIARI

Riportare i dati personali in modo che siano LEGGIBILI

D1	D2	D3	D4		TOT
8+2	8	8	7		33

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.
I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Tabelle di eccitazione dei bistabili

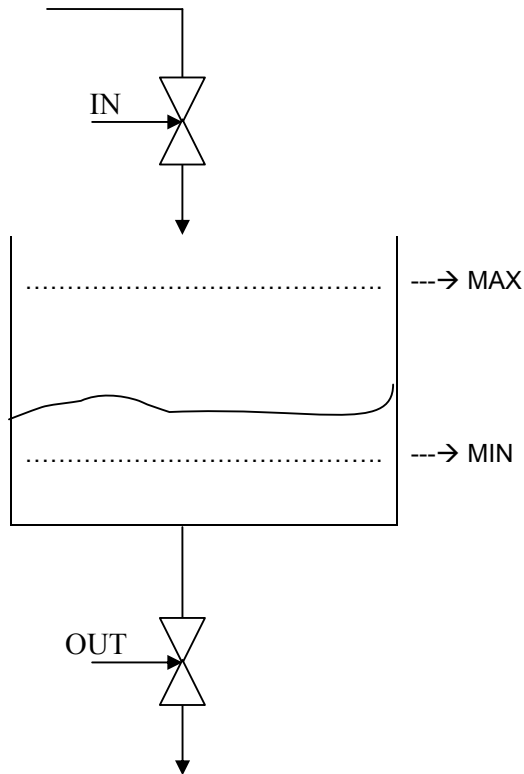
Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	1	0
1	0	1

Quesito D1

Si deve progettare un sistema di controllo (macchina sequenziale sincrona) per la cisterna di liquidi riportata in figura.



Come illustrato in figura, sono presenti **due sensori livello** che forniscono gli ingressi al sistema, rappresentati da due variabili booleane - **MIN, MAX** - che valgono **1** quando sono **sommersi** dal liquido, altrimenti valgono zero. I due sensori sono sufficientemente distanti da non essere mai influenzati contemporaneamente da eventuali "onde" del liquido (limitate comunque poiché è viscoso) e il serbatoio è sempre orizzontale e non è soggetto ad accelerazioni.

Il sistema di **controllo** ha lo scopo di pilotare le **due valvole** che regolano l'afflusso e lo scarico di acqua, rappresentati da due variabili booleane - **IN, OUT** - che valgono **1** quando le valvole sono **aperte**, ovvero il liquido può entrare in IN o uscire da OUT, e valgono **0** quando le valvole sono **chiusi** e il liquido non può attraversarle. Il sistema non è isolato, ovvero parte del liquido può entrare ed uscire per vie diverse dalle elettrovalvole.

Lo scopo del sistema di controllo è **mantenere il livello** del liquido compreso tra il valore **minimo** e quello **massimo**, secondo in seguente principio di funzionamento:

- Quando il livello supera il valore **massimo**, allora viene aperta la valvola **OUT** fino a che il livello non ridiscende sotto il valore massimo.
- Quando il livello scende sotto il valore **minimo**, allora viene aperta la valvola di ingresso **comunque per due cicli di clock**, indipendentemente da quanto misurato dai sensori di ingresso, **prima di riconsiderare** lo stato del sistema.

Ad esempio, nella situazione di figura $MAX=0$, $MIN=1$ e il regolatore produce le uscite $IN=OUT=0$. Nel caso invece in cui il liquido superasse il livello massimo (ovvero $MAX=1$), allora le uscite sarebbero $IN=0$, $OUT=1$ sino al momento in cui $MAX=0$. Se infine $MIN=0$, allora $IN=1$ per due cicli di clock e poi si rivaluta lo stato dei sensori di livello.

Si progetti il controllore, commentando ogni ipotesi (ragionevole!) fatta e riportando anche i passaggi svolti per giungere alla soluzione. Si supponga che la situazione **iniziale/reset** sia quella di **stabilità** in cui $MIN=1$, $MAX=0$ e $IN=OUT=0$. In particolare si richiede di riportare:

- Il diagramma degli stati e la relativa tabella degli stati.
- La minimizzazione del numero degli stati.
- La nuova tabella degli stati ridotta.

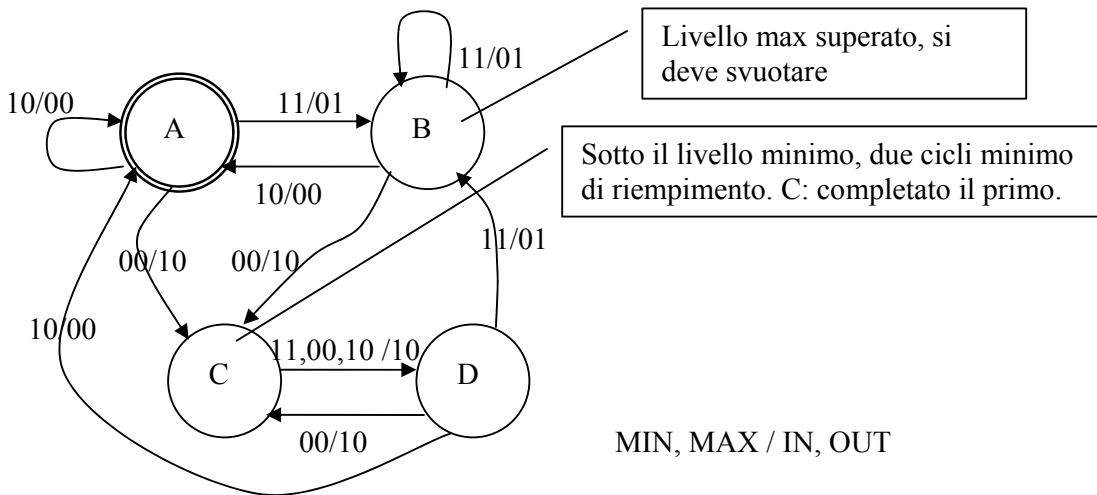
Opzionale: Completare la sintesi della FSM facendo uso di FF di tipo D e disegnare la rete finale.

Soluzione

Non è mai possibile che si verifichi la condizione in cui MIN=1 e MAX=0; di conseguenza ci troviamo di fronte a una macchina non completamente specificata.

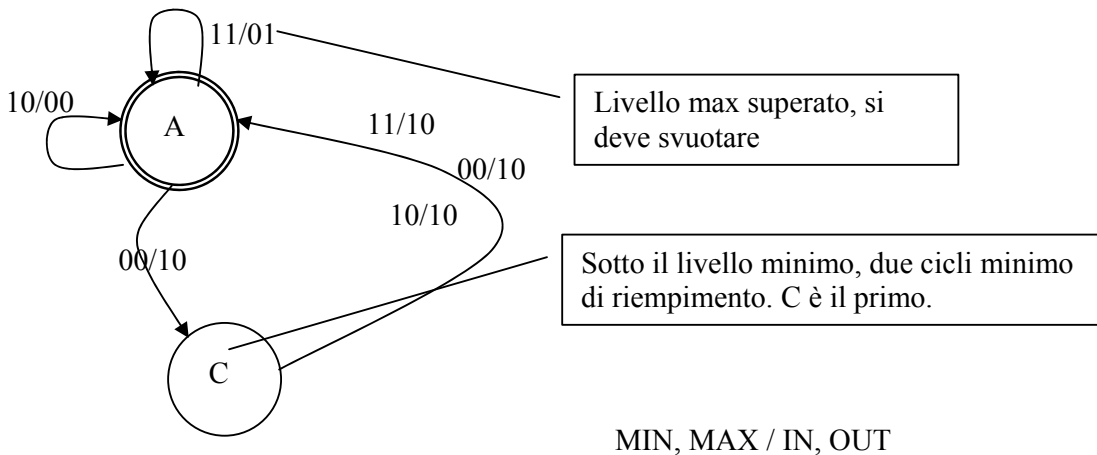
Un approccio al progetto probabilmente più semplice da comprendere, sebbene non porti immediatamente alla macchina minima, consiste nell'analizzare cosa deve avvenire per i vari ingressi a partire da una condizione di "stabilità" in cui il sistema ha le valvole chiuse e un livello compreso fra min e max e usare una specifica stile Mealy. Si noti che non vi è nessun motivo plausibile, in base alle specifiche, per cui IN=OUT=1; la richiesta di tenere aperta la valvola IN per almeno due cicli di clock implica che il sistema sia sequenziale e non combinatorio. Diversamente basterebbe collegare tramite un negatore MIN a IN e MAX ad OUT.

MIN	MAX	Comportamento
0	0	Carica: IN=1 per due cicli di clock
1	0	Condizione OK, IN=OUT=0
1	1	Scarica: OUT =1 finché MAX=1
0	1	Impossibile, liquido riempie da basso verso l'alto



Nota: le transizioni relative a ingressi 01 non sono considerate poiché non possono verificarsi.

Ragionando con più attenzione si poteva vedere che in realtà basta una macchina con 2 stati.



Supponendo di partire dalla prima soluzione non ottimizzata:

MIN, MAX	00	01	11	10
State				
A	C/10	--/--	B/01	A/00
B	C/10	--/--	B/01	A/00
C	D/10	--/--	D/10	D/10
D	C/10	--/--	B/01	A/00

B	v		
C	X	X	
D	v	v	X
	A	B	C

L'insieme minimo degli stati diviene; { {ABD}, C }; la tabella degli stati che ne deriva è la seguente, cui corrisponde un diagramma degli stati analogo al precedente:

MIN, MAX	00	01	11	10
State				
ABD	C/10	--/--	ABD/01	ABD/00
C	ABD/10	--/--	ABD/10	ABD/10

Scegliendo di usare FF di tipo D per la sintesi, con una codifica minima:

MIN, MAX	00	01	11	10
State				
ABD=0	1/10	--/--	0/01	0/00
C=1	0/10	--/--	0/10	0/10

MIN, MAX	00	01	11	10
D				
0	1	--	0	0
1	0	--	0	0

$D=Q'MIN'$

MIN, MAX	00	01	11	10
State				
0	1	--	0	0
1	1	--	1	1

$IN=Q+MIN'$

MIN, MAX	00	01	11	10
State				
0	0	--	1	0
1	0	--	0	0

$OUT=Q'MAX$

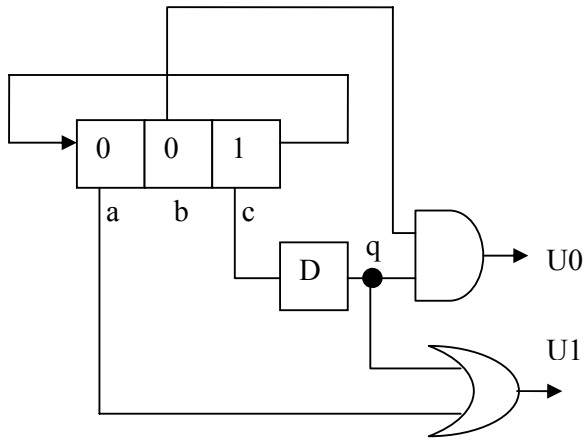
Facendo invece uso di un FF di tipo T si risparmia una porta logica AND:

MIN, MAX	00	01	11	10
T				
0	1	--	0	0
1	1	--	1	1

$T=Q+MIN'=IN$

Quesito D2

Nel seguente circuito sequenziale sincrono, estratto da un sistema più complesso, è presente uno SHIFT register a 3 bit chiuso ad anello. Lo stato **iniziale/reset** è quello indicato in figura: nello shift register viene impostato un 1 in ultima posizione, mentre il FF D ha l'uscita Q=0.



Si chiede di:

- Determinare il **diagramma** degli stati corrispondente alle **transizioni** tra stati che si verificano nel circuito a partire dallo stato iniziale assegnato, riportato in figura. (anche q vale 0)
- Progettare un circuito che generi le stesse **transizioni** per le uscite U0 e U1 del circuito assegnato, facendo uso del numero minimo di **FF T** e di porte logiche. Si disegni anche il **circuito** finale.

Soluzione

La costruzione completa della tabella delle transizioni richiederebbe di scrivere e valutare tutte le equazioni di stato futuro e di uscita.

Non essendo richiesto di fornire l'intera tabella delle transizioni, per brevità si può determinare il ciclo di conteggio partendo dalla condizione iniziale. L'uscita **q** è la stessa del FF **a** dello shift register. Il FF **q** quindi è ridondante. Pertanto ci troviamo di fronte ad un contatore ad anello modulo 3, con una rete di transcodifica in uscita, da riprogettare con FF di tipo T. La porta AND che genera l'uscita U0 ha sempre un ingresso a 0, quindi è sempre $u0=0$, mentre l'OR di U1 ha i due ingressi uguali ad "a", quindi $U1=a$.

In generale, l'analisi richiederebbe di considerare le uscite di tutti i FF:

a	b	c	q	u0	u1
0	0	1	0	0	0
1	0	0	1	0	1
0	1	0	0	0	0

..... poi si ripete ciclicamente

È un contatore modulo 3, pertanto bastano due FF T. Si può osservare che $U0=0$ sempre, mentre $U1=a$. Si possono usare le due variabili A e B come rappresentative del conteggio, evitando in tale modo una eventuale rete di transcodifica per U1.

Codifica del ciclo di conteggio e sintesi delle eccitazioni e delle uscite:

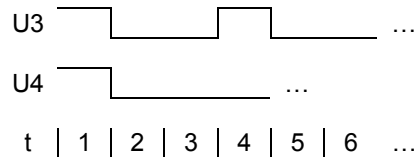
a	b	u1	Ta	Tb
0	0	0	1	0
1	0	1	1	1
0	1	0	0	1

Considerando la configurazione di stato non utilizzata, le espressioni ottime sono:

$$Ta=b' \quad Tb=a+b \quad U1=a \quad U0=0$$

Quesito D3

Si deve progettare un circuito in grado di realizzare, in alternativa, le due forme d'onda **periodiche** U3 e U4 di seguito riportate in funzione di una variabile di ingresso SEL. Le due forme d'onda pertanto saranno dirette verso un'unica uscita. Per la realizzazione si ha a disposizione come unico elemento di memoria **un solo SHIFT register** a 3 bit dotato di comando di **Reset sincrono**, oltre a componenti MSI come i multiplexer e a comuni porte logiche.



Si noti che la forma d'onda di U3 è definita su 6 intervalli, mentre quella di U4 su 4 intervalli. Si progetti, commentando ogni passaggio e le ipotesi fatte, il circuito sequenziale per la generazione di tali forme d'onda. Il sistema avrà **un ingresso SEL** da 1 bit e una **uscita OUT**, sempre da 1 bit, con il seguente significato:

- SEL=0 allora OUT genera la forma d'onda U3
- SEL=1 allora OUT genera la forma d'onda U4

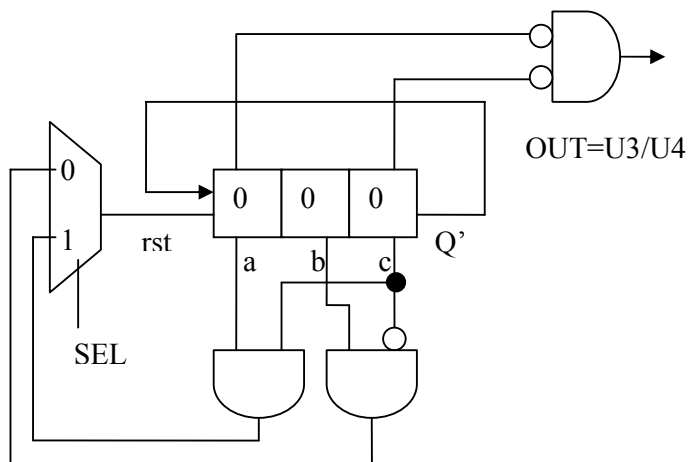
Per semplicità si consideri irrilevante l'eventuale presenza di forme d'onda transitorie su OUT da quando SEL viene modificato a quando la nuova forma d'onda viene generata "a regime".

Suggerimento: considerare la lunghezza dei cicli di conteggio rispetto al periodo delle forme logiche per adattarli.

Soluzione

La prima forma d'onda ha un periodo pari a 3, mentre la seconda pari a 4. Si deve pertanto creare un contatore in grado di modificare il proprio ciclo di conteggio in modo da essere pari o un multiplo dei periodi delle forme d'onda da generare.

Essendo disponibile uno shift register da tre bit, per generare un contatore di modulo superiore a 3 si può utilizzare una connessione di tipo Johnson, in cui l'uscita **negata** dell'ultimo FF (in figura Q') viene riportata come ingresso per il primo FF. In questo modo si ottiene un contatore modulo 2n, cioè $2 \cdot 3 = 6$, sufficiente a coprire le durate dei periodi di entrambe le forme d'onda. Utilizzando il Reset sincrono è quindi possibile ridurre la base di conteggio in funzione del valore di SEL.



Considerando il ciclo di conteggio del contatore Johnson, il contatore eseguirà i seguenti cicli: partendo dalla configurazione 000 arriva alla configurazione 110 per generare U3 e alla configurazione 111 per generare U4.

A	B	C	U4	U3	ricosciuto da
0	0	0	1	1	a'c'
1	0	0	0	0	ab'
1	1	0	0	0	bc'
1	1	1	0	0	ac
0	1	1	a'b
0	0	1	b'c

Considerando le configurazioni di stato inutilizzate, sia per effetto del ciclo di conteggio Johnson sia per effetto del Reset, si ottiene:

$$\begin{array}{ll} \text{Reset3} = bc' & \text{Reset4} = ac \\ U3 = a' & U4 = a' \end{array}$$

Si noti che la forma d'onda U3, che ha periodo 3, può essere realizzata anche facendo uso di un contatore modulo 6, replicando però la forma d'onda due volte. Secondo tale alternativa, si può attivare il Reset solo per la generazione di U4, ponendo il canale 0 del MUX a 0. In tal caso si ottiene:

$$\begin{array}{ll} \text{Reset3} = 0 & \text{Reset4} = ac \\ U3 = a'c' + ac & U4 = a' \end{array}$$

Quesito D4

Data la seguente tabella degli stati di una FSM:

- minimizzare il numero degli stati
- riportare la tabella degli stati ridotta
- disegnare il diagramma degli stati ridotto

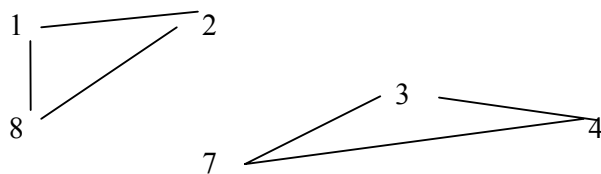
Si riportino tutti i passaggi e le ipotesi fatte, considerando S5 come stato iniziale/reset.

Input State	0	1
1	3/1	8/0
2	4/1	8/0
3	4/0	2/0
4	7/0	2/0
5	1/0	3/1
6	2/0	4/1
7	4/0	1/0
8	7/1	2/0
9	10/1	9/0
10	9/0	10/0

Soluzione

Gli stati 6, 9 e 10 sono irraggiungibili e possono essere eliminati. Tutte le caselle con vincoli divengono poi equivalenze a fronte dell'analisi del seguente grafo.

2	3,4					
3	X	X				
4	X	X	4,7			
5	X	X	X	X		
7	X	X	1,2	1,2	X	
8	2,8 3,7	4,7 2,8	X	X	X	X
	1	2	3	4	5	7



$\alpha = \{1,2,8\}$, $\beta = \{3,4,7\}$, $\gamma = \{5,6\}$. Stato iniziale/rst = γ

Input State	0	1
$\alpha = 1,2,8$	$\beta / 1$	$\alpha / 0$
$\beta = 3,4,7$	$\beta / 0$	$\alpha / 0$
$\gamma = 5$	$\alpha / 0$	$\beta / 1$