



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2005-2006
prof. Stefano CASELLI
prof. William FORNACIARI

Il compitino del 22 dicembre 2005

Bozza soluzioni del 31.12.2005

Cognome (LEGGIBILE).....Nome (LEGGIBILE)

Matricola Firma

Corso di Laurea: ing informatica; telecom; elettronica; altro (specif)
 teledidattico

Professore di riferimento: CASELLI; FORNACIARI

Ha svolto il primo compito Intende svolgere il recupero di dicembre

Riportare i dati personali in modo che siano **LEGGIBILI**

D1	D2	D3	D4		TOT
9	8	8	8		33

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.

I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Tabelle di eccitazione dei bistabili

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

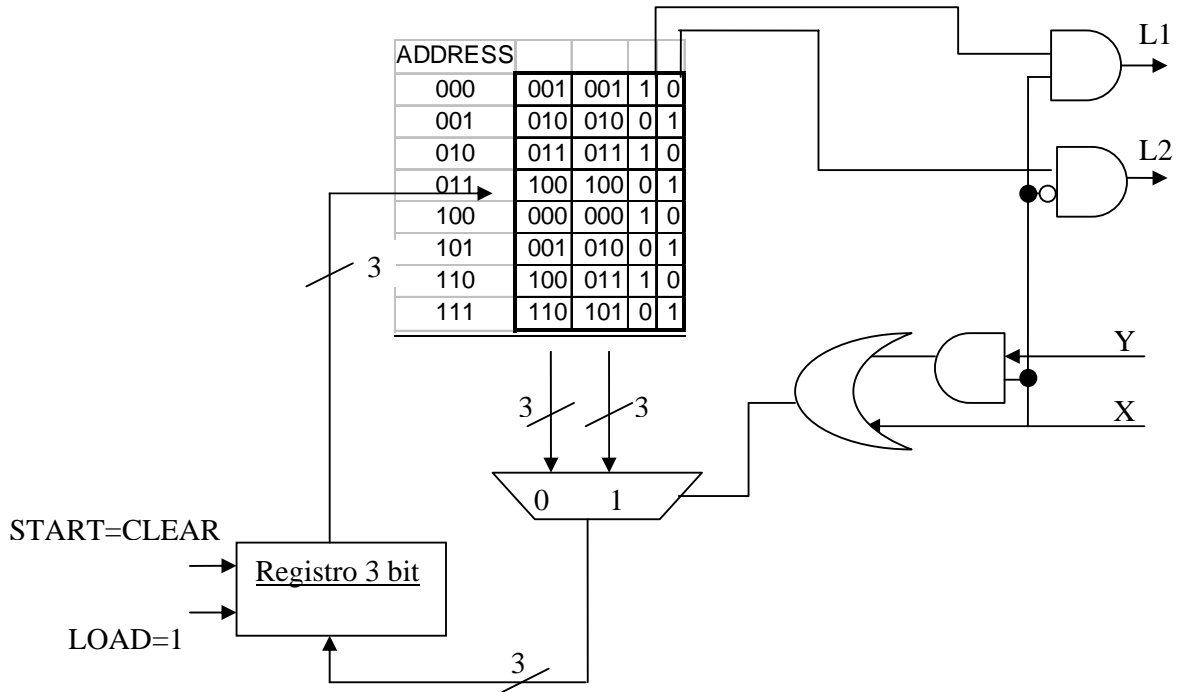
Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	1	0
1	0	1

Quesito D1

È data la architettura di una macchina sequenziale sincrona rappresentata in figura. Il contenuto del registro parallelo funge da indirizzo per una memoria ROM da 8 parole di un byte ciascuna. Il registro è sempre abilitato e carica un nuovo valore ad ogni intervallo. Gli ingressi del sistema sono costituiti da un segnale di START da un bit, collegato anche all'ingresso di Reset del registro, e da altri due segnali da 1 bit ciascuno (X,Y). Le uscite sono costituite da due segnali da 1 bit, indicati in figura con L1 e L2, che piloteranno delle luci.

Ricavare, spiegando il percorso di analisi seguito:

- I diagrammi degli stati della macchina, supponendo che alla partenza si attivi START, ovvero il registro sia azzerato
- Indicare se la macchina è di Mealy o di Moore
- Una descrizione del comportamento correlato con i valori di X e Y



Soluzione

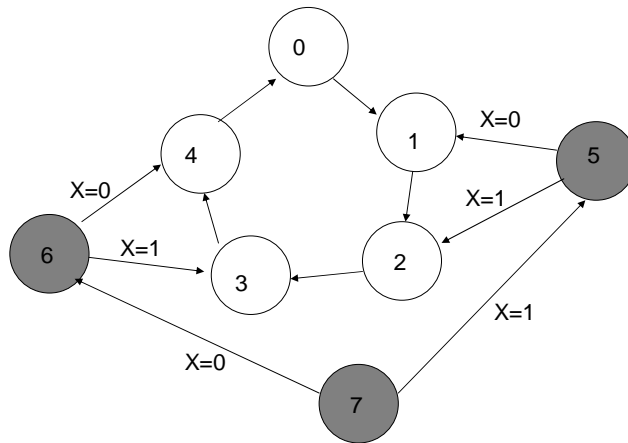
- La macchina è di Mealy, poichè le uscite L1 e L2 dipendono dagli ingressi e dallo stato
- Se $x=0$ lampeggia L2 ed L1 è spenta, se $X=1$ lampeggia L1 ed L2 è spenta.

Il diagramma degli stati è semplice: il pilotaggio del MUX dipende solo da x , poichè $xy+x=x$.

La macchina, dopo lo start, si trova nello stato 0. A partire da tale stato evolve in un loop composto da 5 stati (0,1,2,3,4), indipendentemente dal valore di x . Gli altri 3 stati (5,6,7) sono irraggiungibili a partire dallo stato iniziale e potrebbero quindi essere eliminati in base alle ipotesi adottate. E' da notare che, poichè nel ciclo di funzionamento di regime l'evoluzione dello stato non dipende da x , il MUX può essere eliminato, alimentando direttamente gli ingressi del Registro parallelo con soli 3 bit di uscita della ROM.

Diagramma degli stati: il ciclo di conteggio non dipende dalle variabili di ingresso; x determina solo la modalità con cui si converge verso il ciclo principale.

Nota: se si considerano solo le evoluzioni delle uscite L1 ed L2 per osservare il comportamento della macchina, allora il numero di stati (ciclo di conteggio) potrebbe ridursi a due.



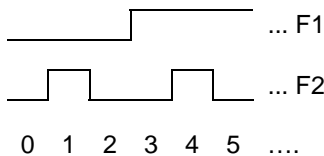
Quesito D2

Sia dato un contatore di tipo Johnson su tre variabili, che, come noto, ha il seguente ciclo di conteggio:

Variable Passo	A	B	C
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1

Si richiede:

- Il disegno dell'architettura del contatore Johnson.
- La realizzazione di un sistema sequenziale in grado di generare contemporaneamente le due seguenti forme d'onda periodiche, F1 e F2 (per entrambe è riportato un intero periodo di durata pari a 6 unità di tempo). Tale realizzazione dovrà fare uso obbligatoriamente delle uscite A,B,C del contatore e di sole porte logiche a 2 ingressi. Si riporti il disegno del circuito opportunamente commentato, opportunamente connesso a quello del contatore Johnson di cui al punto precedente.



Soluzione

- F1 coincide con la variabile C, per cui $F1=C$. Per quanto concerne F2, si può usare una mappa di Karnaugh che associa le variabili di uscita del contatore (cioè i passi) ai valori corrispondenti della forma d'onda.

	BC	00	01	11	10
A	0	0	5	4	X
1	1	1	X	3	2

	BC	00	01	11	10
A	0	0	0	1	X
1	1	1	X	0	0

Da cui $F2=A'B+AB'=A \oplus B$

Alternativamente, come noto, facendo uso di una porta AND a due ingressi è possibile identificare il passo in cui si trova il contatore. La generazione di F1 e F2 a partire da tali uscite delle porte AND viene fatta con un OR che raccoglie tutte le uscite corrispondenti a passi in cui le F sono a 1. Se il numero di ingressi della porta OR diviene superiore a due, si può usare un albero di OR. Il disegno dell'architettura è lasciato per esercizio al lettore.

Quesito D3

Una macchina è dotata di due ingressi da un bit, A e B, che **NON** possono essere mai contemporaneamente a 1 e di due uscite L1 e L2.

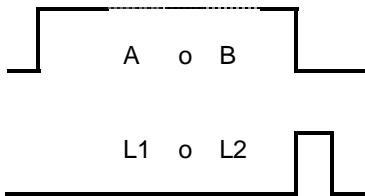
La macchina nello stato iniziale/reset ha entrambe le uscite $L1=L2=0=A=B$.

Quando l'ingresso A passa da 0 a 1 e, nel futuro, da 1 a 0, allora l'uscita L1 porta il proprio valore da 0 a 1, per un solo ciclo di clock.; il cambiamento di L1 avviene in corrispondenza del fronte di discesa di A.

Quando l'ingresso B passa da 0 a 1 e, nel futuro, da 1 a 0, allora l'uscita L2 porta il proprio valore da 0 a 1, per un solo ciclo di clock.; il cambiamento di L2 avviene in corrispondenza del fronte di discesa di B.

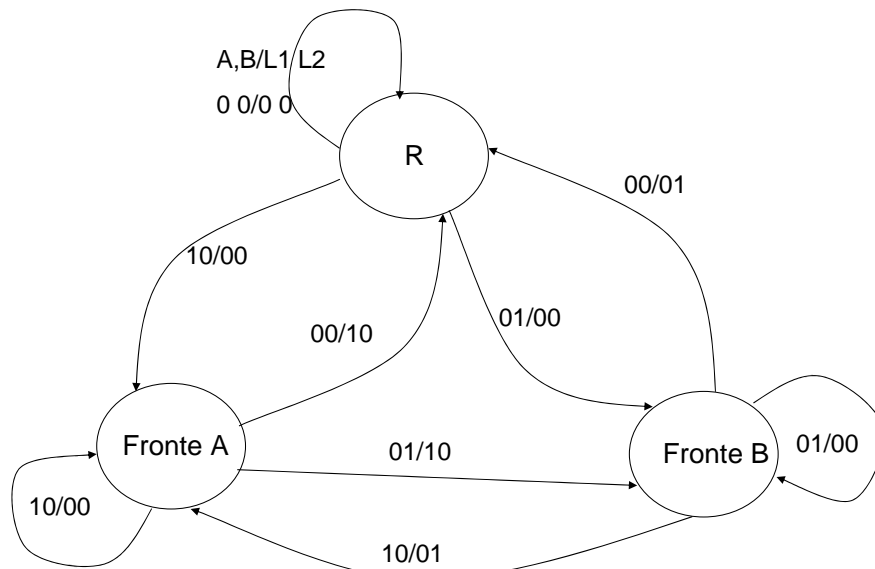
- Si disegni il diagramma degli stati, cercando di contenere il numero degli stati identificati
- Si specifichi, giustificando la risposta, se la macchina è completamente o non completamente specificata e se esistono stati irraggiungibili

Esempio



Soluzione

La macchina è **NON** completamente specificata, poichè non viene indicato il comportamento per $A=B=1$. La macchina minima di Mealy ha tre stati, tutti raggiungibili.



Quesito D4

La fase iniziale di un progetto ha portato alla seguente tabella degli stati:

St \ i	00	01	11	10
A	B, 0	C, -	-, -	D, 0
B	B, 0	-, -	E, 1	D, 0
C	F, 1	A, 0	B, -	E, 1
D	F, -	E, 1	-, -	A, 0
E	-, -	E, 1	E, 1	D, 0
F	-, -	B, 0	B, 0	-, -
G	H, 0	E, -	E, -	G, 1
H	H, 0	G, 1	G, 1	H, 1

- 1) Determinare la tabella degli stati di una macchina minima equivalente, sapendo che lo stato di Reset può essere scelto liberamente in funzione della minimizzazione dell'automa.
- 2) Disegnare il diagramma degli stati della macchina minima equivalente individuata al passo 1.
- 3) Esaminando i passi intermedi svolti al punto 1, discutere l'eventuale esistenza di più macchine minime equivalenti alla tabella assegnata. In caso di risposta positiva, riportare le classi corrispondenti alle diverse soluzioni.

Soluzione (traccia)

1. Ricerca di un automa minimo equivalente:

B	~						
C	X	X					
D	BF,CE	BF,AD	X				
E	CE	~	X	AD			
F	BC	X	AB	X	X		
G	X	X	X	X	X	BE	
H	X	X	X	X	X	X	EG
	A	B	C	D	E	F	G

Analizzando la tabella e propagando le incompatibilità risulta:

B	~						
C	X	X					
D	X	X	X				
E	X	~	X	X			
F	X	X	AB	X	X		
G	X	X	X	X	X	BE	
H	X	X	X	X	X	X	X
	A	B	C	D	E	F	G

Apparentemente le coppie di stati compatibili sono: AB, BE, CF, FG

Però, essendo gli stati G ed H non raggiungibili (non sono lo stato prossimo di altri stati), scegliendo opportunamente lo stato di Reset, possono essere eliminati. Sotto tale ipotesi le coppie di stati

compatibili rimangono AB, BE, CF. Sfruttare questa osservazione dall'inizio avrebbe consentito di ridurre la dimensione delle tabelle triangolari

L'analisi del diagramma di compatibilità evidenzia le seguenti classi massime di compatibilità:

$\{\alpha=\{AB\}, \beta=\{BE\}, \gamma=\{CF\}, D, G, H\}$.

L'automa costruito sulle classi massime $\{\alpha=\{AB\}, \beta=\{BE\}, \gamma=\{CF\}, D\}$ è minimo (tutte le classi sono necessarie per la copertura dell'automa iniziale).

La corrispondente tabella degli stati ridotta è:

Q\Q*/Z	00	01	11	10
α	$\alpha,0$	$\gamma,-$	$\beta,1$	$D,0$
β	$\beta,0$	$\beta,1$	$\beta,1$	$D,0$
γ	$\gamma,1$	$\alpha,0$	$\alpha,0$	$\beta,1$
D	$\gamma,-$	$\beta,1$	$-,-$	$\alpha,0$

2. (Completare il disegno del diagramma degli stati.) : è lasciato per esercizio.

3. L'esame del grafo di compatibilità evidenzia come la classe massima $\gamma=\{CF\}$ implichi la presenza tra le classi selezionate anche della coppia $\{AB\}$. Pertanto un altro automa minimo che soddisfa la chiusura è dato dalle classi $\{\alpha=\{AB\}, E, \gamma=\{CF\}, D\}$, mentre l'insieme di classi $\{A, \beta=\{BE\}, \gamma=\{CF\}, D\}$ non soddisferebbe la chiusura.



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2005-2006
prof. Stefano CASELLI
prof. William FORNACIARI

Prova di recupero del 22 dicembre 2005

Bozza soluzioni del 31.12.2005

Cognome (LEGGIBILE).....Nome (LEGGIBILE)
Matricola Firma
Corso di Laurea: <input type="checkbox"/> ing informatica; <input type="checkbox"/> telecom; <input type="checkbox"/> elettronica; <input type="checkbox"/> altro (specif)
<input type="checkbox"/> teledidattico
Professore di riferimento: <input type="checkbox"/> CASELLI; <input type="checkbox"/> FORNACIARI

Riportare i dati personali in modo che siano **LEGGIBILI**

R1	R2	R3	R4		TOT
8	8	8	9		33

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.

I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

Quesito R1

Data la funzione $f=ab'+bc'$, la si riporti su una mappa di Karnaugh indicando gli implicanti primi. Si svolgano poi i seguenti punti:

1. Si proceda alla espansione completa secondo il teorema di Shannon e si realizzi la espressione cosi' ottenuta mediante un albero di multiplexer a due ingressi.
2. Si sintetizzi la funzione assegnata mediante il minor numero di multiplexer a due ingressi di selezione
3. Si sintetizzi la funzione assegnata (minimizzata) mediante sole porte NAND.

Per ogni punto si riporti la rappresentazione circuitale.

Soluzione

BC	00	01	11	10
A				
0	0	0	0	1
1	1	1	0	1

3. Realizzazione minima con solo NAND: $F=ab'+bc'=((ab')'(bc'))'$

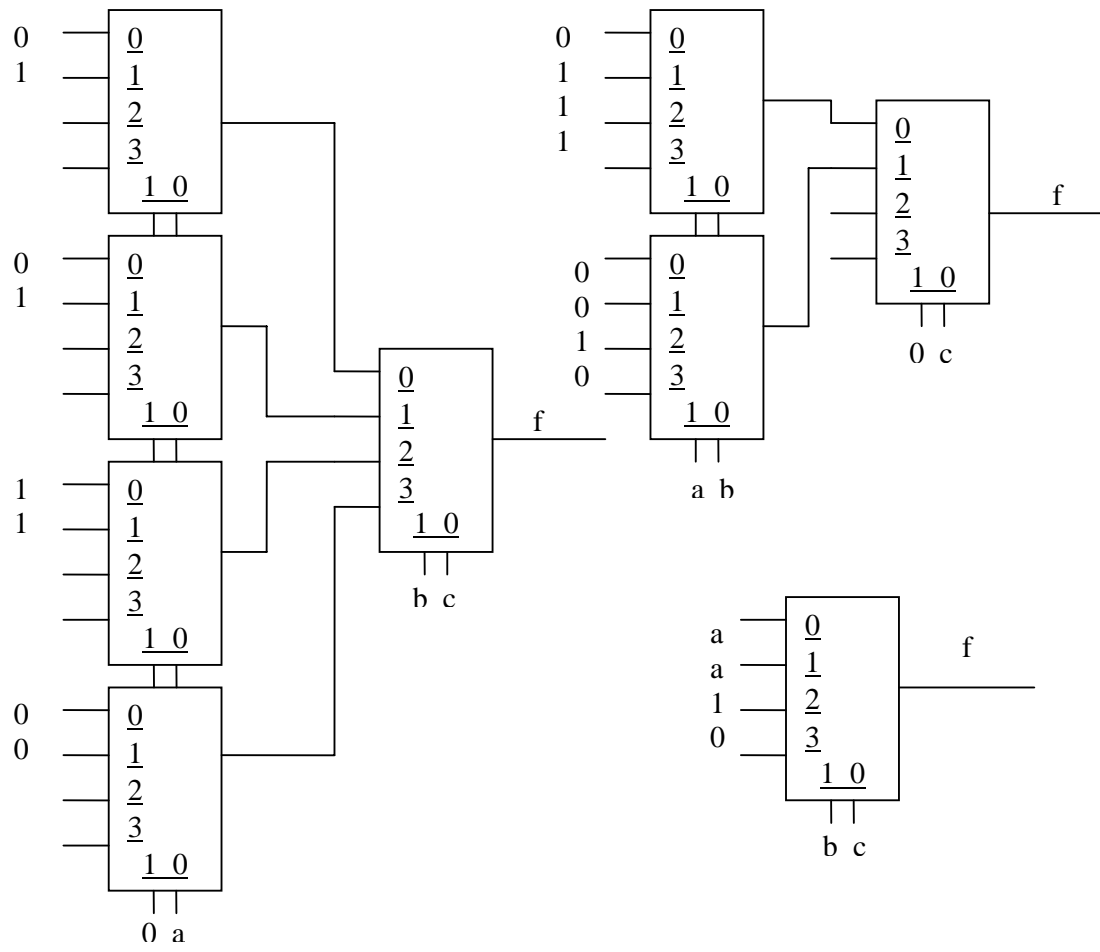
1. Espansione di Shannon

$$F=a'(0b'+bc')+a(1b'+bc')=...$$

Espandendo rispetto a tutte le variabili e semplificando si ottiene l'espressione generale SP di f, ovvero:

$$f(a,b,c)=\sum_{(i=0,i=2n-1)} m(i) f(i) = a'b'c' 0+a'b'c 0+a'bc' 1+a'bc 0+ab'c' 1+ab'c 1+abc' 1+abc 0$$

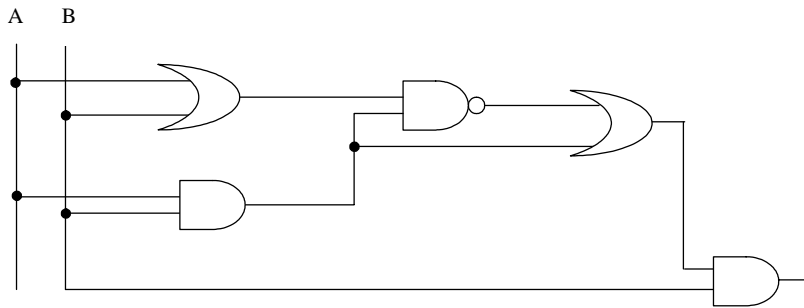
A parte la realizzazione canonica, esistono altre configurazioni di MUX in grado di sintetizzare la stessa funziona con costi inferiori, come riportato in figura.



Quesito R2

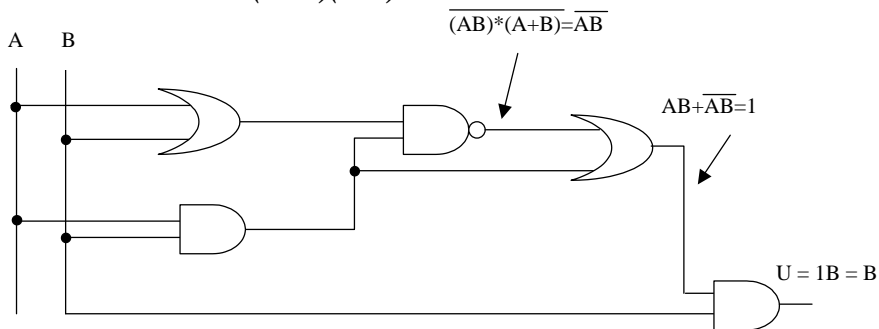
Data la rete logica di figura, dotata di due ingressi (A, B) e una uscita (Z), ricavare:

1. La **tabella** di verità
2. La rappresentazione in **prima** forma normale
3. La rappresentazione in **seconda** forma normale



Soluzione

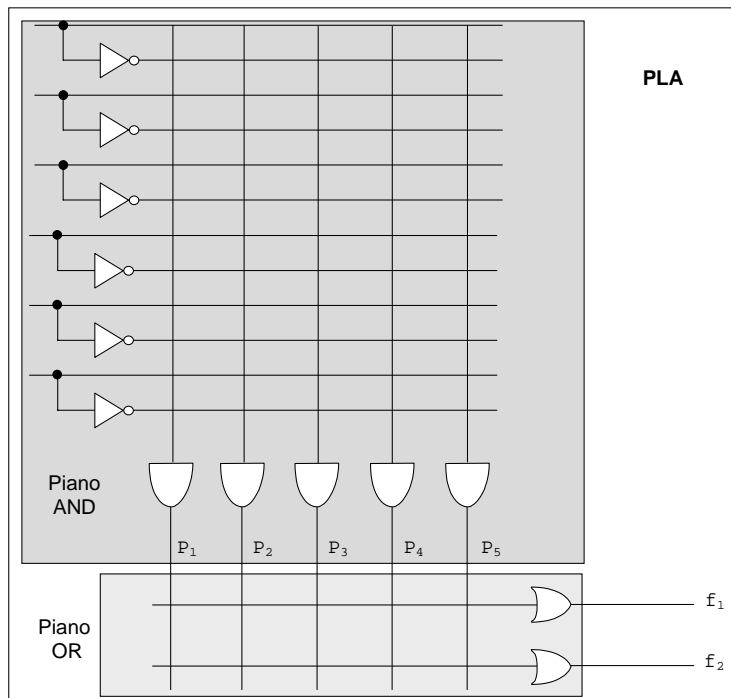
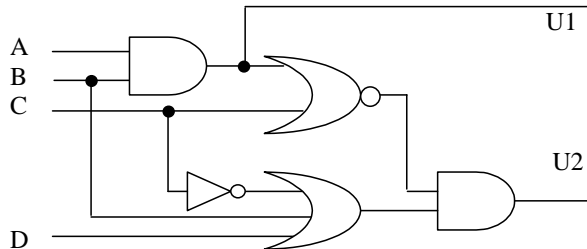
$$1FN = a'b + ab \quad 2FN = (a'+b)(a+b)$$



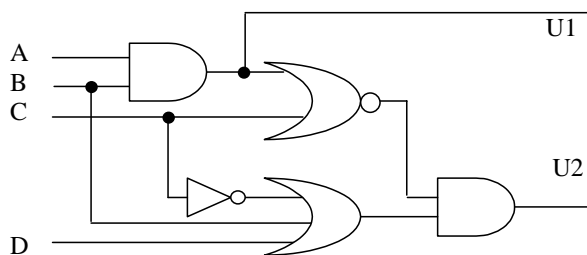
Quesito R3

Data la seguente rete logica multilivello a due uscite, trovarne una rappresentazione equivalente adatta alla realizzazione mediante la PLA sottoriportata (priva di linee di retroazione).

Riportare inoltre la programmazione della PLA, evidenziando i mintermini selezionati tramite delle "x", gli ingressi e le uscite con le stesse lettere usate nella rete logica.



Soluzione



AB \ CB	00	01	11	10
00	1	1		1
01	1	1		1
11				
10				

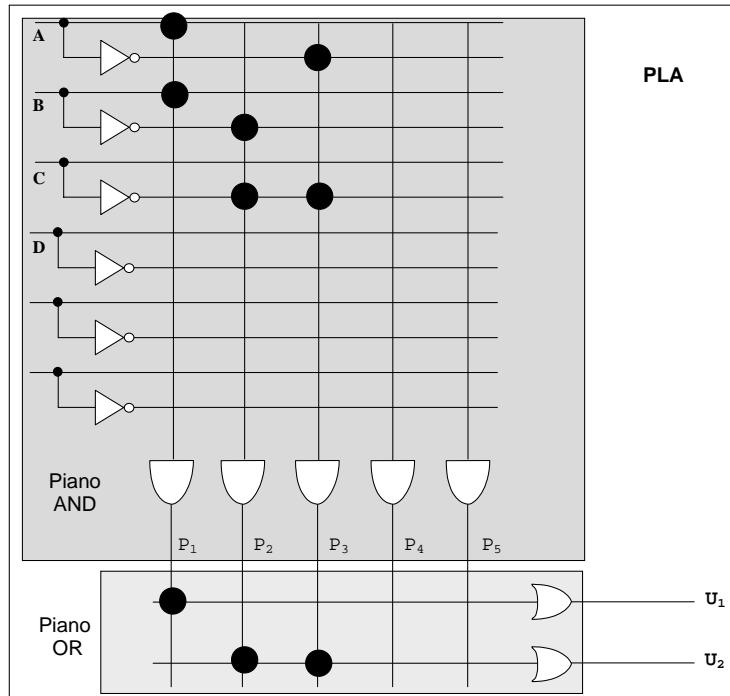
Mappa Karnaugh di U2
 $U2 = a'c' + b'c'$

Soluzione: Ci si deve riportare ad una forma "somma di termini prodotto". Dal circuito si ricava:

$U_1 = AB$ che può essere mappata direttamente e $U_2 = (ab+c)'(d+b+c')$ che deve essere trasformata. Si può procedere semplicemente usando una mappa Karnaugh oppure mediante tecniche di manipolazione algebrica. Per es.

$$U_2 = (ab+c)'(d+b+c') = (ab)'c'(d+b+c') = (a'+b')c'(d+b+c') = (a'+b')c'(1+b+d) = a'c' + b'c'$$

Che coincide con la forma minima $U_2 = a'c' + b'c'$, da cui le connessioni riportate in figura. Sono possibili anche altre soluzioni, per esempio con implicanti non primi ottenuti dalla prima forma normale, meno ottimizzate anche se funzionalmente corrette.



Quesito R4

La funzione di 4 variabili $F(A,B,C,D)$, assegnata mediante la seguente mappa di Karnaugh, ammette una scomposizione semplice disgiuntiva. Individuare la scomposizione ed effettuare la sintesi delle funzioni associate. Realizzare quindi il circuito utilizzando esclusivamente porte logiche NOR con fan-in massimo pari a 3, disegnandone anche lo schema.

$AB \quad CD$	00	01	11	10
00	1	0	-	1
01	1	1	1	-
11	0	0	1	1
10	0	1	0	-

Soluzione

Permutando le variabili, si ottiene la seguente mappa per F :

$AC \quad BD$	00	01	11	10
00	1	0	1	1
01	1	-	1	-
11	-	0	1	1
10	0	1	0	0

Fissando opportunamente le condizioni di indifferenza:

$AC \quad BD$	00	01	11	10
00	1	0	1	1
01	1	1 opp. 0	1	1
11	1	0	1	1
10	0	1	0	0

La molteplicità di colonna è comunque 2 con entrambe le alternative. Possiamo pertanto prendere:

$Y = \{B, D\}$ insieme di variabili vincolate,

$X = \{A, C\}$ insieme di variabili libere.

Espressioni: sulla riga $AC=00$ si ha: $h = B + D' = (B \downarrow D)'$

Si ottiene quindi:

$AC \quad h$	0	1
00	0	1
01	1	1
11	0	1
10	1	0

$$F = (A + C + h)(A' + C' + h)(A' + C + h) = (A \downarrow C \downarrow h) \downarrow (A' \downarrow C' \downarrow h) \downarrow (A' \downarrow C \downarrow h)$$

