



**UNIVERSITÀ DEGLI STUDI DI PARMA
FACOLTÀ DI INGEGNERIA**

Corso di Reti Logiche A

anno accademico 2006-2007
prof. Stefano CASELLI
prof. William FORNACIARI

Prova di recupero del 21 dicembre 2006

Bozza soluzioni del 18.12.2006

Cognome (LEGGIBILE)Nome (LEGGIBILE)

Matricola Firma

Corso di Laurea: ing informatica; telecom; elettronica; altro

(specif) teledidattico

Professore di riferimento: CASELLI; FORNACIARI

Riportare i dati personali in modo che siano **LEGGIBILI**

R1	R2	R3			TOT
13	13	7			33

NOTE PER LO SVOLGIMENTO

Si raccomanda di essere sintetici (al fine di evitare inutili perdite di tempo in trattazioni generiche e poco significative ai fini della valutazione finale) e ordinati allo scopo di migliorare l'interpretazione da parte dei correttori.

I temi proposti debbono essere risolti utilizzando unicamente lo spazio lasciato al termine del testo di ogni quesito, il retro delle pagine o, eventualmente, utilizzando lo spazio finale. Verranno corretti SOLO i fogli componenti il tema d'esame.

È vietato consultare testi o appunti di qualunque genere così come interagire con i vicini. Chiunque sia trovato in possesso di materiale relativo al corso, anche se non strettamente attinente al tema d'esame, vedrà annullata la prova.

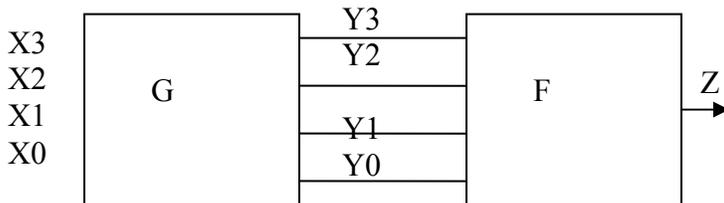
Quesito R1

Si deve progettare un sistema composto da due blocchi funzionali G(X) e F(Y). Il primo blocco effettua la seguente trasformazione sul numero in binario naturale in ingresso:

$$Y=G(X)= \lfloor X/2 - 3 \rfloor \quad \text{dove la divisione è quella intera.}$$

Per esempio, se $X=3$, allora $X/2=1$ da cui $\lfloor 1-3 \rfloor = -2$ ovvero $Y=(y_3,y_2,y_1,y_0)=(0010)$

Il secondo blocco, F(Y), assume il valore 1 nei casi in cui in ingresso vi siano esattamente due bit a "1", altrimenti l'uscita vale 0.



1. Si progetti la rete combinatoria della funzione F, facendo uso delle mappe di Karnaugh per la sua **minimizzazione** e sfruttando eventuali condizioni di **indifferenza**.
2. Si ricavi l'espressione algebrica che lega l'uscita agli ingressi, ovvero $z=H(X)=F(G(X))$ in **prima forma normale** e la si utilizzi per realizzare la funzione H complessiva tramite **multiplexer** con 4 ingressi di selezione (**16 vie**).

Soluzione

In	X3	X2	X1	X0	Out	Y3	Y2	Y1	Y0	Z
0	0	0	0	0	3	0	0	1	1	1
1	0	0	0	1	3	0	0	1	1	1
2	0	0	1	0	2	0	0	1	0	0
3	0	0	1	1	2	0	0	1	0	0
4	0	1	0	0	1	0	0	0	1	0
5	0	1	0	1	1	0	0	0	1	0
6	0	1	1	0	0	0	0	0	0	0
7	0	1	1	1	0	0	0	0	0	0
8	1	0	0	0	1	0	0	0	1	0
9	1	0	0	1	1	0	0	0	1	0
10	1	0	1	0	2	0	0	1	0	0
11	1	0	1	1	2	0	0	1	0	0
12	1	1	0	0	3	0	0	1	1	1
13	1	1	0	1	3	0	0	1	1	1
14	1	1	1	0	4	0	1	0	0	0
15	1	1	1	1	4	0	1	0	0	0

Non tutti i valori di Y si possono presentare all'ingresso di F, ovvero i valori di Y da 5 a 15 possono essere considerati come condizioni di indifferenza ai fini della sintesi di F.

	Y3	Y2	Y1	Y0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	X
6	0	1	1	0	X
7	0	1	1	1	X
8	1	0	0	0	X
9	1	0	0	1	X
10	1	0	1	0	X
11	1	0	1	1	X
12	1	1	0	0	X
13	1	1	0	1	X
14	1	1	1	0	X
15	1	1	1	1	X

Y1y0				
Y3y2	00	01	11	10
00	0	0	1	0
01	0	x	x	x
11	x	x	x	X
10	x	x	x	X

Da cui $F=y_1y_0$

Prima forma normale: $H(x)= x_3'x_2'x_1'x_0' + x_3'x_2'x_1'x_0 + x_3x_2x_1'x_0'+x_3x_2x_1'x_0$

Espressione generale PS per sintesi con MUX:

$H(x)= x_3'x_2'x_1'x_0' * 1 + x_3'x_2'x_1'x_0 * 1 + x_3'x_2'x_1x_0' * 0 + x_3'x_2'x_1x_0 * 0 + \dots$

Sintesi con MUX: i 4 bit della variabile X sono usati come ingressi di selezione, i valori della Z sono programmati sugli ingressi dati.

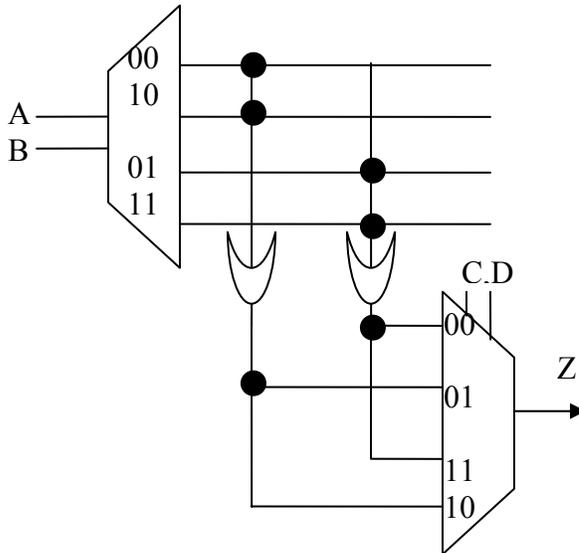
Sintesi ottima a 2 livelli di H:

X1x0				
X3x2	00	01	11	10
00	1	1		
01				
11	1	1		
10				

$H=x_3'x_2'x_1'+x_3x_2x_1'$

Quesito R2

Sia dato il seguente circuito combinatorio, che realizza una funzione di 4 variabili booleane $Z=f(a,b,c,d)$ facendo uso di un decoder, un mux e due porte logiche OR a due ingressi



Supponendo che la configurazione **CD=11 non si possa verificare**:

- Progettare, riportando tutti i passaggi e le ipotesi fatte, un circuito equivalente facendo uso del minimo numero di porte logiche NOR a due ingressi.
- Progettare, riportando tutti i passaggi e le ipotesi fatte, un circuito equivalente facendo una sintesi del tipo somma di prodotti, priva di alee statiche (si motivi la risposta).
- Si disegnino i circuiti di cui ai due punti precedenti.
- Si confronti il costo dei due circuiti precedenti secondo due criteri alternativi:
 - Numero di letterali
 - Numero di circuiti integrati, supponendo che vi siano **integrati con solo un tipo di porta logica, con al massimo due porte logiche per integrato** e che tutti gli integrati abbiano lo stesso costo. (In alternativa è possibile fornire i costi in termini di componenti SSI).

Soluzione

L'ipotesi di che $CD=11$ sia vietata comporta le condizioni di indifferenza sulla mappa:

ab	00	01	11	10
cd		1	1	
00		1	1	
01	1			1
11	x	x	x	x
10	1			1

ab	00	01	11	10
cd		1	1	
00		1	1	
01	1			1
11	x	x	x	x
10	1			1

Z

$Z_{min}=bc'd+db'+cb'$; è già priva di alee statiche, in quanto non esistono 1 adiacenti non coperti dallo stesso implicante.

Costo: letterali=3+2+2=7, integrati 3 (1 per 1 OR, due per i 3 AND)

Con il vincolo di utilizzare sole porte a due ingressi la rete diventa multilivello.
 Attenzione a seconda dell'anno di corso e del docente i metodi di analisi dei costi potrebbero essere variati ma comunque validi se motivati

$$Z = bc'd' + db' + cb' = ((bc'd') + (db' + cb'))$$

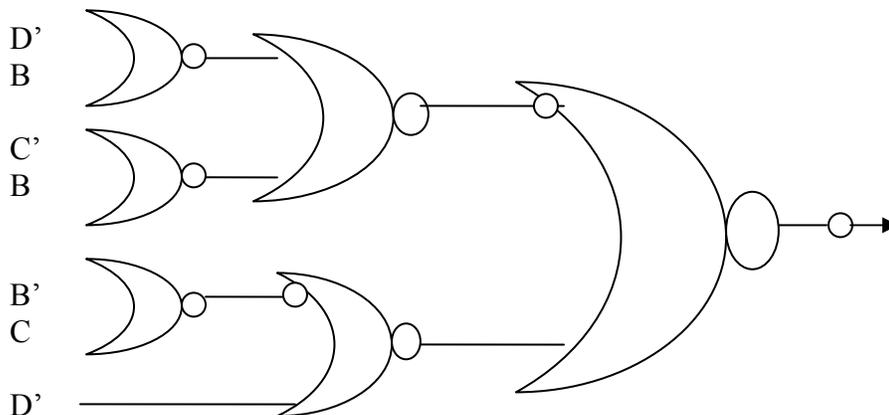
Con $F = bc'$ costo 2, con $G = db' + cb'$ costo 4

$$Z = F * d' + G$$

Costo di $Z = 3 + \text{costo } F \text{ e } G = 3 + 2 + 4 = 9$

Con soli NOR a due ingressi gli integrati sono 3. La rete è comunque più lenta essendo a tre livelli.

$$Z = bc'd' + db' + cb' = ((bc'd') + (db' + cb')) = (((bc'd') + (db' + cb')))' \dots$$



Quesito R3

Descrivere e confrontare le caratteristiche dei sommatore ripple carry e carry look ahead.

Soluzione

Vedi testi e appunti