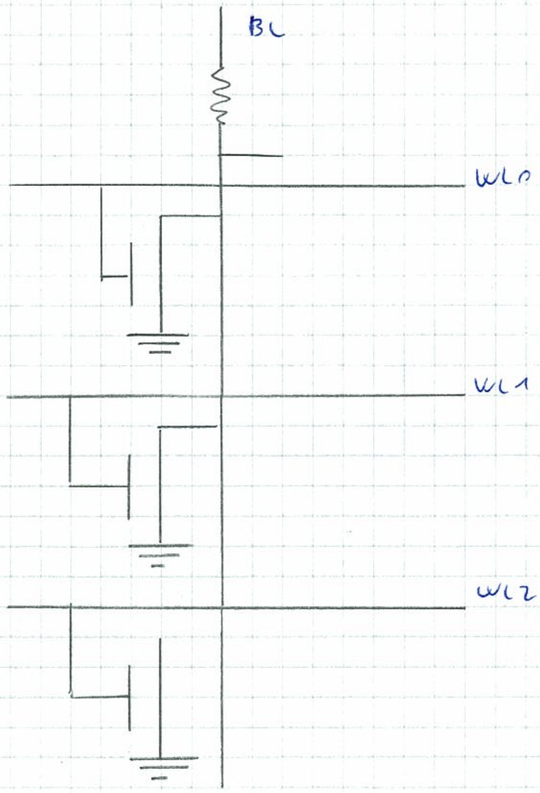
ROM Mask Programmable



mettiamo il MOS → memorizzo 0
non " " " → " 1

Mettere o non mettere un MOS significa cambiare tutte le maschere del processo produttivo. È molto costoso. Si preferisce intervenire solo sul livello di metallizzazione: i MOS vengono fatti tutti, ma si connettono S e D solo dove voglio memorizzare lo zero.
Quindi cambio solo l'ultima maschera delle metallizzazioni.
Quindi l'utilizzatore deve dire alla foundry dove vuole gli 0 e gli 1 e la foundry farà una maschera apposita. Quindi c'è una base comune per tutti gli utilizzatori + una maschera apposita.
Questo metodo è conveniente solo se si devono produrre molti pezzi (per ammortizzare i costi).

Programmable ROM

Field Programmable ROM

In altri casi si preferisce sia l'utente a poter programmare la ROM. Si usano dei fusibili.

La pista ha un punto in cui è più stretta. A parità di corrente qui la densità di corrente è più elevata. Per effetto Joule si scalda di più. Con opportune correnti posso bruciare il fusibile.
Dove voglio un 1 metto un fusibile.
Temperatura raggiunta $\propto$ potenza dissipata $\propto$ resistenza (più alta nella strettoia)

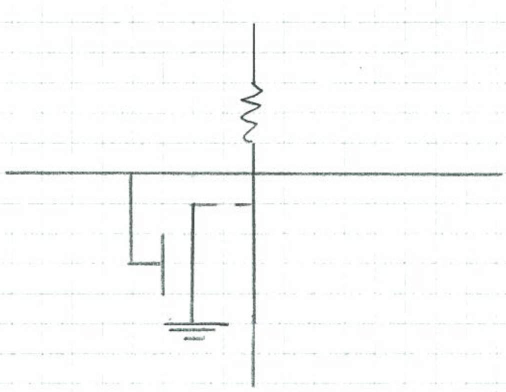
$\Downarrow$

Se supero la temperatura di fusione interrompo il contatto.

Problemi: devo agire cella per cella $\Rightarrow$ operazione lunga.

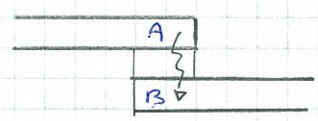
Lascio fusibile $\rightarrow$ 0
Brucio " $\rightarrow$ 1

Inoltre ~~dev~~ quando ho programmato la ROM non posso più riprogrammarla (a meno che non voglia inserire altri 1).
In più le celle dove ho lasciato il fusibile presentano delle resistenze parassite piuttosto elevate, perché la strettoia è di fatto una resistenza.
Inoltre devo poter inserire correnti elevate.



Qui ho un impatto sui consumi.

Un'altra soluzione è usare ANTIFUSIBILI.
Metto due strati di metallo parzialmente sovrapposti e separati da dielettrico. Con opportune tensioni posso rompere il dielettrico e creare un cortocircuito.
Svantaggio di questa soluzione: quando l'antifusibile viene lasciato intatto ho delle capacità parassite (impatto sui ritardi).



Finora abbiamo visto ROM NOR BASED

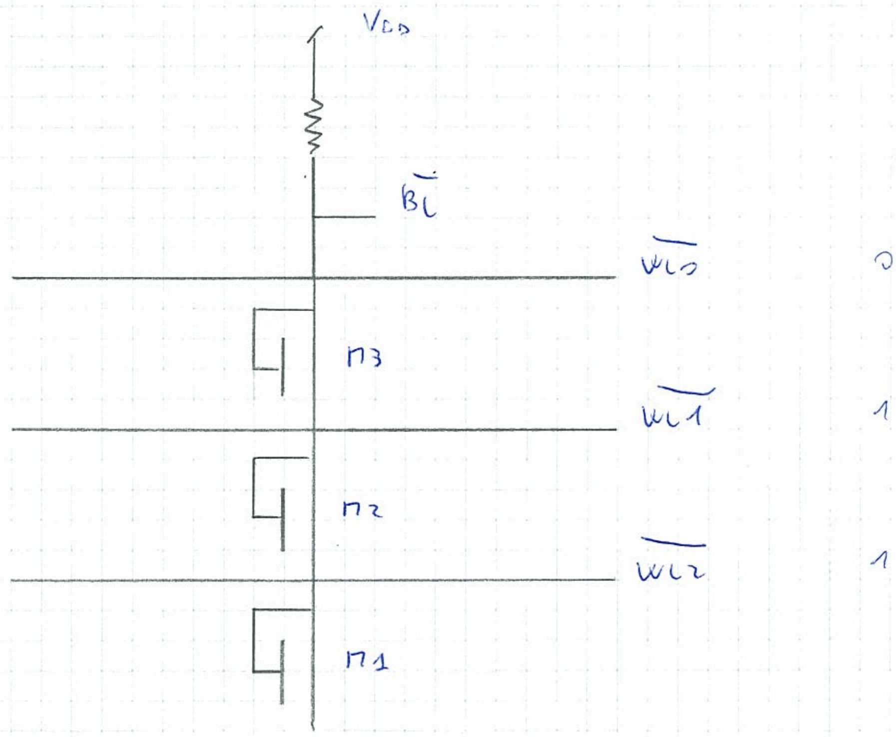
$$BL = \overline{WL0 + WL1}$$

$$\overline{BL} = \overline{\overline{WL0 + WL1}} = \overline{WL0} \cdot \overline{WL1} \qquad \text{NAND BASED}$$

Quindi posso pensare a ROM NAND BASED.

ROM NAND BASED

In questo caso metto in serie i MOS (non più in parallelo).



$WL0 = 1$ $\qquad \overline{WL0} = 0 \quad \Rightarrow \quad \overline{BL} = 1 \qquad BL = 0$

$WL1 = 0$ $\qquad \overline{WL1} = 1$

$WL2 = 0$ $\qquad \overline{WL2} = 1$

Vantaggi di questa soluzione: non ho più tanti collegamenti di massa. Quindi occupo meno spazio: ho una memoria più piccola.
Svantaggi: il PU è formato da tanti mos in serie, quindi quando ho tutti i mos accesi il β del mos equivalente è più piccolo del più piccolo ⇒ piloto correnti più piccole ⇒ la memoria è più piccola.

Come funziona questa memoria?
La WL è selezionata quando è a 1, ma se lavoro con una soluzione a NAND devo pilotare con le WL negate. Quindi se voglio selezionare la cella indirizzata da WL0 devo mettere $WL0 = 1$ e le altre a 1, quindi $\overline{WL0} = 0$ e le altre sono a 1.
Se sto ragionando con dispositivi enhancement

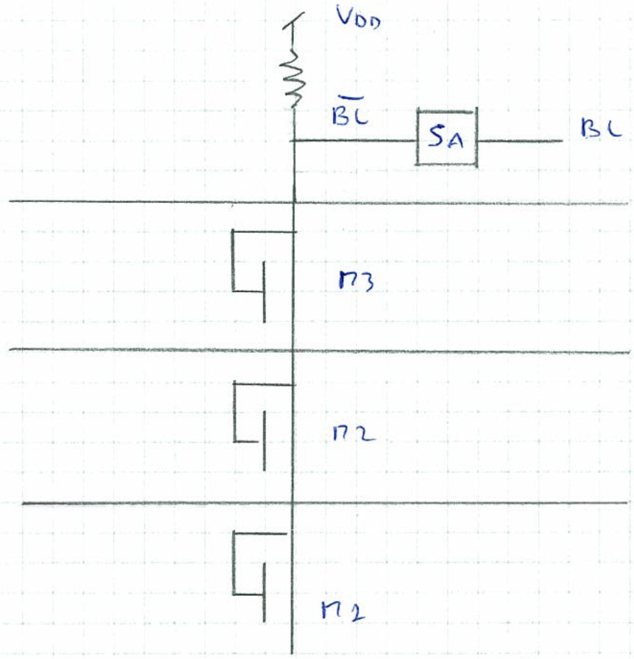
$$\left.\begin{array}{ll} M3\ (V_T > 0) & \text{OFF} \\ M1, M2\ (V_T > 0) & \text{ON} \end{array}\right\} \text{PD} \quad \text{OFF} \qquad \overline{BL} = 1 \qquad BL = 0$$

Qui non posso più ragionare con fusibili e antifusibili, perché se tolgo un contatto vincolo tutta la colonna. Quindi se voglio

$BL = 1 \quad \Rightarrow \quad \overline{BL} = 0$

$M1, M2, M3$ ON anche se $\overline{WL0} = 0$ e $\overline{WL1}, \overline{WL2} = 1$

Devo usare un dispositivo che porti M3 a una tensione di soglia negativa ⇒ il dispositivo a svuotamento (depletion).
Allora non posso più lavorare su fusibili o antifusibili, ma sul cambiamento della tensione di soglia.
Devo agire sul drogaggio. Devo fare in modo che ci sia il canale formato anche se non ci sono tensioni di soglia applicate.

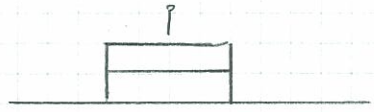


Qui non posso più lavorare sulla maschera delle metallizzazioni: devo cambiare tutto il processo produttivo => costi elevati.

Ma posso lavorare con le tensioni di soglia anche con le memorie NAND based. Se poi riesco a creare un processo reversibile posso creare una memoria riscrivibile.
Noi finora abbiamo usato dispositivi MOS supponendo che la carica nell'ossido fosse nulla. Se invece ci fosse una carica nell'ossido, come influenzerebbe la tensione di soglia?

$$Q_M + Q_{ox} + Q_S = 0$$

Q_M = carica nel metallo
Q_{OX} = " " ossido
Q_S = " di superficie che induco col gate (nel canale).



La tensione di soglia è quella che devo applicare per andare in forte inversione. Questa è la condizione di accensione del MOS.

$$Q_M = -(Q_{ox} + Q_S)$$

Supponiamo che nell'ossido ci sia una carica negativa. Per avere la stessa Q_S devo avere una Q_n maggiore => devo aumentare la tensione di gate.

$Q_{ox} < 0$

Fin'ora avevamo

$Q_n = -Q_S$

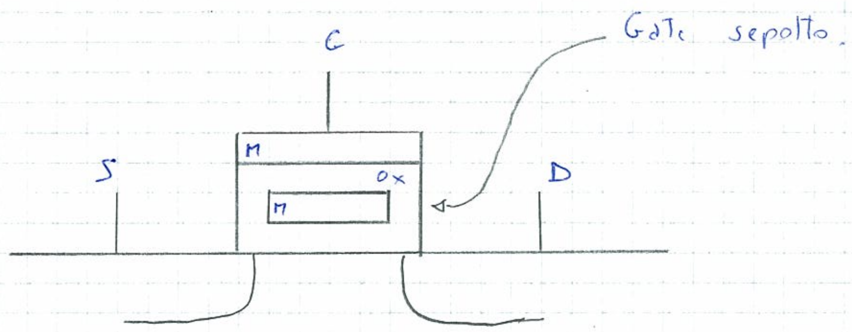
Ora

$Q_n = -(Q_{ox} + Q_S)$

$Q_{ox} < 0$ => Q_n deve essere più grande => sto alzando la tensione di soglia.

Quindi se riesco a controllare la quantità di carica che metto nell'ossido posso controllare la tensione di soglia. Quindi posso fare dei dispositivi spenti quando sul gate si trova una tensione VDD. Questo, se tagliamo con una memoria ROM basata può essere molto comodo. Se faccio in modo che MOS OFF quando WL = 1 allora BL = 1.

Quindi voglio inserire carica nell'ossido in modo controllato. Come fare? Posso sfruttare fenomeni della meccanica quantistica.
Ragioniamo con un dispositivo MOS in cui ho, immerso nell'ossido, uno strato di metallo. Si dicono DISPOSITIVI A DOPPIO GATE. Se riesco a mettere carica negativa in modo controllato in questo "GATE SEPOLTO" riesco a controllare la tensione di soglia.



Di solito abbiamo detto che l'ossido era una barriera per cui gli elettroni non possono passare. Ma se gli elettroni si spostano in verticale e hanno sufficiente energia (e lo strato di ossido è basso) possono passare.
Se una carica si muove nel moto è soggetta a una forza

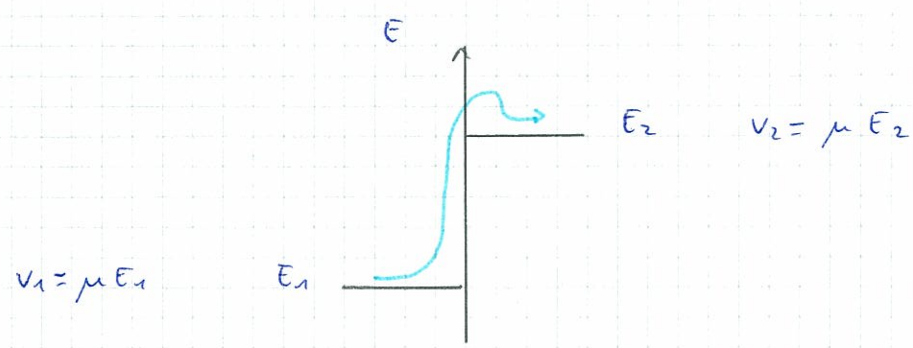
$$\bar{F} = q \cdot \bar{E}$$

$$\bar{F} = m \cdot \bar{a}$$

Se la carica si muove nel vuoto sarà sottoposta a un moto uniformemente accelerato (la velocità tende a crescere). Se però l'elettrone si muove nel semiconduttore non è sottoposto ad accelerazione costante, perché è sottoposto ad urti che lo deviano e gli fanno perdere energia. La velocità dell'e^- è costante ed è uguale a

$$v = \mu \cdot \bar{E} \qquad (\mu = \text{mobilità})$$

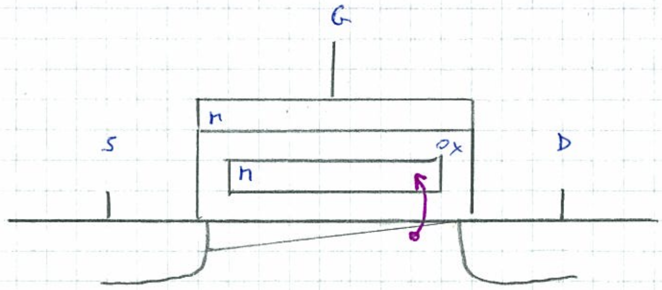
In condizioni di equilibrio la v è costante e proporzionale ad $\bar{E}$.
Supponiamo che l'elettrone sia sottoposto ad una brusca variazione del campo elettrico.



EFFETTO TUNNEL

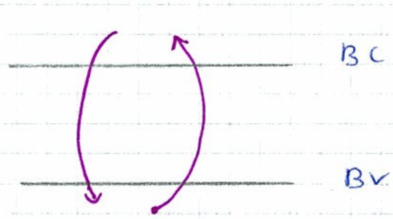
In condizioni di equilibrio l'e^- sottoposto a E_1 avrà velocità $v_1 = \mu E_1$. All'equilibrio nella regione $E = E_1$ avrà velocità $v_2 = \mu E_2$. Ma nel mezzo avremo una forte accelerazione.
La velocità v inizialmente tenderà ad essere alta, poi si assesterà su v_2. Questo si chiama OVERSHOOT IN VELOCITÀ.
Siccome $v \propto$ energia l'elettrone avrà una grande energia, quindi sarà potenzialmente in grado di superare la barriera di potenziale dell'ossido.
Questi elettroni sono detti "elettroni caldi" (perché energia $\propto$ temperatura).
Un elettrone caldo con direzione di moto verticale può superare la barriera di potenziale e saltare nel metallo, dove rimane intrappolato.

Ma voglio una certa quantità di elettroni caldi (anche perché non tutti avranno direzione verticale, è una condizione probabilistica).

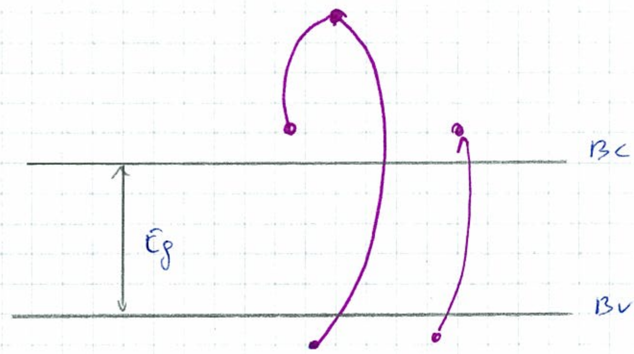


NOTA: perché il cambiamento di campo elettrico deve essere brusco? Perché altrimenti avrebbe tempo di assestarsi => non avrei l'overshoot in velocità.
Voglio un gradiente del campo elettrico elevato. Come lo ottengo?
Quando il MOS è SAT il canale è strozzato. La corrente è comunque costante grazie alla presenza di un campo elettrico infinito. Gli elettroni che arrivano alla strozzatura trovano un forte campo elettrico e saltano.
Quindi posso usare questo per creare elettroni caldi.
Stiamo sfruttando qualcosa che nel MOS tradizionale è negativo: anche nel MOS tradizionale lavorando in SAT creo elettroni caldi che possono saltare nell'ossido rimanendo bloccati => il dispositivo invecchia.

L'elevato campo elettrico lo creo in questo modo. Quindi gli elettroni caldi non vengono prodotti in tutto il gate, ma solo vicino al drain.
Ma mi servono tanti elettroni caldi. Come faccio a crearli?



Un e^- può saltare dalla banda di valenza a quella di conduzione, urtare con altri, perdere energia e tornare giù. Ma se l'e^- ha acquisito tanta energia anche perdendone tanta rimane in BC.



E_g = energy gap.

Si parla di generazione a valanga di elettroni di conduzione
l'elettrone che effettua il salto può cedere energia a un altro
elettrone della BV che salta in BC.
Se a un e⁻ in BV fornisco una energia almeno 2 volte maggiore
all'energy gap, questo e⁻ urtando un altro e⁻ cede energia e fa
saltare un altro e⁻ da BV a BC, ma ha comunque abbastanza energia
per rimanere BC. Quindi ho 2 e⁻, entrambi soggetti a una forte
~~accelera~~ accelerazione prodotta dal campo elettrico ⇒ generano altri elettroni.
Quindi per mettere e⁻ nel gate sepolto devo innescare un meccanismo
di generazione di elettroni caldi a valanga ⇒ mi serve una tensione
di gate molto alta.

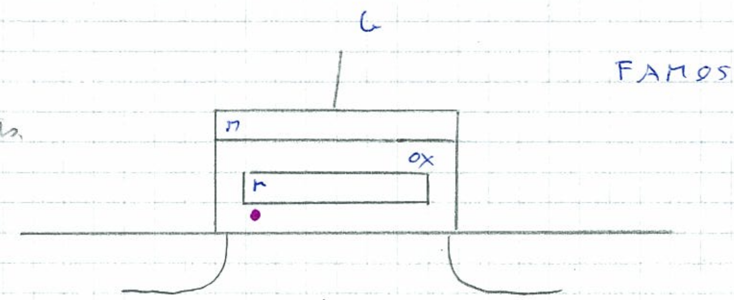
Se porto la tensione di soglia sopra a V_{DD} il dispositivo è spento
anche quando $V_G = V_{DD}$.
Attenzione: la tensione di programmazione della cella è molto maggiore
della tensione di lettura: sono diverse! Anzi, in fase di lettura non
voglio elettroni caldi.

Da cosa dipende la quantità di carica che sto mettendo nel gate
sepolto? Se ragiono a parità di corrente (e⁻ che saltano)
allora dipende dal tempo. Teniamo però presente che mano a mano
che metto e⁻ nel gate sepolto la tensione di soglia si alza,
quindi il mio dispositivo tende a spegnersi; quindi tengo a
diminuire il numero di elettroni caldi che genera. Quindi il
meccanismo si autoregola: anche se tengo $V_{GS} = V_{prog}$ non continuo
a mettere all'infinito e⁻ nel gate sepolto: a un certo punto il dispositivo si
spegne.
Si parla di EFFETTO TUNNEL

EPROM

Questo dispositivo a doppio gate e' quello che si usa nelle memorie EPROM (Electricall Programmable ROM).
Posso cancellarle? E' difficile. Quando ho elettroni nel gate sepolto non riesco più a creare un campo elettrico per riportare giù gli elettroni. Non posso più cancellare la memoria elettricamente.
Posso però fornire energia in altro modo: fornendo energia luminosa posso fornire energia agli elettroni nel gate sepolto e farli tornare giù. Ormai non si usano quasi più.
Tutta la memoria viene cancellata (non posso cancellare solo una cella). La cancellazione e' fatta off-line: tolgo il chip dalla board, lo inserisco nel dispositivo che lo cancella e poi lo rimonto.
Bisogna poi tenere conto che mentre cancello qualche elettrone si ferma nell'ossido e da lì non riesco più a toglierlo => il dispositivo si degrada.

Dopo un pò continuo a variare V_T => diventa $V_T > V_{DD}$ => non controllo più il dispositivo.



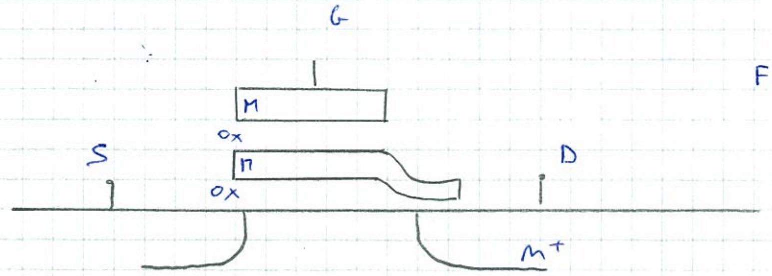
Potevo cancellare queste memorie solo una decina di volte (mentre le potevo leggere quanto volevo). Si parla di dispositivi FAMOS = Floating gate Avalanche injected MOS.
Inoltre i tempi di lettura e scrittura erano decisamente diversi.

lettura → ragionevolmente veloci
scrittura → lenti.

L'obbiettivo è arrivare a dispositivi anche cancellabili elettricamente.
Invece di lavorare sull'energia cinetica si lavora sull'energia potenziale.

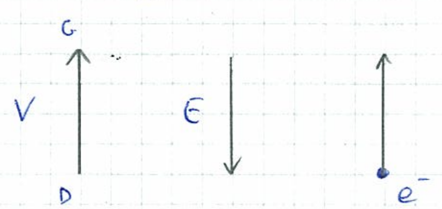
EFFETTO
FOWLER
NORDHEIM
↑
basato su diff. di pot.

FLOTOX



Il gate sepolto è fatto in modo da avvicinarsi molto al drain in modo che lo strato di ossido sottostante sia molto piccolo.

$V_{GD} > 0$

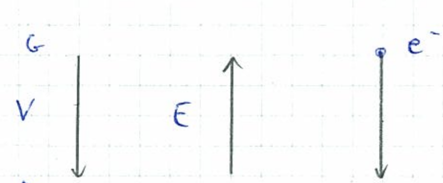


Perché il gate è fatto così? Il drain è drogato n^+ : è un serbatoio di elettroni.

Ma il processo è reversibile

$V_{GD} < 0$

10 - 12 V programm. / canc.
5 - 6 V lettura / scrittura



FLOTOX
FLOating gate Thin OXide

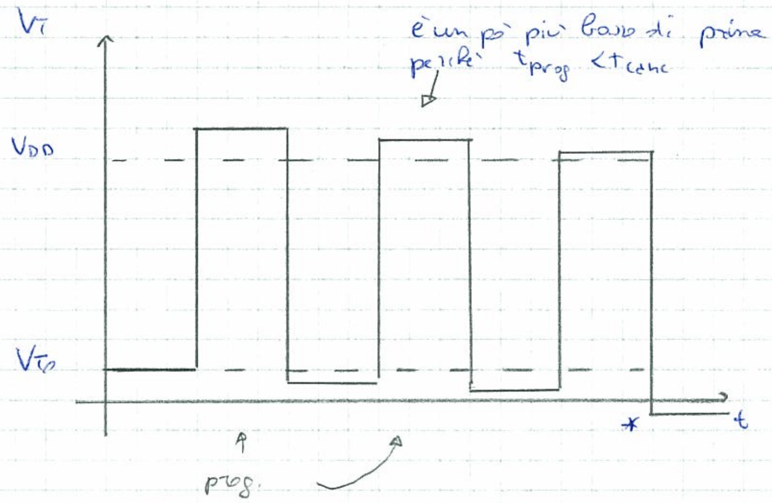
Posso anche cancellare elettricamente. Anche qui tensioni di lettura/scrittura e programmazione / cancellazione devono essere diverse. Non vogliamo infatti che anche in fase di lettura e scrittura ci sia il salto di e⁻.

Questi dispositivi ~~sar~~ sono tecnologicamente più complessi.

Ma c'è anche un altro svantaggio. In questo caso non esiste un meccanismo di autoregolazione. Nel caso precedente per attivare l'effetto tunnel era necessario che il transistore fosse in SAT, mentre qui lavoriamo solo con la tensione fra gate e drain. Quindi la carica che metto dipende linearmente dal tempo. Quindi ho necessità di definire un tempo di programmazione e un tempo di cancellazione. Supponiamo che sia

$t_{prog} < t_{canc}$

Potrebbe succedere questo:

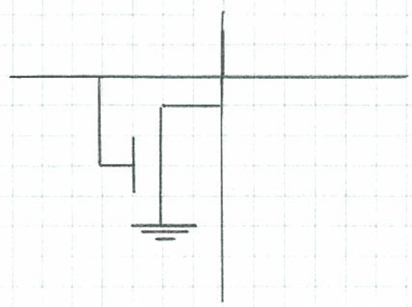


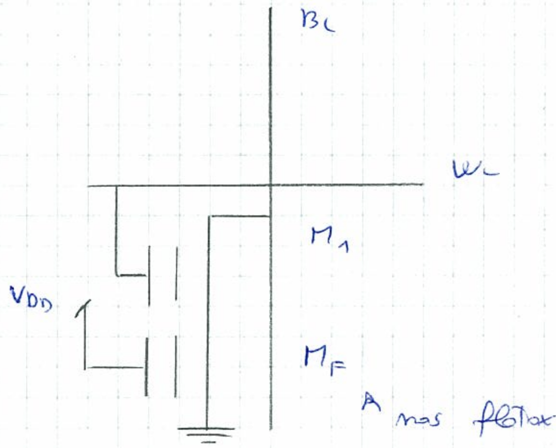
Piano piano può esserci una deriva, perché tolgo più carica di quella che metto. Quindi quando la linea è selezionata trovo il MOS acceso anche se lo vorrei spento (logica non BASED). Per evitarlo devo fare $t_{prog} = t_{canc}$, ma è difficile. È invece facile che i due tempi siano diversi.

Può anche essere $t_{canc} < t_{prog}$, ma è meno critico.

è meno critico, perché ho un margine più grande (tutta VDD) prima di avere un errore.
Per ovviare a questo problema

non così   ma così





la WL è selezionata quando WL = 1

WL = 1   WL = 0

$M1$ $(V_T = 0.6)$ ON $M1$ OFF

il M_F è sempre connesso a VDD, quindi:

per spegnere M_F (BL = 1) $V_{TM_F} > V_{DD}$

per accendere M_F $V_{TM_F} < V_{DD}$

mi basta quindi che sia V_T > o < di V_{DD}. Può anche andare sotto zero (vedi *), che non mi interessa più.

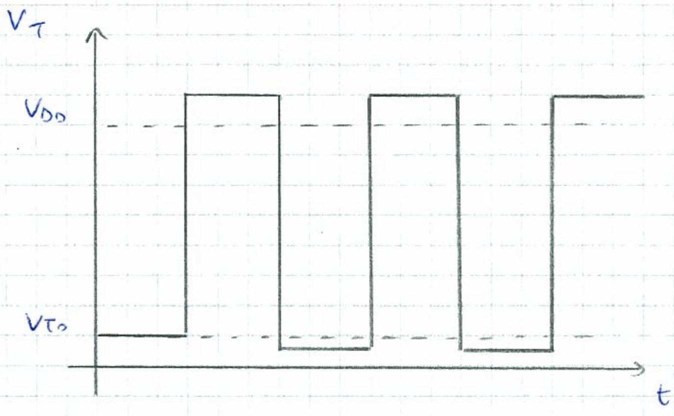
il problema è che ho aggiunto un transistore.

FLASH

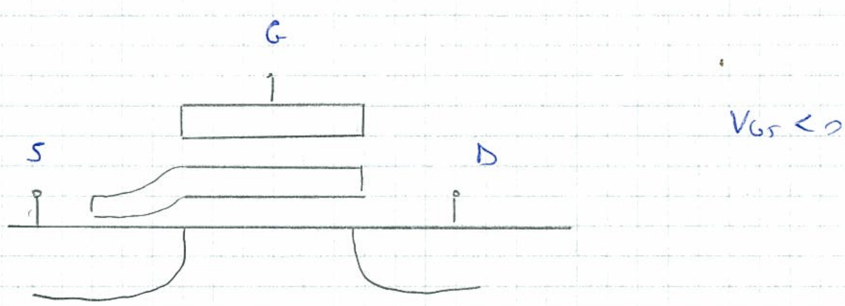
Se faccio un dispositivo che in programmazione si comporta come FAMOS e in cancellazione come FLOTOX riesco a risolvere il problema, perché posso fare in modo di portare sempre la tensione di soglia alta a un valore fisso.

PRG. FAMOS (EFFETTO TUNNEL)

CANC. FLOTOX (EFFETTO NORDHEIM)



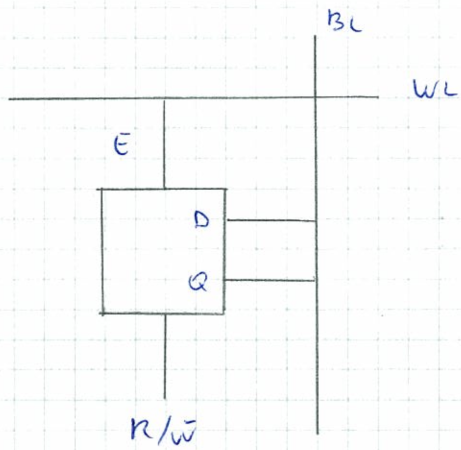
Realizzo il dispositivo così:



In questo caso non ho più bisogno dell'altro mos, quindi il tutto risulta più compatto. Questo è il dispositivo usato nelle memorie flash. Possiamo fare tutte le letture che vogliamo, ma all'incirca solo $10^6 - 10^7$ cicli di scrittura. Dopodiché il dispositivo dà malfunzionamenti. Inoltre il dispositivo deve avere internamente una seconda alimentazione (maggiore di V_{DD}).
Si dice che in questo caso c'è bisogno di "elettroni freddi" (per distinguerli da quelli di prima).

I tempi di scrittura sono molto più lunghi di quelli di lettura, quindi queste memorie non vanno bene interfacciate a una CPU, che è molto veloce e ha bisogno di tempi di lettura e scrittura confrontabili.

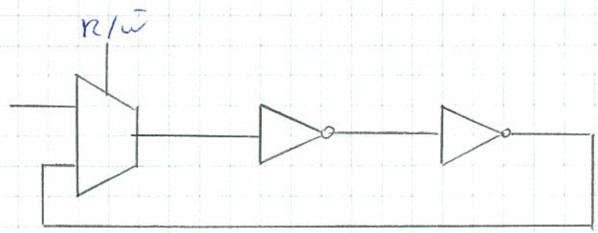
Memorie RAM



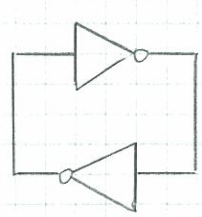
Abbiamo detto che in generale la struttura di una cella dovrebbe essere questa.

Se portiamo sulla circuiteria esterna la sincronizzazione possiamo passare dal FF a un latch.

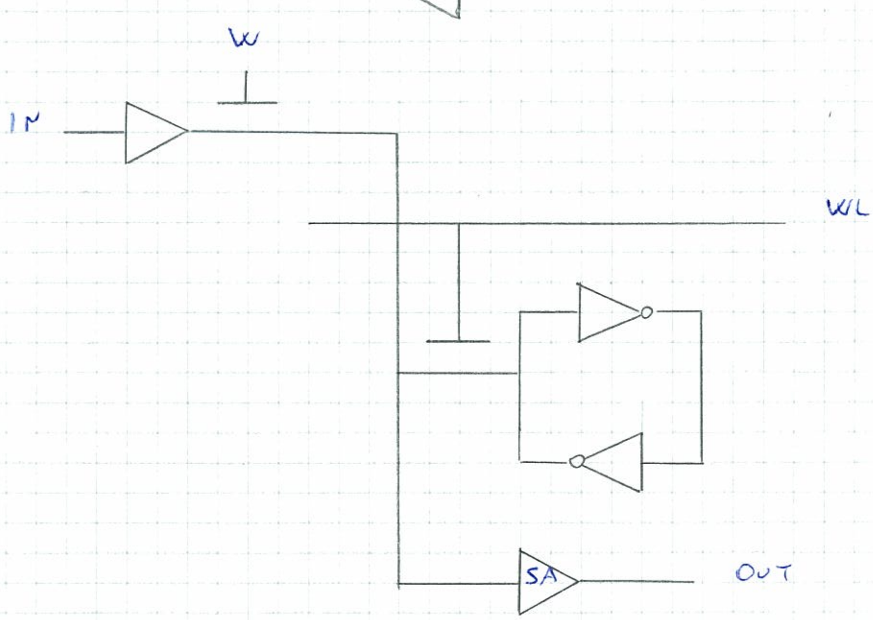
FF → LATCH



Ma è una cella ancora ingombrante. Possiamo portare a livello di BL il segnale R/$\overline{W}$ e semplificare la cella così:



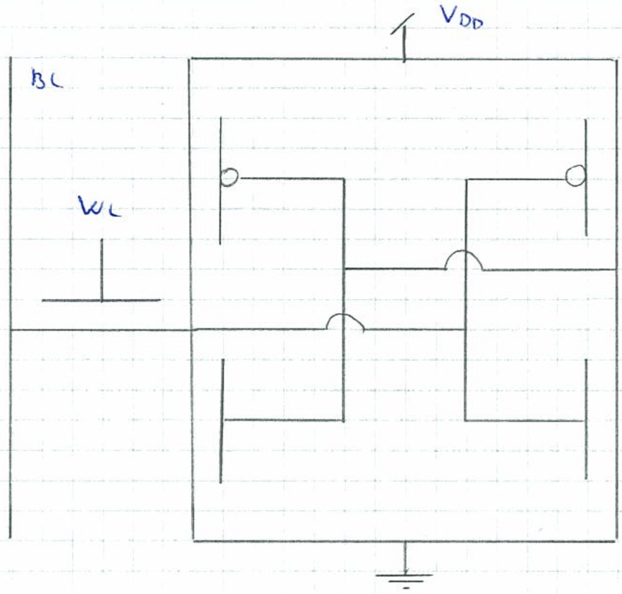
← singola cella



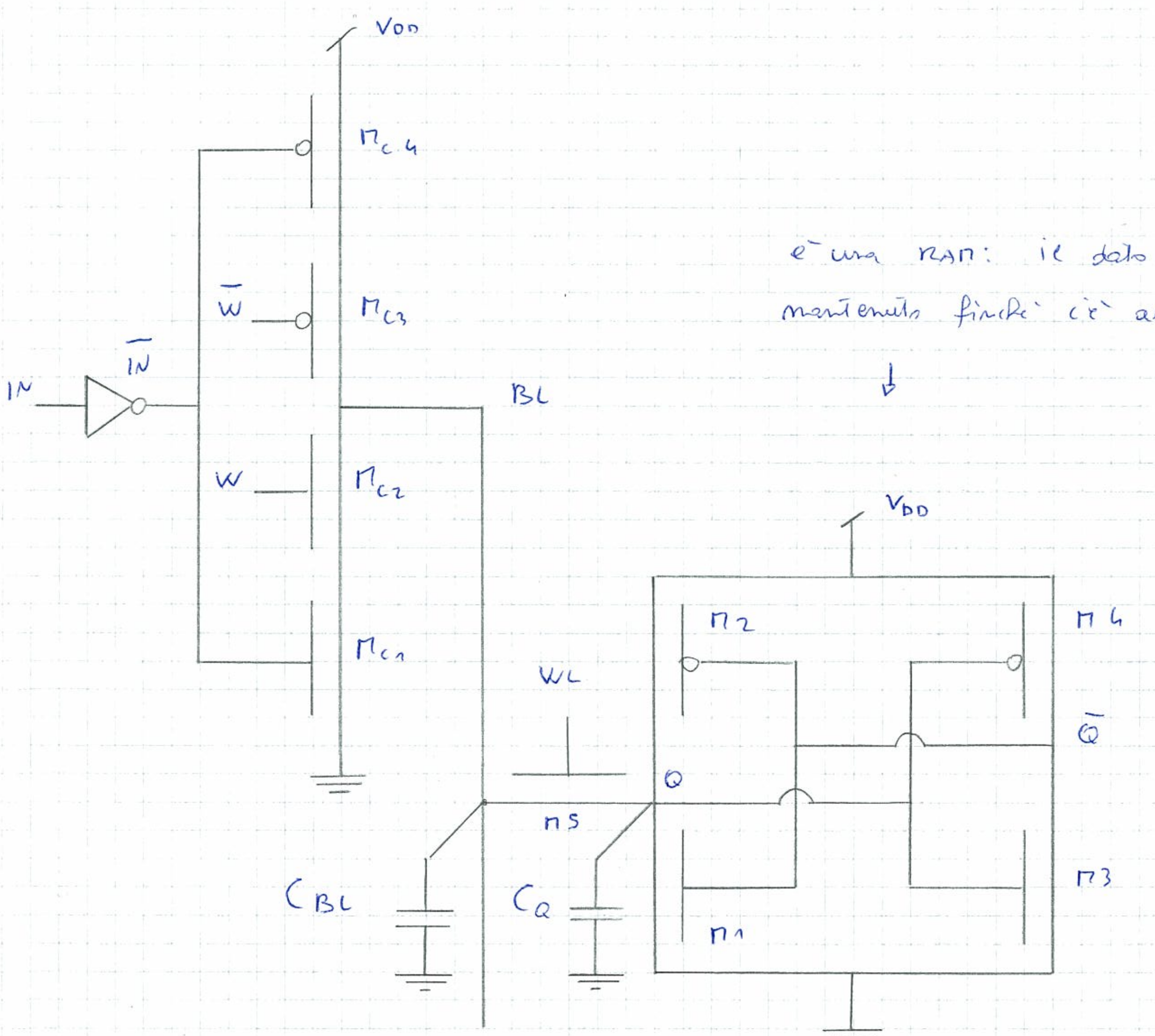
Scrittura $W = 1$

Lettura $W = 0$

I due invertitori li posso fare come due invertitori CMOS



Ma devo inserire anche un amplificatore



è una RAM: il dato viene mantenuto finché c'è alimentazione

↓

È una RAM statica, perché la memorizzazione è affidata al multivibratore (non alle capacità).
Vediamo come avviene il ciclo di scrittura.

Ciclo di scrittura

La BL viene forzata al valore che vogliamo inserire nella cella.

$t<0$

$W = 1$ MC3 ON (il valore di BL dipende da IN)

$\overline{W} = 0$ MC2 ON

Supponiamo

IN = 1 BL = 1 MC4 ON MC1 OFF

Al momento teniamo

WL = 0 M5 OFF

Supponiamo anche che il contenuto della cella sia

$Q = 0$ $\overline{Q} = 1$ (M3 OFF M4 ON M1 ON M2 OFF)

i problemi potrebbero sorgere se vogliamo inserire un valore diverso da quello che c'era già

$t = 0^+$

$V_Q(0^+) = V_Q(0^-) = 0$

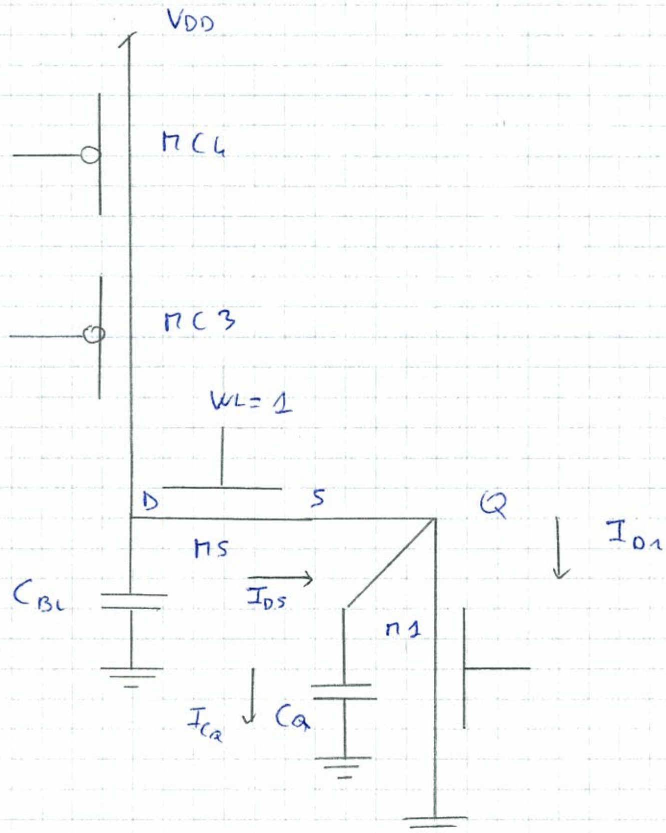
$V_{\overline{Q}}(0^+) = V_{\overline{Q}}(0^-) = V_{DD}$

(M3 OFF M4 ON M1 ON M2 OFF)

Inoltre seleziono quella cella

WL = 1 M5 ON

$t > 0$



il mio obiettivo è

Q 0 → 1

c'è una logica ratioed

$I_{DS} = I_{CQ} + I_{D1}$

$I_{CQ} = I_{DS} - I_{D1} > 0$

$I_{DS} > I_{D1}$

$\beta_5 > \beta_1$

M5 grande

M1 piccolo

Ma il pu dipende anche da MC3 e MC4. Ma MC4 e MC3 li posso fare anche grandi, tanto ne ho solo uno per BL.

Ciclo di lettura

$W = 0$ M_{C2} OFF

$\overline{W} = 1$ M_{C3} OFF

BL H.I.

A che valore è la BL? Dipende da cos'ha fatto nel ciclo precedente (dipende da cos'hanno fatto tutte le celle che fanno capo a quella BL).

Supponiamo

Hp: $BL = 1$ $t < 0$ $BL(0^-) = 1$

BL $1 \to 0$

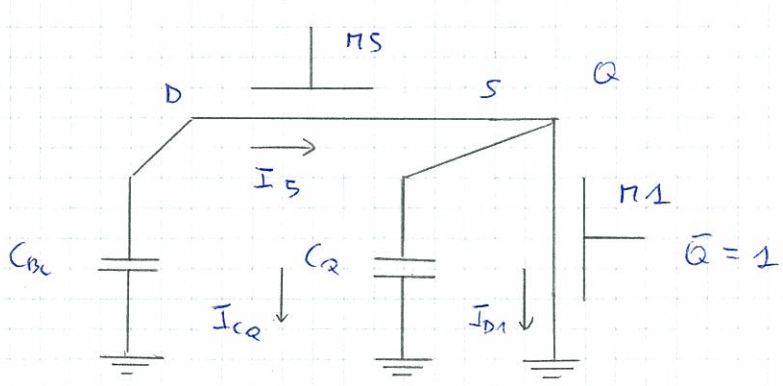
$Q = 0$ $0 \to 0$ ← non voglio che il stato cambi: voglio solo leggerlo

$t < 0$ $WL = 0$ M_5 OFF

$Q = 0$ M_3 OFF M_4 ON

$\overline{Q} = 1$ M_1 ON M_2 OFF

$t = 0^+$ $WL = 1$ M_5 ON



$V_{BL}(0^+) = V_{BL}(0^-) = V_{DD}$

$V_Q(0^+) = V_Q(0^-) = 0$

M_5 ON

SAT se $V_{DS} > V_{GS} - V_T$

$t = 0^+$ $V_{DD} > V_{DD} - V_T$ $0 > -V_T$ sicuramente SAT

$M1$ ON (perché $V_{GS} > V_T$)

è LIN se $V_{DS} < V_{GS} - V_T$

$0 < V_{DD} - V_T$ LIN

$V_{DS} = 0$ $I_{DS}(0^+) = 0$

$I_{DS} = I_{D1} + I_{CQ}$

$$I_{CQ} = C_Q \frac{dV_Q}{dt}$$

$t = 0^+$ $I_{D1} = 0$

$$I_{DS} = C_Q \frac{dV_Q}{dt}$$

$Q_{CBL} \downarrow$

$I_{DS} > 0 \Rightarrow \frac{dV_Q}{dt} > 0 \Rightarrow V_Q \uparrow$

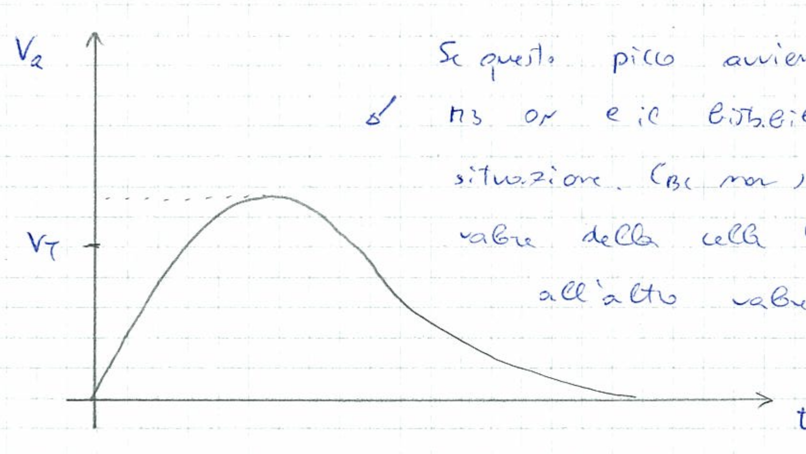
Ma allora da un lato ho quello che voglio, cioè $Q_{CBL} \downarrow$ (alla fine voglio avere $Q_{CBL} = 0$) ma sta aumentando il potenziale del nodo Q.
Ma se $V_Q \uparrow$ sta crescendo anche la tensione di drain di $M1$

$V_{DS1} \uparrow$ $I_{D1} \uparrow$

$I_{DS} = I_{D1} + I_{CQ}$

$I_{CQ} = I_{DS} - I_{D1}$

I_{CQ} sta diminuendo, ma finché $I_{CQ} > 0$ $V_Q \uparrow$.
Facciamo un grafico di come varia V_Q in funzione del tempo.



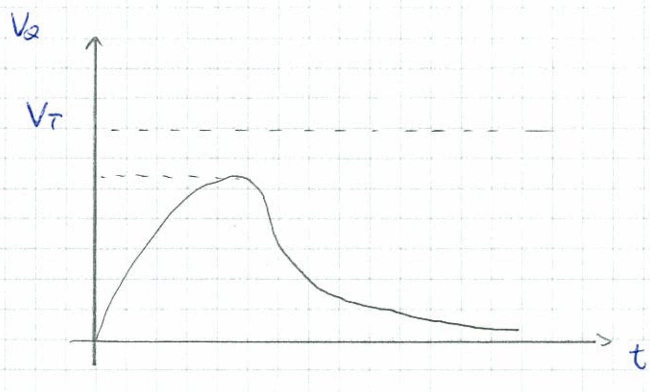
Se questo picco avviene sopra a V_T allora $M3$ ON e il bistabile si porta nell'altra situazione. C_{BL} non si scarica e ho perso il valore della cella (l'ho fatta commutare all'altro valore stabile).

A un certo punto la derivata si inverte

Devo tenere il picco sotto a V_T. ~~[illegible]~~ Deve essere

M1 grande

M5 piccolo



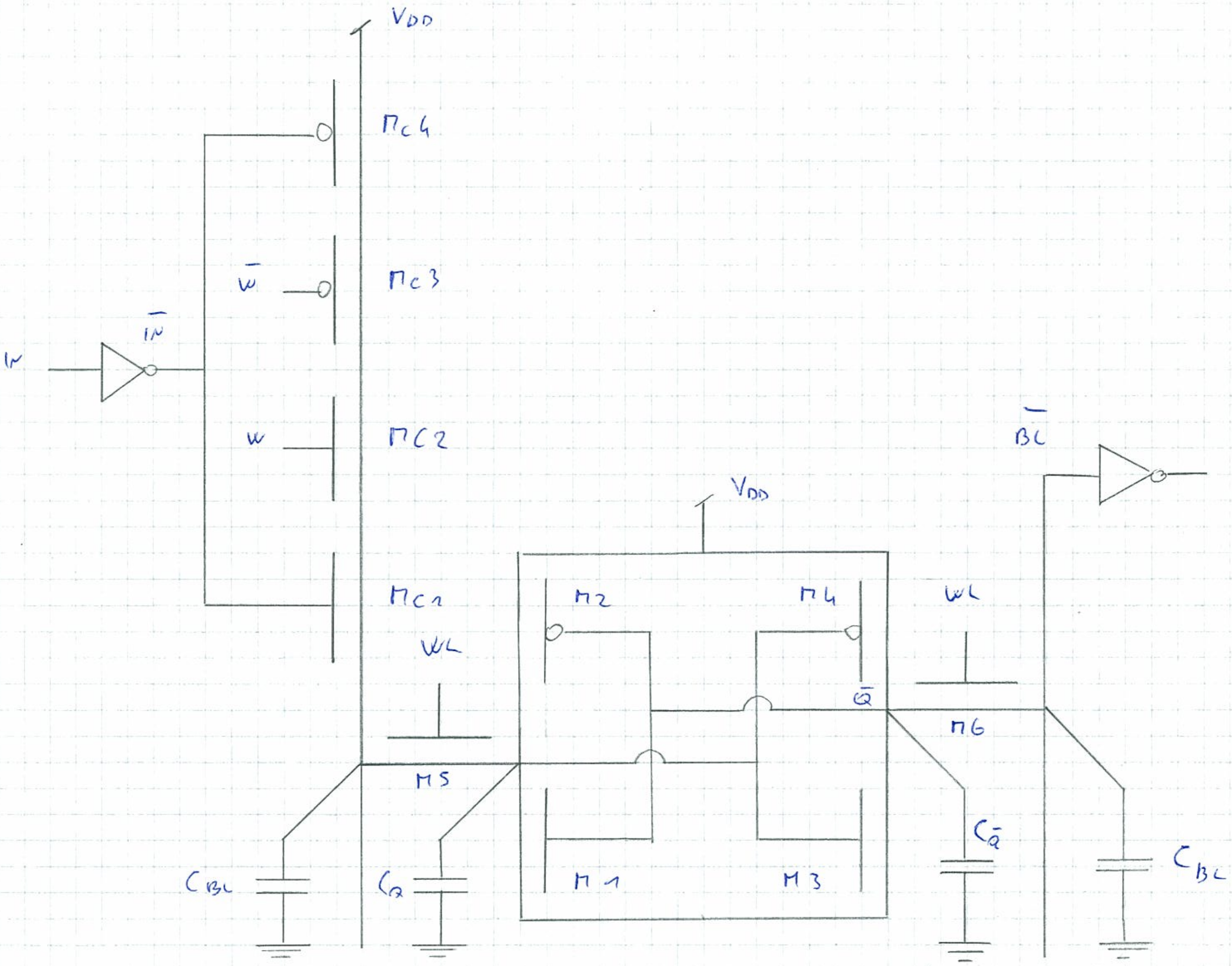
In definitiva ho una corrente I_{DS} che scarica C_{BL} ma carica C_2. Io non voglio che V_2 vada sopra a V_2? Chi è che può scaricare C_2? M1! M1 deve scaricare in realtà C_{BL} e C_2. Quindi deve pilotare tanta corrente. Inizialmente non ci riesce, ma poi V_2 scende. M1 deve pilotare tanta corrente affinché $V_2 < V_T$. Se poi faccio M5 piccolo tanto meglio perché è minore la corrente che deve prendersi M1.

Ma siamo arrivati a una contraddizione:

scrittura		lettura	
M1	piccolo	M1	grande
M5	grande	M5	piccolo

Quindi così non funziona.

Proviamo ad aggiungere un'altra BL (mettiamo $\overline{BL}$ perché abbiamo $\overline{Q}$). Ovviamente anche qui avrò bisogno di un'abilitazione di cella (nmos pilotato da WL).



<u>Scrittura</u>

$BL = 1$ $\quad \overline{BL} = 0$

$Q: 0 \to 1$ $\quad \bar{Q}: 1 \to 0$

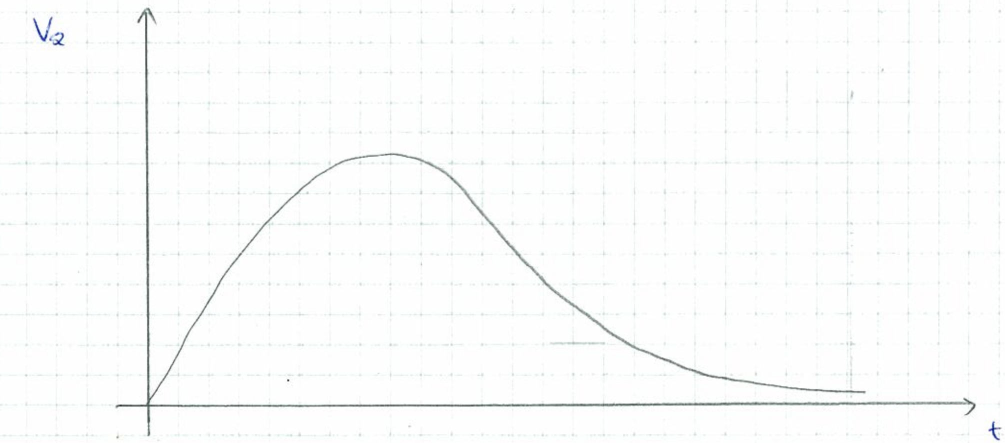
$t = 0^+$ $\quad WL = 1$ $\quad M5, M6$ ON

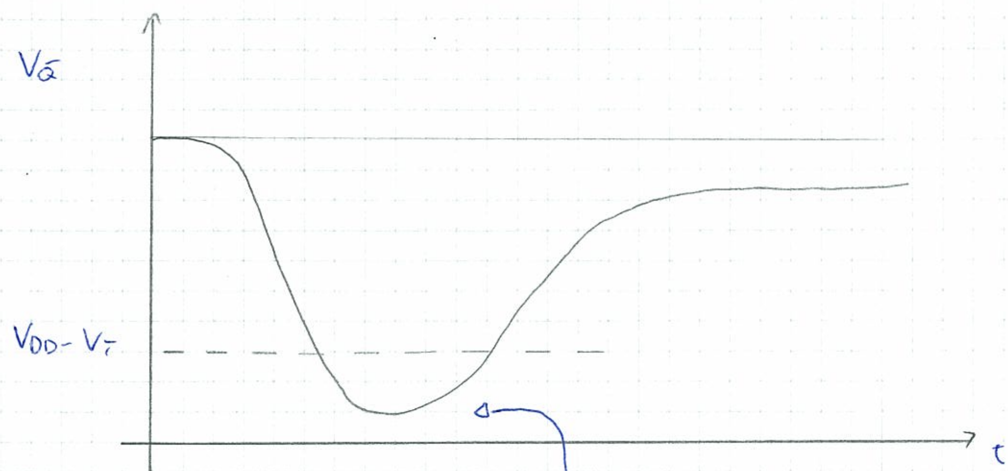
Il procedimento è lo stesso. Inoltre l'ulteriore capacità C_{BL} mi aiuta a portare $V_{\bar{Q}}$ basso. Ho una capacità C_{BL} su cui posso scaricare $\bar{Q}$, quindi mi facilita la commutazione della cella. In fase di lettura invece questo non è vero.

Lettura

Proprio perché ho una C_{BL} a $\emptyset$ il nodo $V_{\bar{Q}}$ è forzato ad andare basso.

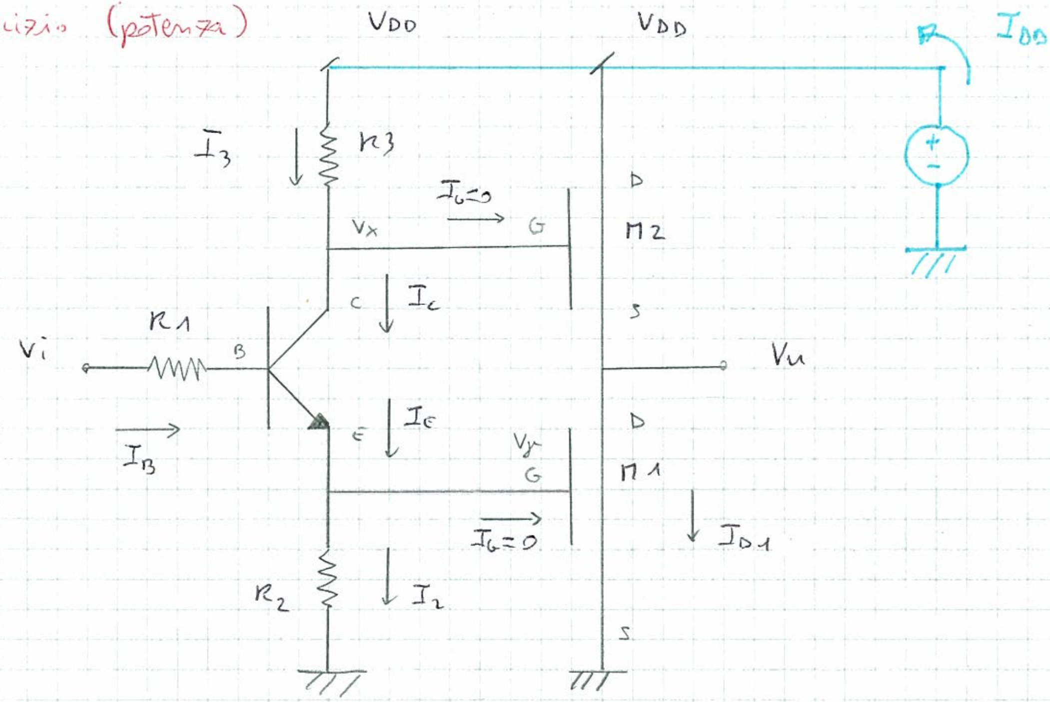
Rifacendo gli stessi discorsi di prima





Se questo punto va sotto a $V_{DD}-V_T$ la cella commuta.

Esercizio (potenza)



$R_1 = 10 \ K\Omega$

$R_2 = 300 \ \Omega$

$R_3 = 500 \ \Omega$

$V_\gamma = 0.75 \ V$

$V_{CESAT} = 0.2 \ V$

$\beta_F = 100$

$V_{T1} = V_{T2} = 0.4 \ V$ $\qquad V_{DD} = 3.5 \ V$

$\beta_1 = ?$

$\beta_2 = ?$

Calcolare β_1 e β_2 in modo tale che l'escursione logica (indichiamola con ΔV) sia pari a

$\Delta V = 2.8 \ V$

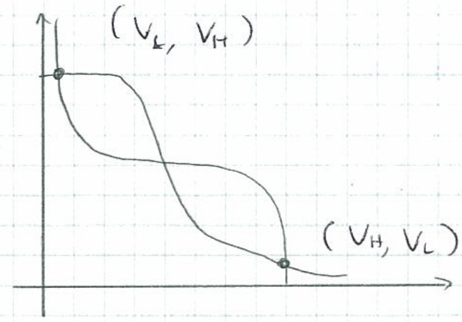
La potenza statica nel caso peggiore sia pari a

$P_{oL} = 15 \ mW$

forse è una lettera "D" di Domodossola piccola.

Soluzione:

L'escursione la calcolo ricavando dalla caratteristica statica i valori alti e bassi. Lo faccio intersecando la caratteristica. Fa attenzione: non è necessario calcolare tutta la caratteristica!



$\Delta V = V_H - V_L$

$V_i = V_L$

$\boxed{Hp: \; V_L < V_\gamma} \rightarrow T\ OFF \rightarrow I_E = 0 \rightarrow I_2 = 0 \rightarrow V_\gamma = R_2 I_2 = 0 \rightarrow V_{GS1} = 0 < V_T \rightarrow M1\ OFF$

$(I_G = 0$ per definizione$)$

$I_C = 0 \rightarrow I_3 = 0 \rightarrow V_X = V_{DD} \rightarrow V_U = V_{DD} - V_T = 3.1V$

NMOS a carico saturato

dalla teoria

Hp. soddisfatta

$\Delta V = V_H - V_L \rightarrow V_L = V_H - \Delta V = 3.1 - 2.8 = 0.3\,V < V_\gamma = 0.75$

Dobbiamo imporre questa condizione ponendo $\Delta V = 2.8V$ $P_d = 15\,mW$. In quali condizioni il circuito può dissipare potenza statica? Non in questa condizione, perché la corrente richiesta al generatore è nulla.

$$V_i = V_L \rightarrow \left.\begin{array}{l} I_3 = 0 \\ I_{D2} = 0 \end{array}\right\} I_{DD} = I_3 + I_{D2} = 0 \rightarrow P_d(V_i = V_L) = 0$$

Poniamoci allora nel caso

$V_i = V_H = V_{DD} - V_T = 3.1V$

$P_d = V_{DD} \cdot I_{DD} \rightarrow I_{DD} = \dfrac{P_d}{V_{DD}} = 4.285\,mA$

$V_i > V_\gamma \rightarrow T$ ON $\swarrow$ SAT o RN

$\boxed{Hp: T \text{ SAT}}$

$$\begin{cases} \overset{?}{I_B} + \overset{?}{I_C} = \overset{?}{I_E} \\ I_B = \dfrac{V_i - (\overset{?}{V_y} + V_\gamma)}{R_1} \\ I_C = \dfrac{V_{DD} - \overset{?}{V_x}}{R_3} \\ I_E = \dfrac{V_y - 0}{R_2} \\ V_y + V_{CESAT} = V_x \end{cases}$$

$$\frac{V_i - (V_\gamma + V_y)}{R_1} + \frac{V_{DD} - (V_y + V_{CESAT})}{R_3} = \frac{V_\gamma}{R_2}$$

$\downarrow \vdots \downarrow$

$V_y = 1.258\ V$

$V_x = 1.458\ V$

$I_E = 4.19\ mA$

$I_B = 0.109\ mA$

$I_C = 4.08\ mA$

Tutto questo è vero se è verificato T SAT

$V_C = V_{CESAT}$

$V_{BE} = V_\gamma$

$I_C < \beta_F I_B$ $\quad$ $4.08\ mA < 0.109\ mA \cdot 100$? sì $\rightarrow$ T SAT

$$\left.\begin{array}{l} I_{DD} = \dfrac{P_d}{V_{DD}} \\ I_{DD} = I_{D2} + I_C \end{array}\right\} \rightarrow I_{D2} = \frac{P_d}{V_{DD}} - I_C = 201.6\ \mu A$$

$$\left.\begin{array}{l} V_{GS2} = V_x - \underset{\substack{\uparrow \\ V_u}}{V_L} = 1.158\ V \\ V_{DS2} = V_{DD} - V_C = 3.2\ V \end{array}\right\} V_{GS2} < V_{DS2} + V_T \rightarrow M2 \text{ SAT}$$

$$I_{D2} = \frac{\beta_2}{2}\left(V_{GS2} - V_T\right)^2 \qquad \beta_2 = \frac{2 I_{D2}}{(V_{GS2} - V_T)^2} = 702\ \mu \frac{A}{V^2}$$

$I_{D1} = I_{D2}$

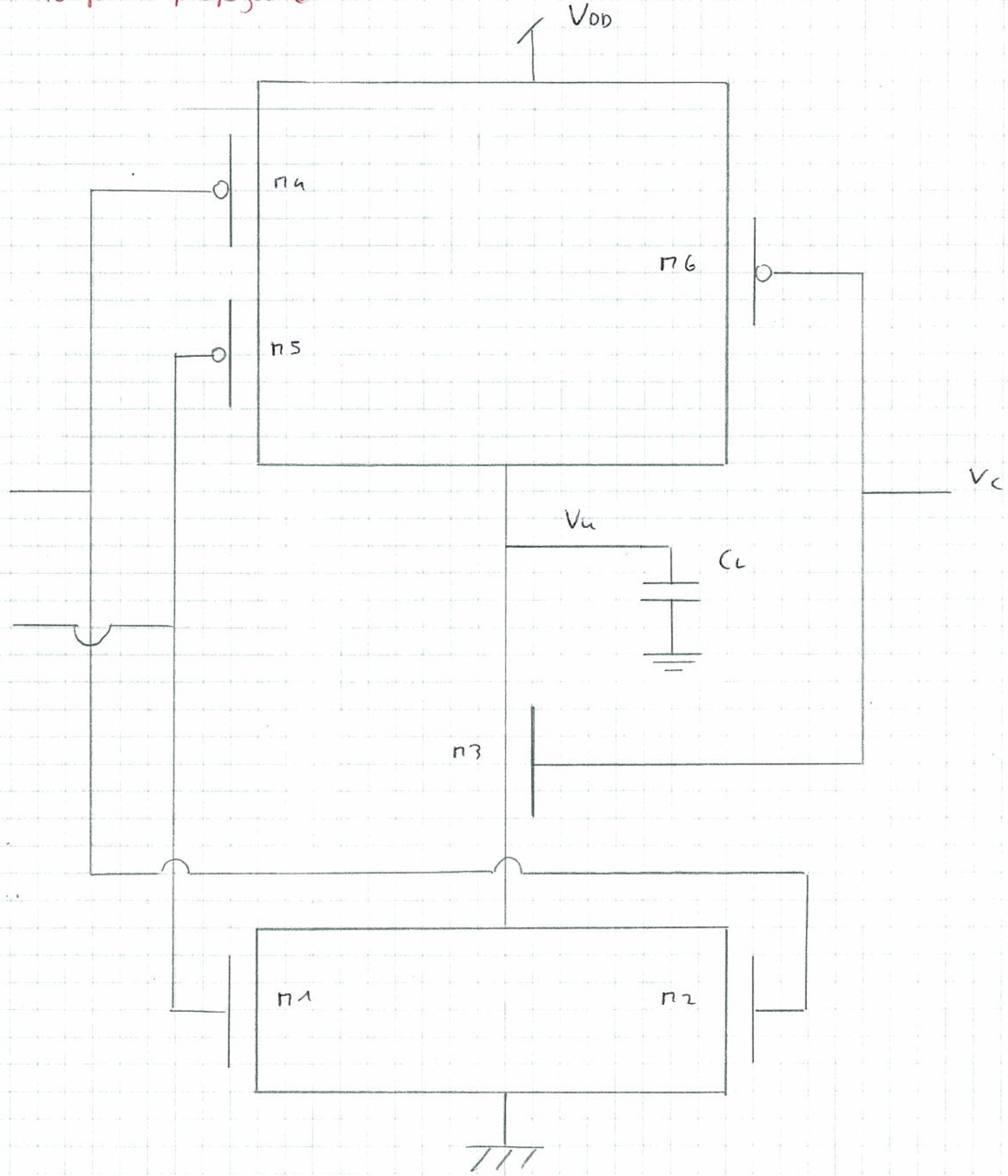
$$\left.\begin{array}{l} V_{GS1} = V_\gamma = 1.258\ V \\ V_{DS1} = V_L = 0.3 \end{array}\right\} V_{GS1} > V_{DS1} + V_T \rightarrow M1 \text{ LIN} \rightarrow I_{D1} = I_{D2}$$

$$= \beta_1\left\{(V_{GS1} - V_T)\,V_{DS1} - \frac{V_{DS1}^2}{2}\right\} \rightarrow 969.5\ \mu \frac{A}{V^2}$$

Esercizio (tempo di propagazione)

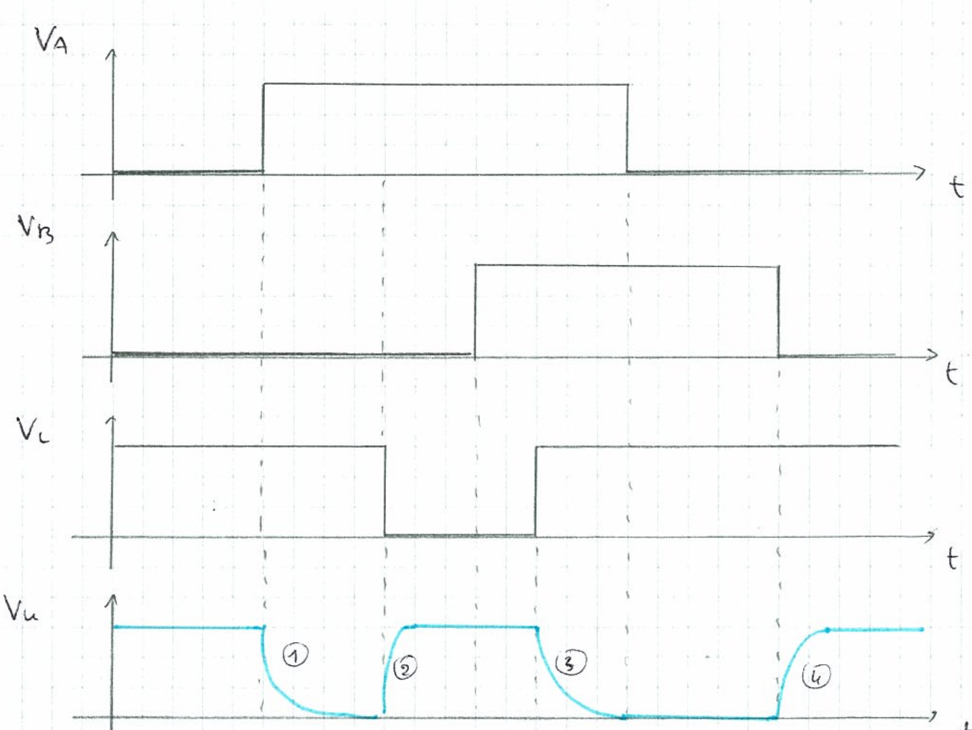
$\beta = 1 \, m \frac{A}{V^2}$

$V_T = 0.4 \, V$



PD : y = 0 quando...

PU : y = 1 quando...



↙ andamento qualitativo

Si supponga la capacità di carico complessiva (C_L) pari a 150 fF

$C_L = 150$ fF

1) Che funzione logica svolge questo circuito?

2) Si supponga inoltre che gli ingressi commutino in modo tale da dare prima il tempo all'uscita di assestarsi.
Calcolare l'andamento di V_u.

3) Calcolare t_{PH}

Suggerimento: ipotizzare quale dovrà essere il funzionamento del circuito senza preoccuparsi dei transitori, per poi considerarli in un secondo momento.

1) $Y = \overline{\underbrace{C\,(A+B)}_{PD}}$

2) Detto questo è facile vedere com'è l'andamento qualitativo di V_u.

Si tratta ora di valutare i 4 transitori.

NOTA: possiamo sempre riportarci ad un unico MOS equivalente.
A quel punto sappiamo già calcolare t_{PH} (abbiamo visto la formula a lezione).

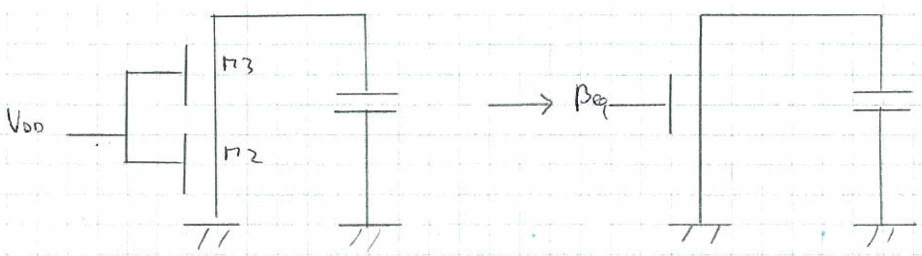
$$t_p = \frac{2 C_L}{\beta (V_{DD} - V_T)} \cdot \left\{ \frac{V_T}{(V_{DD} - V_T)} + \frac{1}{2} \ln \left(\frac{3 V_{DD}}{} \right. \right.$$

guardo le tensioni sul gate

(1) $V_A = V_C = V_{DD}$ → M2 ON, M1 OFF, M3 ON, → PD ON (M3 serie M2)

$V_B = 0$ → M5 ON, M4 ON, M6 OFF → PU OFF

Dobbiamo vedere quanto tempo ci mette un condensatore inizialmente carico a V_{DD} a scaricarsi a 0 tramite la serie di M3 e M2



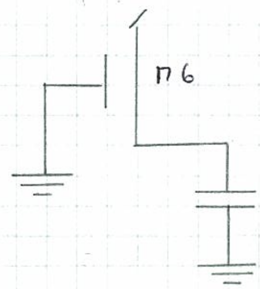
$$\beta_{eq1} = \frac{1}{\frac{1}{\beta} + \frac{1}{\beta}} = \frac{\beta}{2}$$

↓

$t_1 = 115$ ps

② M6 ON → PU ON

M4 OFF



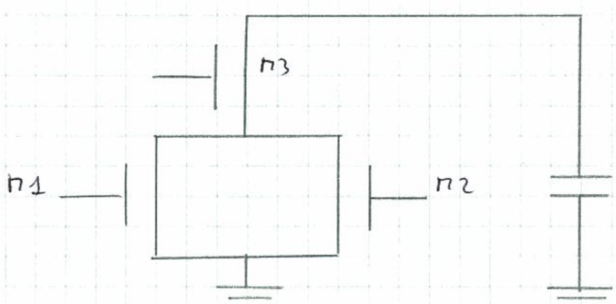
$\beta_{eq2} = \beta \rightarrow t_2 = 57.6\ ps$

sarà $\frac{1}{2} t_2$

β inversamente proporzionale a t_p

③ C = 1 B = 1 A = 1 → M4, M5, M6 OFF PU OFF

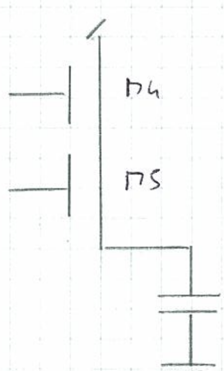
M3, M1, M2 ON PD ON



$$\beta_{eq} = \frac{1}{\frac{1}{2\beta} + \frac{1}{\beta}} = \frac{2}{3}\beta \rightarrow t_3$$

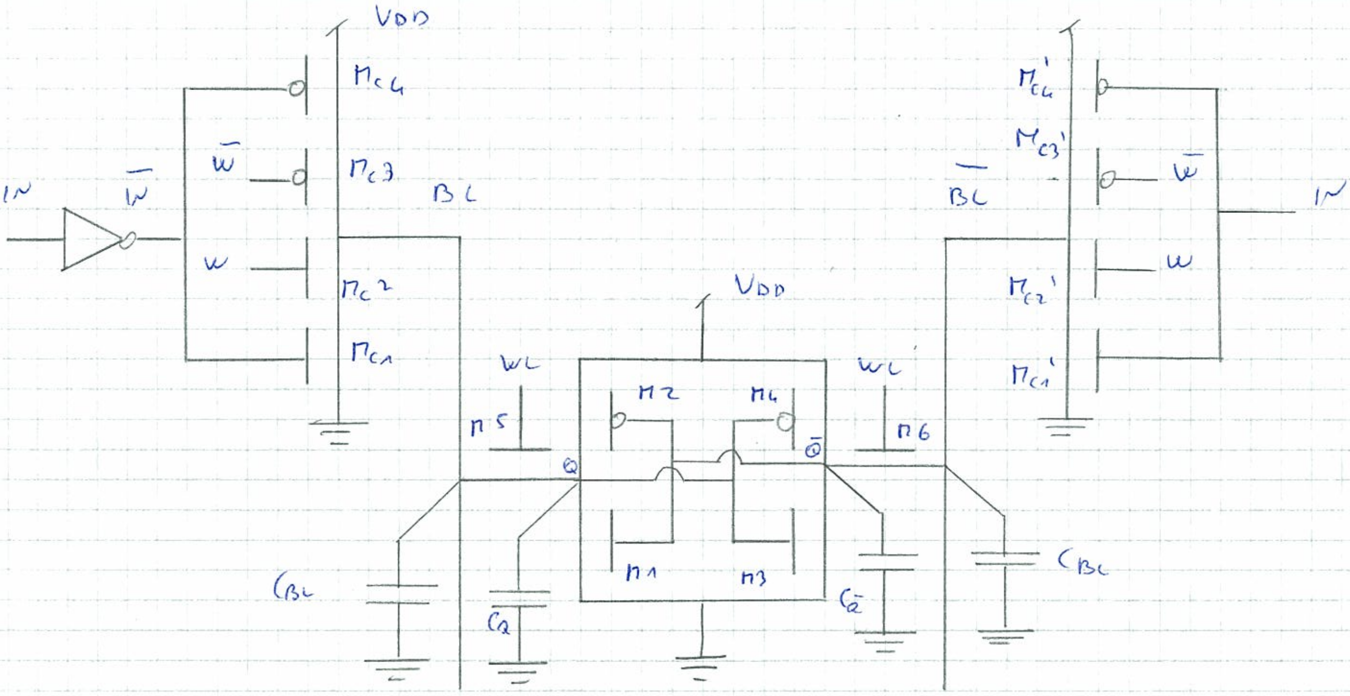
sarà $\frac{3}{2} t_2$

④



$\beta_{eq} = \frac{\beta}{2} \rightarrow t_4 = 115\ ps$

NOTA: qualsiasi circuito di questo tipo è riconducibile a un cmos: basta usare le relazioni serie-parallelo in modo corretto



Senza seconda BL

Scrittura M5 grande

M1 piccolo ← assurdo

Lettura M5 piccolo

M1 grande

Con $\overline{BL}$

Scrittura $BL = 1$ Q: $0 \to 1$

$\overline{BL} = 0$ $\overline{Q}$: $1 \to 0$

$W = 1$

$WL = 1$

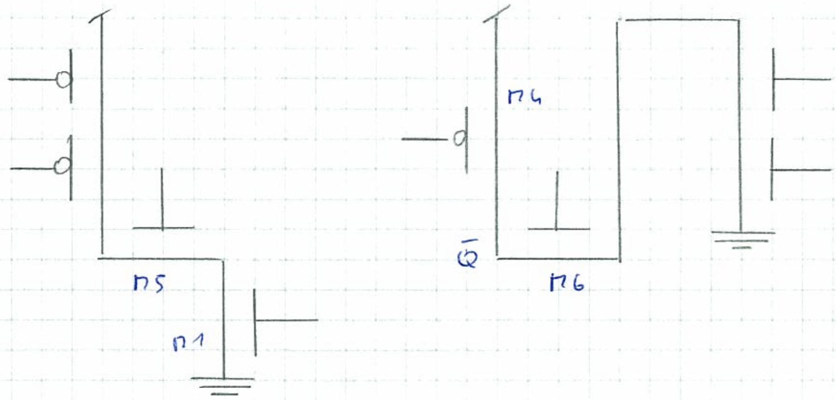
M5, M6 ON

$t < 0$

$Q = 0 \Rightarrow$ M3 OFF M4 ON

$\overline{Q} = 1 \Rightarrow$ M1 ON M2 OFF

toglie carica a $\overline{Q}$ che si abbassa



Con $\bar{Q}$ che scende M2 tende on e M1 tende OFF

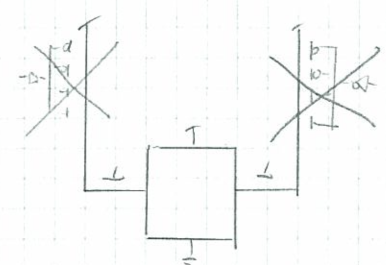
Con Q che sale M3 tende OFF.

Senza $\overline{BL}$ per far scendere $\bar{Q}$ dovevo aspettare che M3 si accendesse.

Invece qui $\bar{Q}$ comincia a scendere già dall'inizio anche se M3 è spento grazie alla rete di PU di destra. Quindi la $\overline{BL}$ sta aiutando la fase di scrittura → Mi rilassa i vincoli su M4 e M5

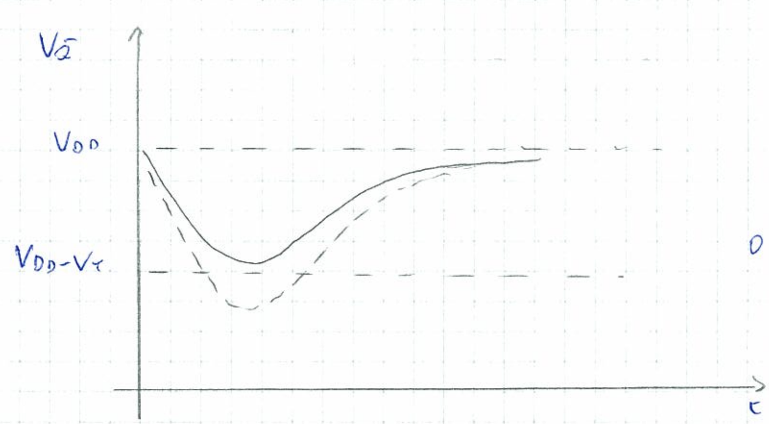
Lettura $BL = 1$ $Q = 0$ $w = 0$

$\overline{BL} = 0$ $\bar{Q} = 1$ $BL, \overline{BL}$ H.I.

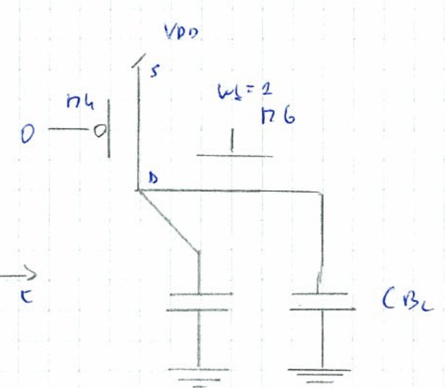


Il problema era che la corrente di M5 inizialmente andava tutta su C_Q. Se V_Q andava sopra a V_T la cella commutava (cosa che io non voglio in fase di lettura). Allora abbiamo detto che M1 doveva essere grande in modo da scaricare C_Q e C_{BL}

Vediamo cosa succede con $\overline{BL}$



$WL = 1$ → M6 ON

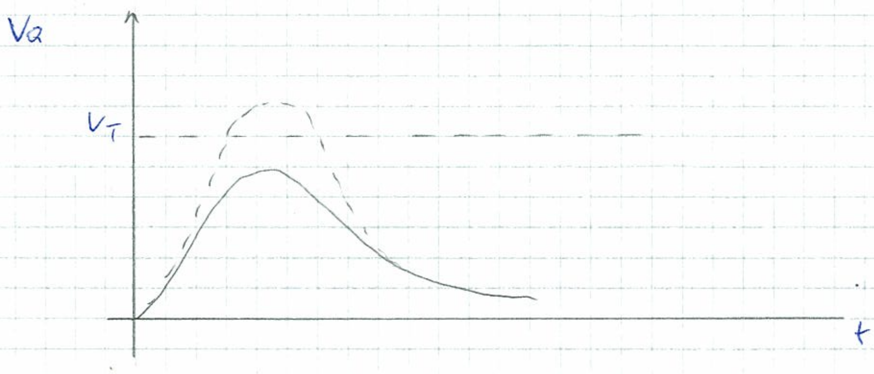


M4 lin $t = 0^+$

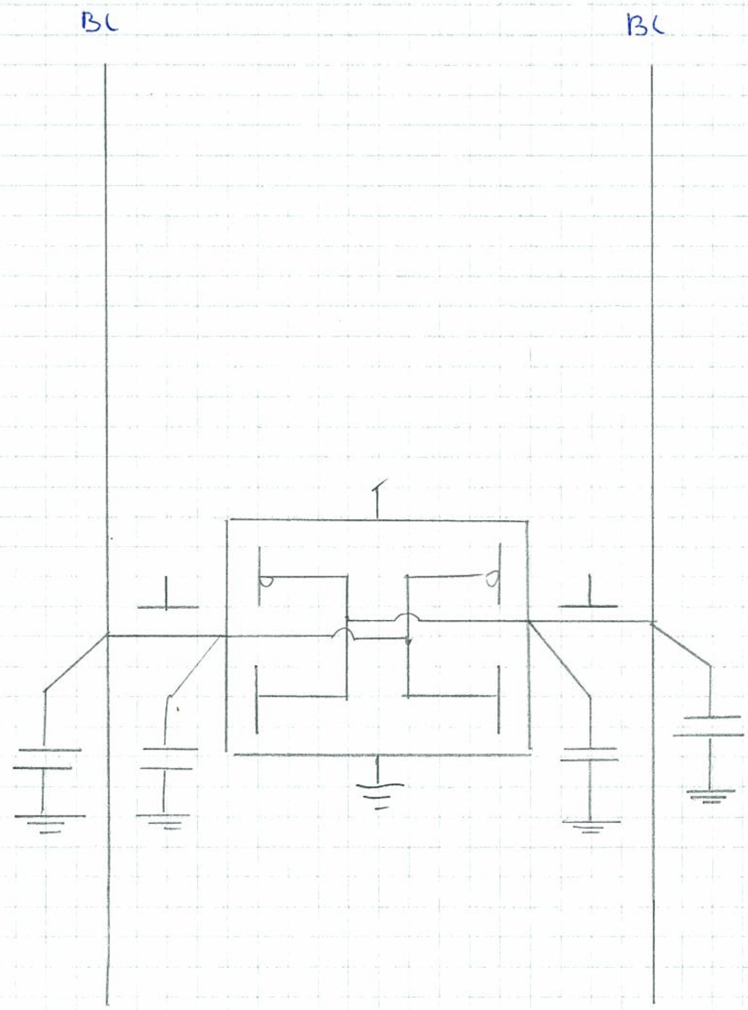
$V_{SD} < V_{SG} - V_T$

$0 < V_{DD} - V_T$

La corrente su M4 inizialmente è nulla. Tutta la ~~[illegible]~~ corrente di I_2 va su M6. $\bar{Q}$ si sta abbassando. Poi M4 comincia a condurre ($V_{SG} \neq 0$).
Quindi $V_{\bar{Q}}$ ricomincia a crescere.



Quindi la $\overline{BL}$ non mi sta aiutando, anzi! Aiuta V_Q ad andare alto e $V_{\bar{Q}}$ ~~seg~~ ad andare basso. La BL va bene in scrittura ma non in lettura.
Vediamo se le cose vanno meglio se in fase di lettura al posto di $\overline{BL}$ metto BL.



Con doppia BL

Lettura $BL = 1$ $Q = 0$

$\bar{Q} = 1$

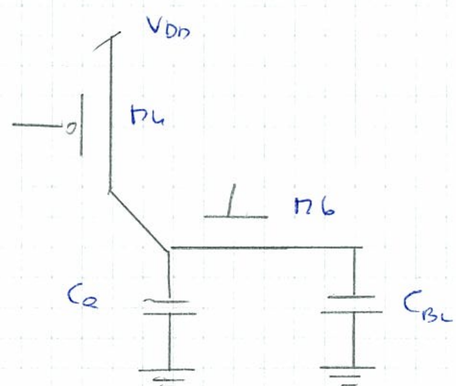
$WL = 1$ $M6$ ON $t = 0^+$ $M4$ LIN

$\bar{Q} = 1$ $V_{CBL} = V_{DD}$

$V_{\bar{Q}} = V_{DD}$

$WL = 1$ $M6$

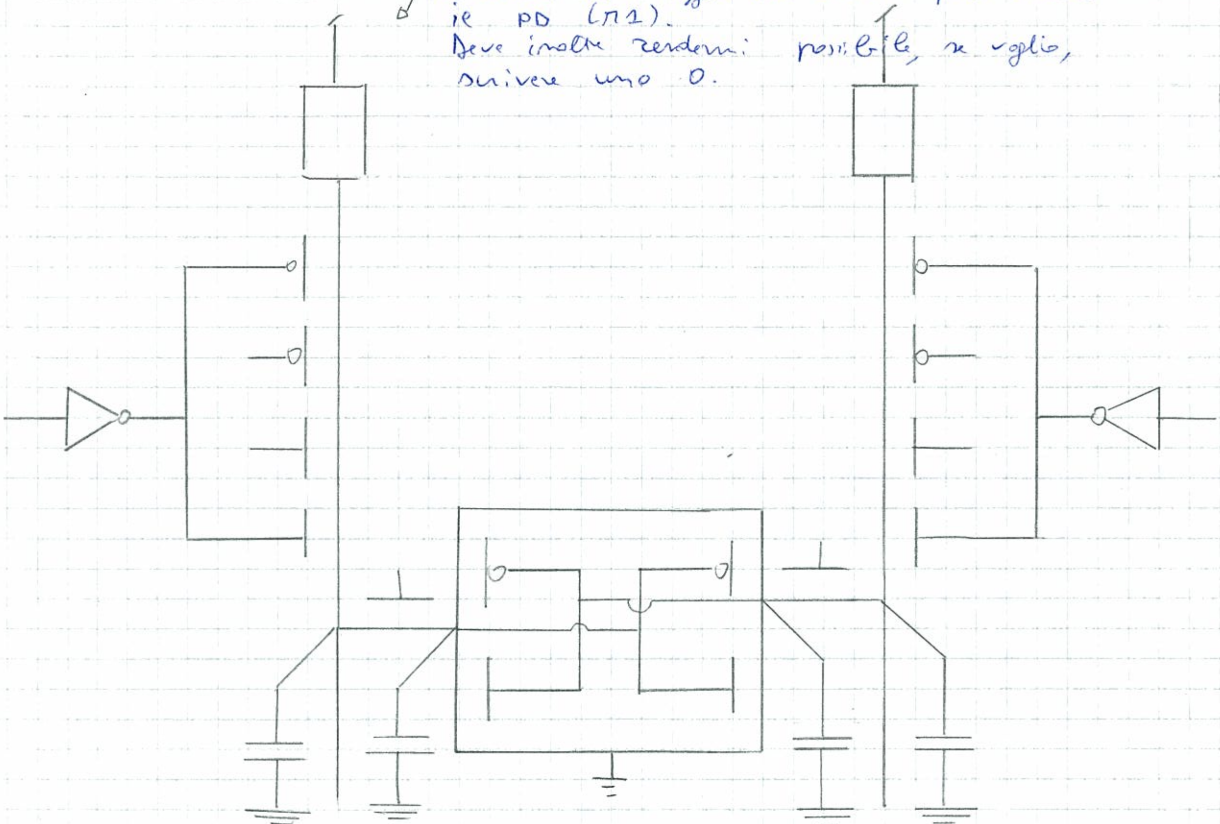
Il nodo $V_{\bar{Q}}$ rispetto fa molta più fatica ad abbassarsi, perchè non c'è niente che lo porta giù. $V_{\bar{Q}}$ tende a rimanere alto. Tenderebbe ad andare basso se M3 si accende. Ma anche se M3 si accende ci impiega molto più tempo di prima a portarlo basso, perchè ho una capacità più grande. M3 fa in tempo a riaccendersi. Accetto quindi che V_Q possa andare sopra a V_T, perchè tanto $V_{\bar{Q}}$ si scarica molto più lentamente. Arriva molto prima la ridiscesa di V_Q che $V_{\bar{Q}}$ sotto.



Io vorrei quindi delle $BL = 1$ in ~~scrittura~~ lettura. Per farlo devo precaricarle a 1 in fase di scrittura. Le carico con un PU.

$BL = 1$ precaricate quando $W = 0$ LETTURA

questo PU deve però essere piccolo, perché devo poter avere uno 0 se il lettura devo leggere uno 0. Deve poter vincere il PD (PU1).
Deve inoltre rendermi possibile, se voglio, scrivere uno 0.



struttura finale di una cella RAM.

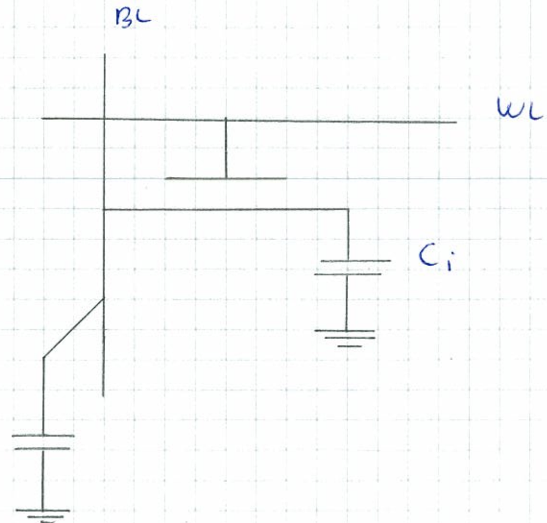
Quindi il PU deve essere molto piccolo. Se riesco a fare questo ho un PU che non devo controllare, che non devo disattivare con un segnale di R/W.

è una cella ingombrante e a 6 mos ma molto veloce (e con tempi di lettura e scrittura confrontabili.
Essendo formata da 6 mos avrà però capacità di memorizzazione piccola.
Queste memorie sono utilizzate, interfacciate a una CPU, come memorie cash.

RAM dinamiche

L'obiettivo è di arrivare a memorie meno ingombranti: meno ingombranti sono più capacità posso avere.

Anziché sfruttare il bistabile posso usare il condensatore metallo-ossido-semiconduttore del condensatore.

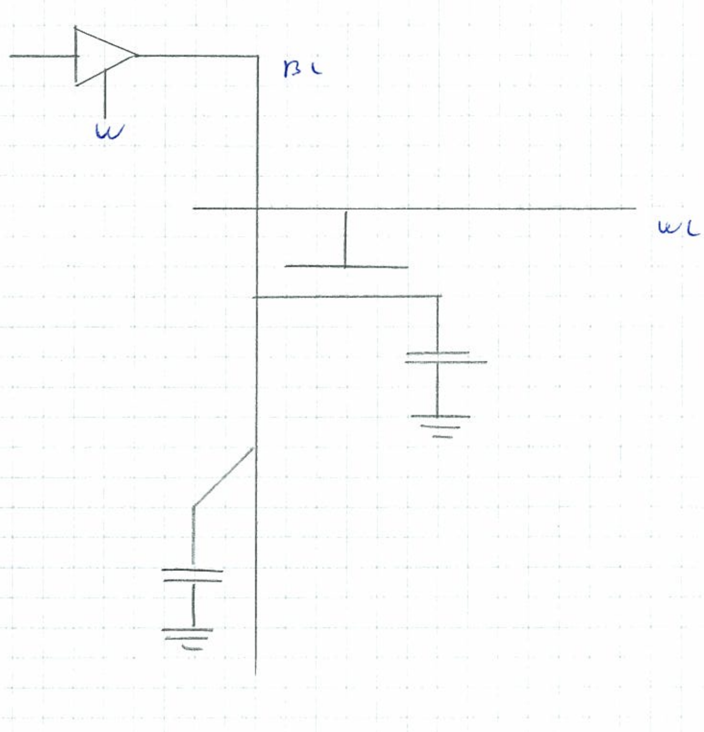


↖ generica capacità di cella (data del ~~conder~~ mos)

↗ Capacità parassita della BL (data dalla somma delle capacità degli altri mos connessi alla BL).

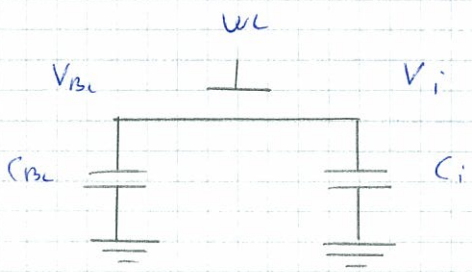
$C_{BL} >> C_i$

Ancora una volta la BL sarà collegata a un circuito con abilitazione di R/W



In fase di scrittura
voglio 1 → carico cond.
" 0 → scarico "

In fase di scrittura ancora una volta sono in H.I. Il circuito che devo studiare è questo:

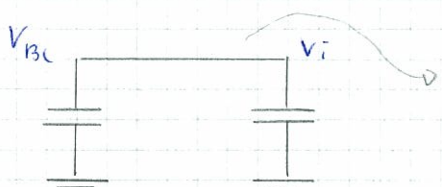


$t<0$ $\quad WL=0 \quad$ M OFF

$Q_{BL}^- = V_{BL}^- \cdot C_{BL}$

$Q_i^- = V_i^- \cdot C_i$

$t>0$ $\quad WL=1 \quad$ M ON



questo diventa un cortocircuito

$V_i^+ = V_{BL}^+$

$Q_{BL}^+ = V_{BL}^+ \cdot C_{BL}$

$Q_i^+ = V_i^+ C_i$

Principio di conservazione della carica:

$Q_{BL}^- + Q_i^- = Q_{BL}^+ + Q_i^+$

$V_{BL}^- C_{BL} + V_i^- C_i = V_{BL}^+ (C_i + C_{BL}) \qquad (V_{BL}^+ = V_i^+)$

$$V_{BL}^+ = \frac{C_{BL}}{C_i + C_{BL}} V_{BL}^- + \cancel{\frac{C_i}{C_i + C_{BL}} \cdot V_i^-}^{\,0}$$

Hp: $V_i^- = 0$ => nella cella era memorizzato "0" => vorrei $BL=0$ (vorrei leggere uno "0")

$$V_{BL}^+ = \underbrace{\frac{C_{BL}}{C_i + C_{BL}}}_{\simeq 1} V_{BL}^- \rightarrow V_{BL}^+ = V_{BL}$$

$C_{BL} >> C_i$

Non cambio valore: leggo ancora 1

Inoltre ho distrutto il contenuto della cella, perché $V_i^+ = V_{BL}^+ = V_{BL}^- = 1$.
Quindi la mia memoria così non funziona.

Perché non riesco a leggere il dato contenuto nella cella (V_i^-)? Perché ho tra i piedi il termine che dipende da V_{BL}^-. Se non ce l'avessi avrei qualcosa di proporzionale a V_i^-.

$$V_{BL}^+ = \underbrace{\frac{C_{BL}}{C_i + C_{BL}} V_{BL}^-}_{} + \frac{C_i}{C_i + C_{BL}} V_i^-$$

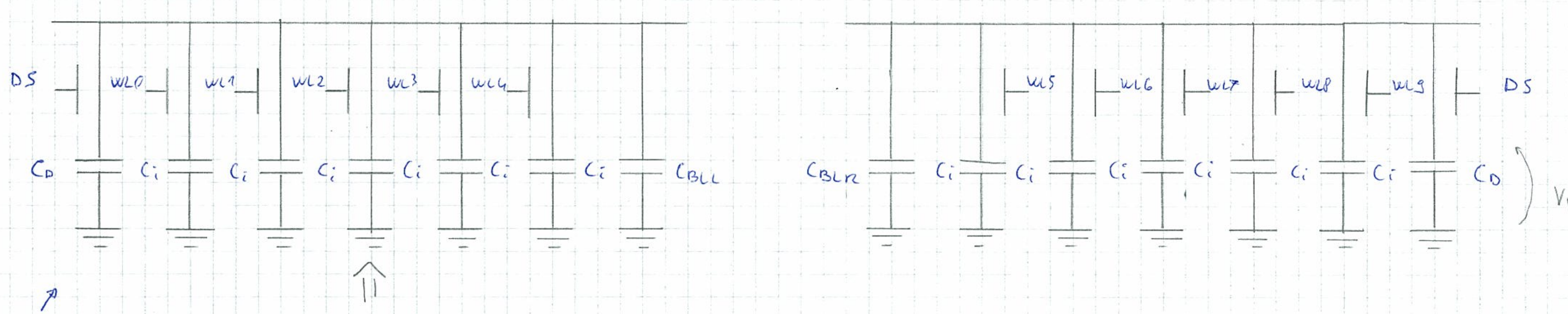
mi dà fastidio

↓

è come un rumore molto grande dentro al quale annega il segnale.
Devo eliminare il primo termine cercando di isolare il secondo.
L'idea è quella di considerare due BL che in realtà sono due parti della stessa BL. Sono due parti esattamente uguali tra loro. Metà delle celle che fanno capo a una BL le associo a una semi-bitline, le altre alla semi-bitline dall'altra parte.

BLL = BL Left   BLR = BL Right

$C_{BLL} = C_{BLR}$ $\qquad$ $C_D = C_i$



memoria di 10 parole da 1 bit

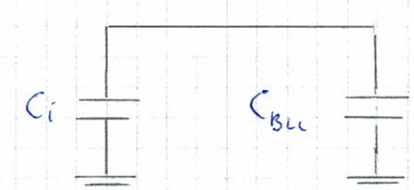
C_{BL} = capacità parassita di bit line ($C_{BLL} = C_{BLR}$ perché ho diviso la BL esattamente a metà).

In più aggiungo un'altra cella, sia a destra sia a sinistra, detta DUMMY abilitata da un segnale DS (Dummy Select)
Le capacità dummy sono uguale tra di loro e uguali alle C_i
Supponiamo di voler leggere il contenuto di questa cella. Allora pongo

$WL2 = 1$ $\qquad$ $WL0, WL1, WL3, \dots, WL9 = 0$

$DS_{BLL} = 0$

Quindi sulla BL di sinistra avrò un circuito fatto così:



← mos della cella accesa: lo considero un cortocircuito (interruttore ideale)

$t<0 \qquad WL2 = 0$

$C_i \qquad V_i^-$

$C_{BLL} \qquad V_{BLL}^-$

$t>0 \qquad WL2 = 1$

$V_i^+ = V_{BLL}^+$

Deve valere il principio di conservazione della carica.

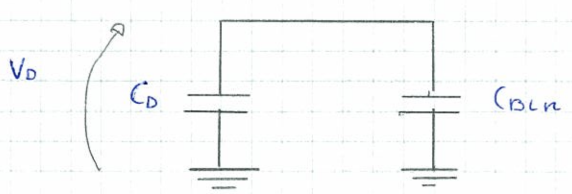
$$C_i V_i^- + C_{BLL} V_{BLL}^- = V_{BLL}^+ (C_i + C_{BLL})$$

$$V_{BLL}^+ = \frac{C_{BLL}}{C_i + C_{BLL}} V_{BLL}^- + \frac{C_i}{C_i + C_{BLL}} V_i^-$$

Sulla BL di destra ora vado ad attivare DS. Cioè, nello stesso momento in cui attivo WL2 nello stesso momento attivo anche il segnale DS della BL opposta.

$BLR \qquad DS = 1 \qquad WL5, WL6, \ldots, WL9 = 0$

Per la BL di destra il circuito che dovrò studiare sarà:



$t<0$

$C_D \qquad V_D^-$

$C_{BLR} \qquad V_{BLR}^-$

$t>0$

$V_{BLR}^+ = V_D^+$

$$C_D \cdot V_{DS}^- + C_{BLR} \cdot V_{BLR}^- = V_{BLR}^+ (C_D + C_{BLR})$$

$$V_{BLR}^+ = \frac{C_{BLR}}{C_{BLR} + C_D} V_{BLR}^- + \frac{C_D}{C_D + C_{BLR}} V_D^-$$

$$V_{BLL}^{+} = \underbrace{\frac{C_{BLL}}{C_i + C_{BLL}}} V_{BLL}^{-} + \underbrace{\frac{C_i}{C_i + C_{BLL}}} V_i^{-}$$

← questi termini sono uguali

$$V_{BLn}^{+} = \underbrace{\frac{C_{BLn}}{C_{BLn} + C_D}} V_{BLn}^{-} + \underbrace{\frac{C_D}{C_D + C_{BLn}}} V_D^{-}$$

Se faccio in modo che: (vedremo poi come ottenerlo)

se $V_{BLL}^{-} = V_{BLn}^{-}$ allora

$$V_{BLL}^{+} - V_{BLn}^{+} = \frac{C_i}{C_i + C_{BLL}} \cdot (V_i^{-} - V_D^{-})$$

Quindi tutte le volte che

$V_i^{-} > V_D^{-} \Rightarrow V_{BLL}^{+} > V_{BLn}^{+}$

$V_i^{-} < V_D^{-} \Rightarrow V_{BLL}^{+} < V_{BLn}^{+}$

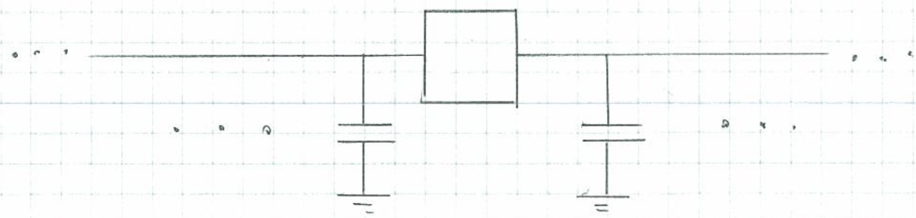
Ma allora se riesco a implementare un circuito che riesca a capire quando una BL è a un potenziale maggiore dell'altra allora posso sapere se ~~VBLL~~ V_i^{-} è > o < di V_D^{-}. Se pongo V_D^{-} a un potenziale di riferimento posso sapere se V_i^{-} è maggiore o minore del segnale di riferimento (riesco a leggere il contenuto della cella.
Ho eliminato il termine di rumore, Ho operato una lettura di tipo "differenziale".

Come implemento tutto?

1) $V_{BLL}^{-} = V_{BLn}^{-}$ ← devo trovare un circuito che mi permetta di portare le due BL allo stesso potenziale prima dell'inizio della fase di lettura

2) $V_{BLL}^{+} \gtrless V_{BLN}^{+}$ → devo avere un circuito che mi permette di capire quale bit line si trova a potenziale superiore.

Tra le mie BL devo mettere un circuito che faccia tutto questo.



3) Queste V_{BLL}^{+} e V_{BLN}^{+} non saranno né un 1 logico pieno né uno zero pieno. Il loro valore dipenderà da (2). Io però sono interessata a portare fuori una lettura di 0 e 1 pieni,

Ho bisogno di un circuito che mi porti il dato alla piena escursione logica.

3) In più il contenuto della cella in questo caso viene distrutto. Quindi lo stesso circuito mi deve permettere di rigenerare il contenuto della cella.

Quindi il circuito deve fare:

1 - equalizzazione

2 - lettura vera e propria

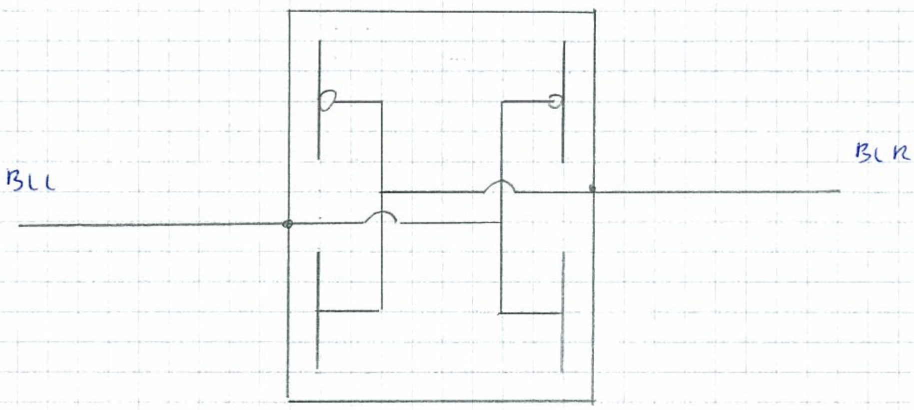
3 - rigenerazione e piena escursione delle BL.

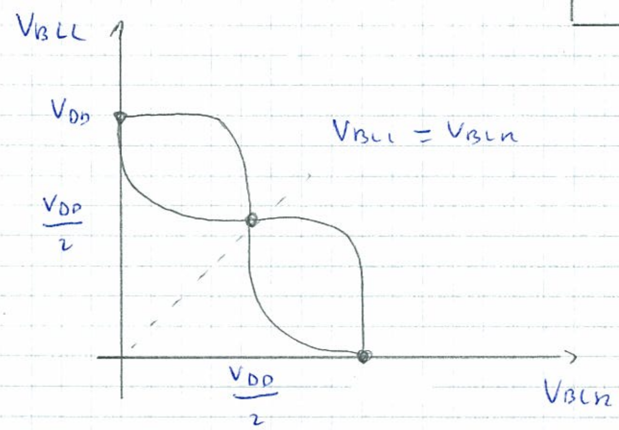
Quindi l'operazione di lettura consiste nell'insieme di queste 3 fasi. Ogni fase è molto veloce, ma l'insieme delle 3 fasi fa sì che la lettura di una RAM dinamica sia più lenta di quella di una RAM statica.

Inoltre la memoria dinamica ha il problema che si deve rinfrescare il dato (il condensatore si scarica). Ogni tanto la RAM dinamica ha bisogno di un ciclo di refresh. Questa è una fase asincrona, quindi non va bene da affiancare alla CPU. Quando essa deve appoggiare un dato non può aspettare.

Dobbiamo vedere come realizzare questo circuito.

1) Dunque, ho bisogno di un circuito che ripristini la piena escursione delle BL partendo da valori delle BL leggermente diversi fra di loro. Quale circuito può farlo? Il multivibratore bistabile.





$\beta_n = \beta_p$

$|V_{Tp}| = V_{Tn}$

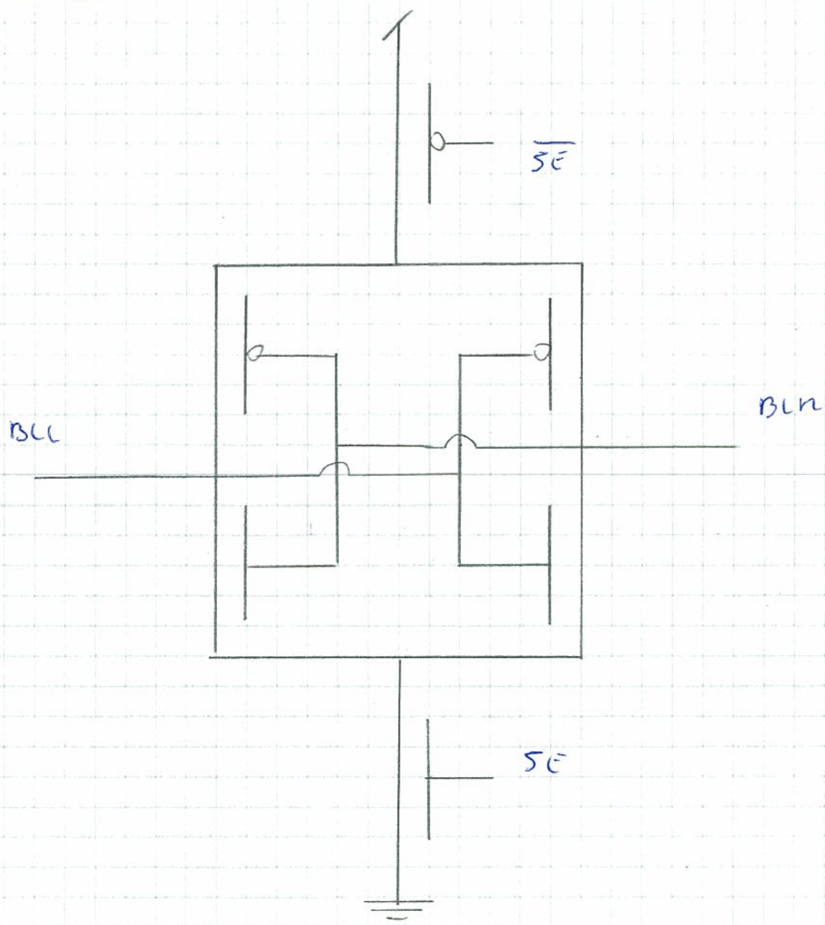
Non appena i valori di V_{BLR} e V_{BLL} si discostano tra di loro tirano a un punto di equilibrio stabile

$V_{BLR} < V_{BLL} \rightarrow V_{BLL} = 1 \quad V_{BLR} = 0$

$V_{BLR} > V_{BLL} \rightarrow V_{BLL} = 0 \quad V_{BLR} = 1$

2) Nella fase di lettura vera e propria le due BL devono trovarsi in H. I. Infatti prima abbiamo fatto i conti tenendo le due BL separate, senza niente in mezzo. Allora devo poter spegnere il multivibratore.

SE = Sense Enable



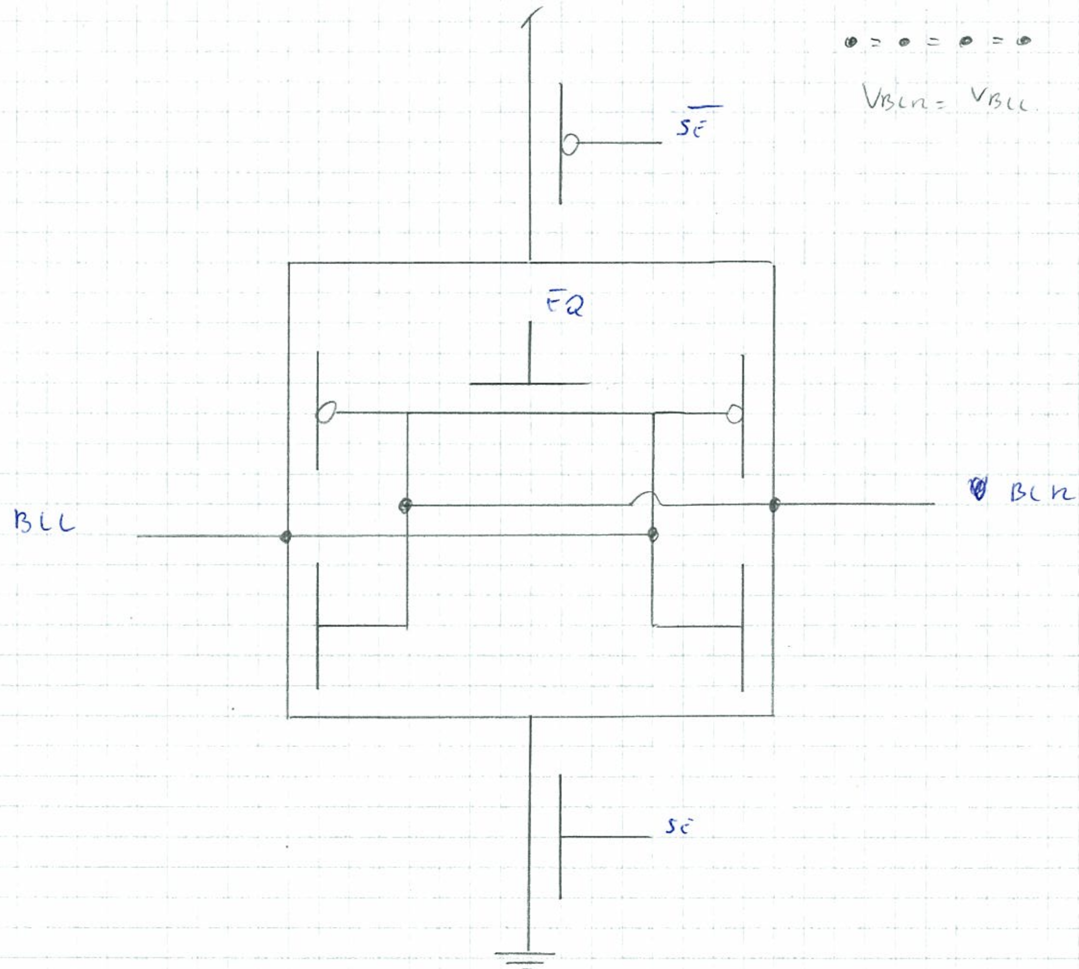
$SE = 1$ $\quad \overline{SE} = 0$ $\quad$ SA ON

$SE = 0$ $\quad \overline{SE} = 1$ $\quad$ SA OFF $\rightarrow$ BL in H.I.

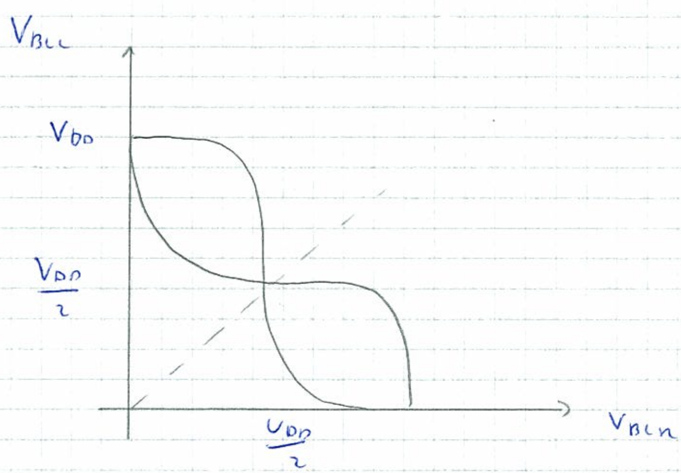
Infatti quando $SE = 1$ quando il bistabile commuta assorbe della corrente. Quando SA OFF non assorbe correnti e non viene forzato il potenziale.

1) Equalizzazione. Tutto un altro mos comandato da un segnale di equalizzazione. Quando $EQ = 1$ il mos funziona da corto circuito. Le due BL sono allo stesso potenziale.

$EQ = 1$ $\quad V_{BLR} = V_{BLL}$



$V_{BLR} = V_{BLL}$



$\beta_n = \beta_p$
$|V_{Tp}| = V_{Tn}$

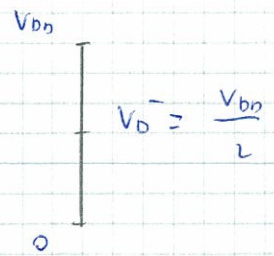
Per $V_{BLR} = V_{BLL}$ sono nel punto di eq. instabile. Se faccio $\beta_n = \beta_p$ e $|V_{Tp}| = V_{Tn}$ allora

$$V_{BLL} = V_{BLR} = \frac{V_{DD}}{2}$$

$$V_{BLL}^{-} - V_{BLR}^{+} = \frac{C_i}{C_i + C_{BLL}} (V_i^{-} - V_D^{-})$$

$$V_{DD} - V_D^{-} = \frac{V_{DD}}{2}$$

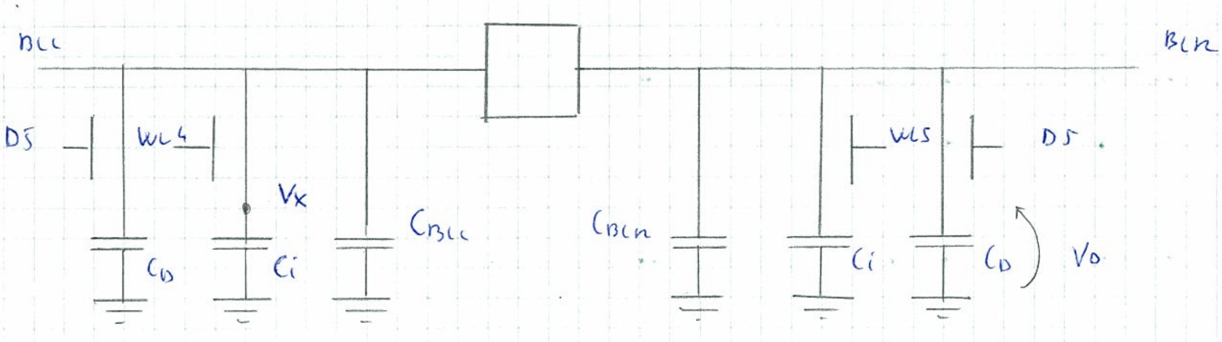
$$\underbrace{0 - V_D}_{-\frac{V_{DD}}{2}}$$



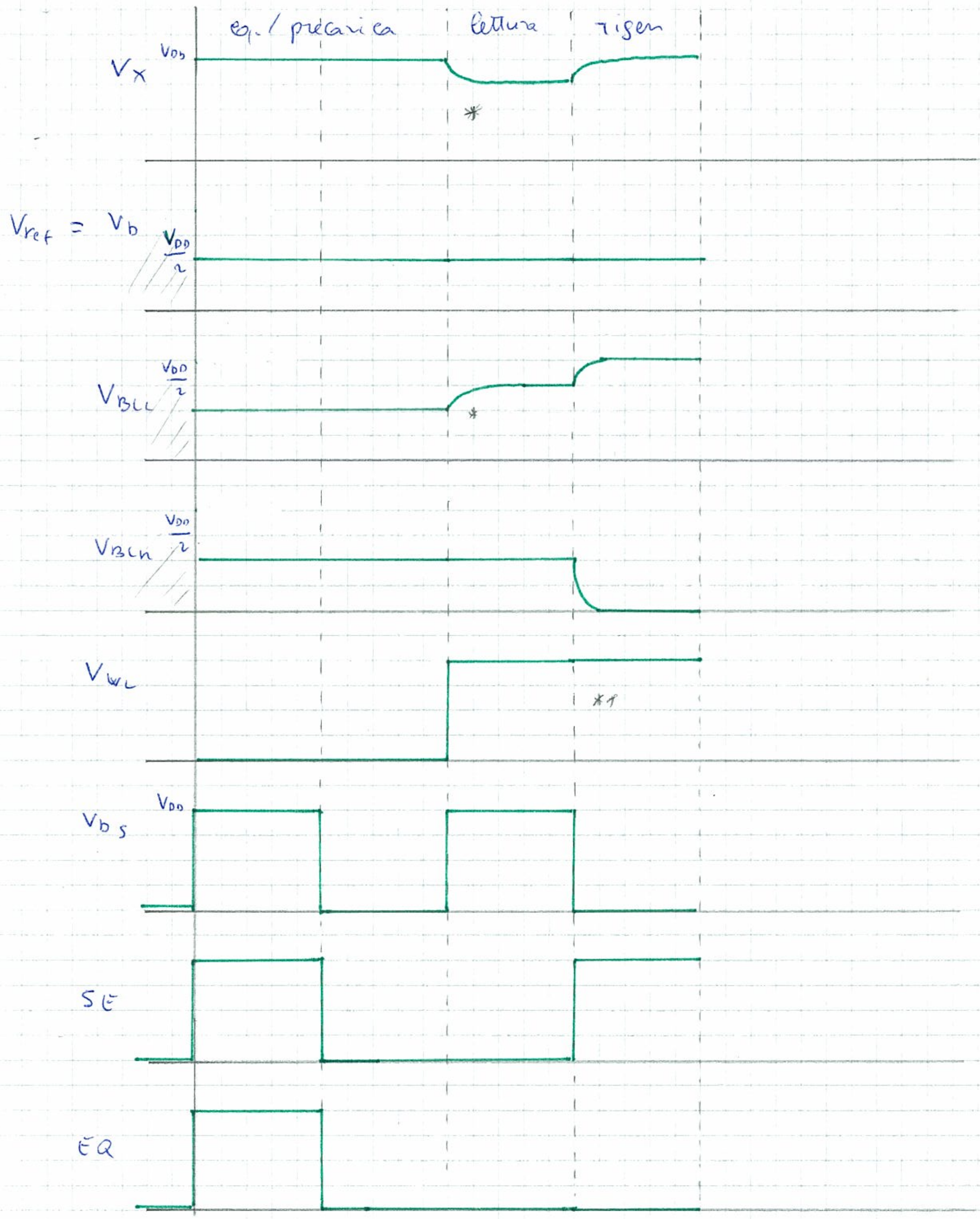
Mi fa comodo che il segnale V_D, che uso come riferimento, sia $\frac{V_{DD}}{2}$.

Quindi devo precaricare V_D a $\frac{V_{DD}}{2}$. Per farlo in fase di equalizzazione attiverò entrambi i dummy select, che quindi si precaricheranno a $V_{DD}/2$

Ridisegnamo il tutto (accorciamo la memoria per questione di spazio sul foglio) e studiamo l'andamento temporale dei segnali.



Supponiamo di voler leggere il contenuto di questa cella.



V_b = segnale di riferimento che abbiamo precaricato nella cella dummy.
V_{DS} = tensione fra drain e source del mos.

Partiamo dalla fase di equalizzazione e precarica.
Hp: C_i "1" $V_x = V_{DD}$ ← ipotesi sul dato da leggere

* ridistribuzione di carica

*1 lascio la WL alta così rigenero il contenuto nella cella.

Nella fase di rigenerazione del dato ho portato BL e BLn al valore di piena escursione logica. Contemporaneamente ho ripristinato il dato nella cella.

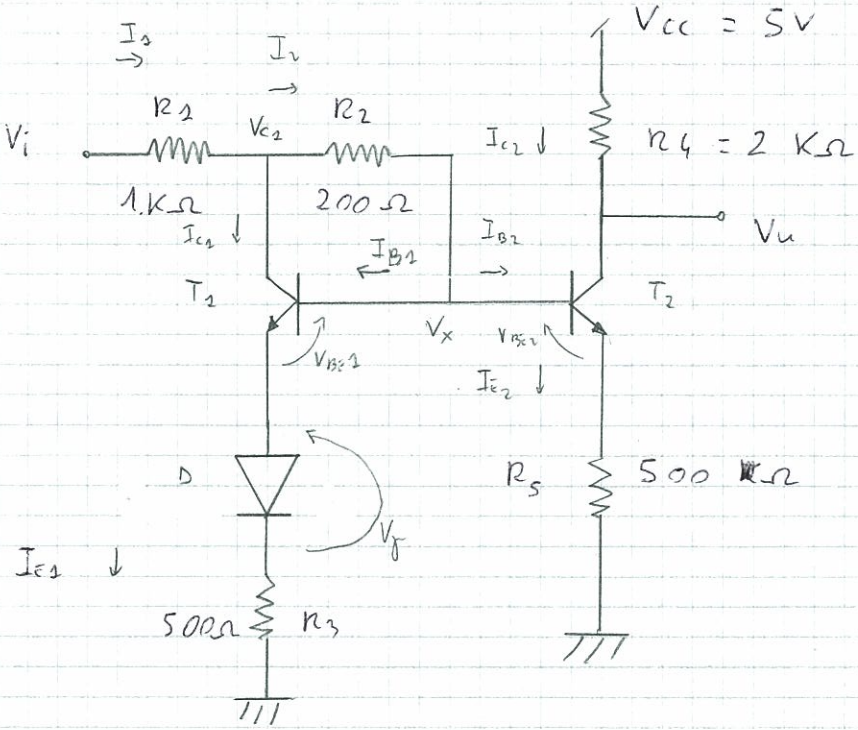
Quindi se avevo delle correnti di perdita del condensatore della cella che mi hanno alterato il dato attivando la fase di lettura vado a ripristinare il valore logico completo del dato. Posso sfruttare questo fatto per implementare la fase di refresh.

La fase di refresh della memoria e' una fase (asincrona) di lettura a tappeto di tutte le celle della memoria.

Se il contenuto della cella si e' degradato di ΔV, leggo un valore sbagliato?

No, perche' anche il valore della cella dummy si e' degradato in egual modo (tutte le celle sono uguali => stesse correnti di perdita), perciò la differenza $V_i - V_D$ rimane la stessa.

Caratteristica statica



$V_\gamma = 0.75\ V$

$V_{CESAT} = 0.2\ V$

$\beta_F = 100$

Soluzione:

$I_D = I_{E1}$

Quindi se D ON $\rightarrow I_D > 0 \rightarrow I_{E1} > 0 \rightarrow T_1$ ON

D ON $\longleftrightarrow$ T_1 ON

$$\left.\begin{array}{l} I_2 = \dfrac{V_{C1} - V_{B1}}{R_2} \\ \\ I_2 = \underset{0}{\underset{\vee\!\!/}{I_{B1}}} + \underset{0}{\underset{\vee\!\!/}{I_{B2}}} \geq 0 \end{array}\right\} \rightarrow V_{C1} - V_{B1} \geq 0 \qquad V_{C1} \geq V_{B1}$$

$\downarrow$

T_1 non andrà mai in SAT.

NB. $\rightarrow$ Per farlo andare in SAT devo polarizzare in inversa la giunzione tra base e collettore, cioè il collettore deve essere a potenziale più basso.

T_1 \ T_2	OFF	RN	SAT
OFF			
RN	X		
SAT	X	X	X

- T_2 on:

$V_{BE2} = V_\gamma$

$I_{E2} > 0$ ← NB.

$V_x = V_{BE2} + R_S I_{E2}$

→ $V_x = V_\gamma + \underbrace{R_S I_E}_{>0} > V_\gamma$

- T_1 on

$V_{BE1} = V_\gamma$

D on → $V_D = V_\gamma$

$I_D = I_{E1} > 0$

$V_x = \underbrace{V_{BE1}}_{=V_\gamma} + \underbrace{V_D}_{=V_\gamma} + R_3 \underbrace{I_{E1}}_{>0}$

→ $V_x > 2 V_\gamma$

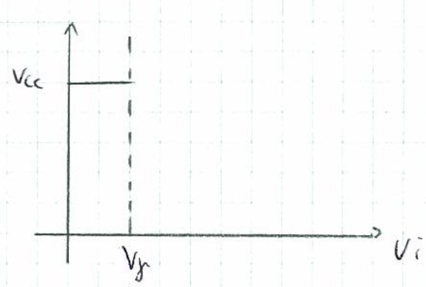
- T_1 non si può accendere se non è già acceso T_2

- Facile di solito partire dalla condizione in cui entrambi i transistori sono spenti

T_1 OFF

T_2 OFF

$V_u = V_{cc} - R_4 \underbrace{\cancel{I_4}}_{=0}$ → $V_u = V_{cc}$



$V_{BE1} < V_\gamma$

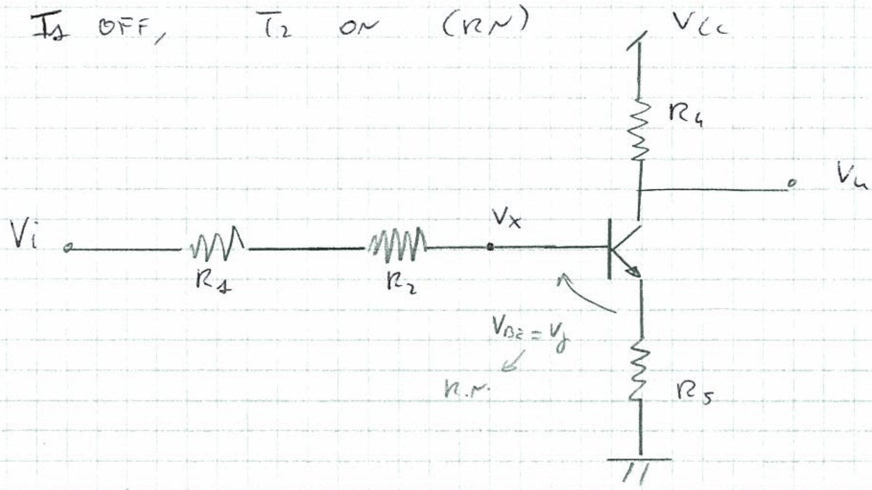
$V_{BE2} < V_\gamma$

$V_i - R_2 (\underbrace{\cancel{I_{C1}}}_{=0} + \underbrace{\cancel{I_{B1}}}_{=0} + \underbrace{\cancel{I_{B2}}}_{=0}) - R_2 (\underbrace{\cancel{I_{B1}}}_{=0} + \underbrace{\cancel{I_{B2}}}_{=0}) - V_{BE2} - R_S \underbrace{\cancel{I_{E2}}}_{=0} = 0$

↓

$V_i = V_{BE2} < V_\gamma$

- Ci sarà un tratto ($V_\gamma < V_x < 2V_\gamma$) in cui T_2 ON e T_1 OFF.
- T_1 OFF, T_2 ON (RN)



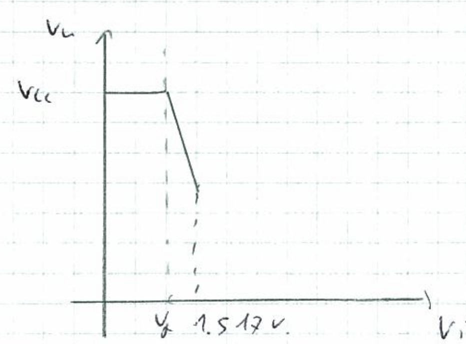
$$\begin{cases} V_u = V_{CC} - R_4 I_{C2} \\ I_{C2} = \beta_F I_{B2} \\ I_{B2} = \dfrac{V_i - V_x}{R_1 + R_2} \\ I_{E2} = \dfrac{V_x - V_\gamma}{R_5} = I_{B2}(\beta_F + 1) \end{cases}$$

dove tirare in ballo V_i.

◁– NB.

4 eq. con 4 incognite V_u, V_x, I_{C2}, I_{B2}

$V_u(v_i) = 7.9 - 3.87\, V_i$



Fino a quando è valido?

$V_x(v_i) = 0.97\, v_i - 0.017$

V_u (quindi V_C) sta calando. Quindi T_2 andrà SAT.

Accade prima T_1 ON o T_2 SAT?

$$\begin{cases} V_{CE2} > V_{CESAT} \\ V_{CE2} = V_u - (V_x - V_\gamma) \\ V_u(v_i) = \ldots \\ V_x(v_i) = \ldots \end{cases} \Rightarrow \underline{V_i < 1.74\ V}$$

Ma c'è un'altra condizione per rimanere in •: deve essere T_1 OFF

$V_x < 2V_\gamma \rightarrow$ $V_i < 1.517\ V$

Si accende prima T_1.

• T1 RN, T2 RN

$$\begin{cases} V_u = V_{CC} - R_4 I_{C2} \\ I_{C2} = \beta_F I_{B2} \\ V_i - R_1 (I_{C1} + I_{B1} + I_{B2}) - R_2 (I_{B1} + I_{B2}) = V_x \\ I_{B2}(\beta_F + 1) = \dfrac{V_x - V_\gamma}{R_5} \\ I_{B1}(\beta_F + 1) = \dfrac{V_x - 2V_\gamma}{R_3} \end{cases}$$

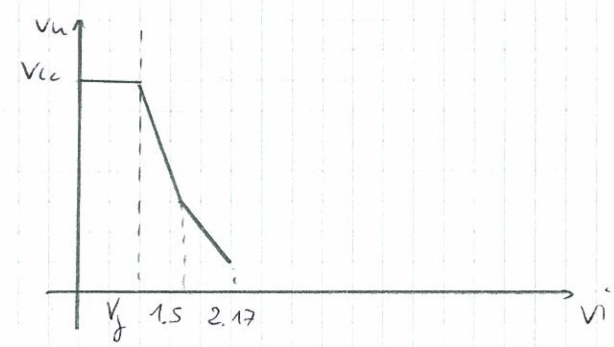
5 eq. 5 incognite

$V_u(V_i) = 4.015 - 1.31\,V_i$

$V_x(V_i) = 0.99 + 0.33\,V_i$

Se V_u continua a calare anche T2 andrà in SAT

$$\begin{cases} V_u(V_i) = 4.015 - 1.31\,V_i \\ V_x(V_i) = 0.99 - 0.33\,V_i \\ V_{CE2} = V_u - (V_i - V_\gamma) > V_{CESAT} \end{cases} \rightarrow V_i < 2.17\ V$$

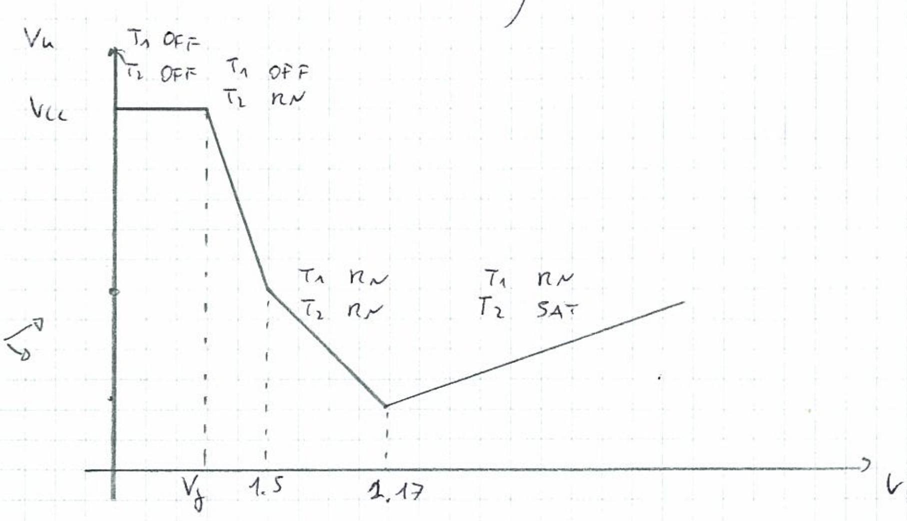


• T1 RN, T2 SAT

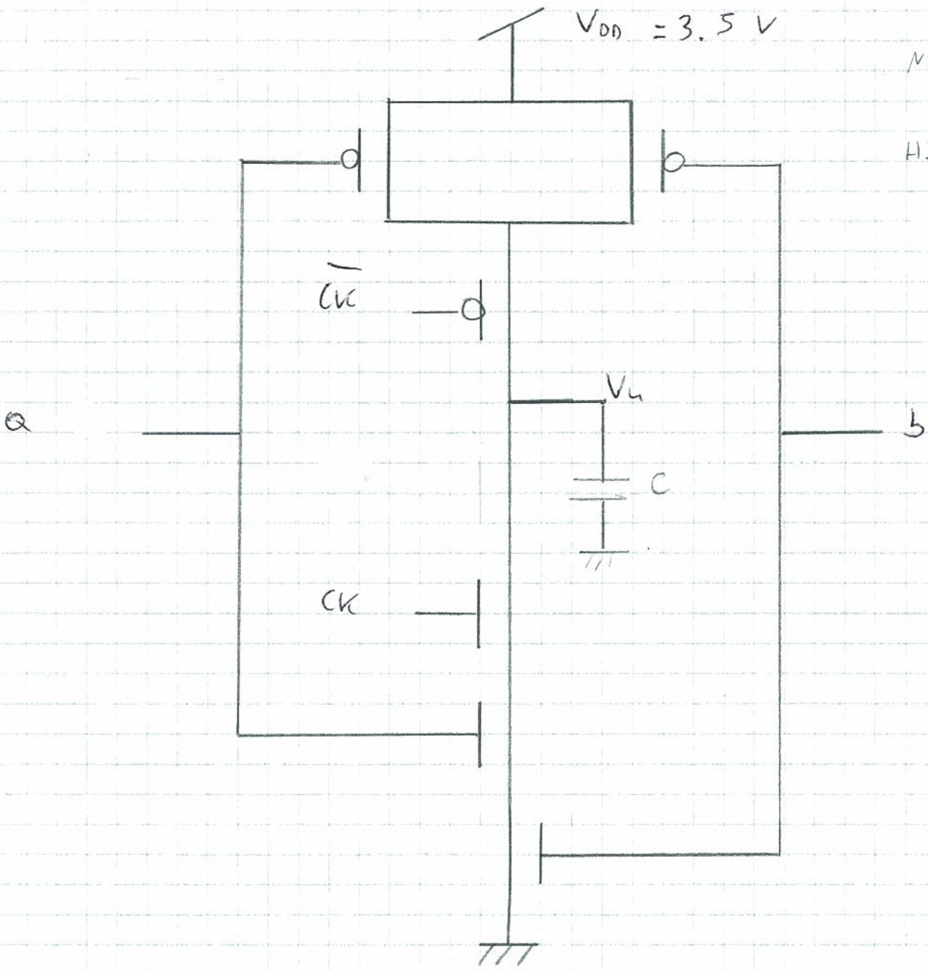
$$\left.\begin{array}{l} V_u = V_{CC} - R_4 I_{C2} \\ I_{C2} = I_{E2} - I_{B2} \\ V_i - R_1 (I_{C1} + I_{B1} + I_{B2}) - R_2 (I_{B1} + I_{B2}) = V_x \\ I_{E2} = \dfrac{V_x - V_\gamma}{R_5} \end{array}\right\} \quad V_u = 0.8 + 0.16\,V_i$$

(·

facilmente ricavo i valori di quelli punti



Tempo di propagazione



NAND quando c'è l'abilitazione del clock

HI (l'uscita non può variare) quando CK = 0

Vediamo che è una logica di tipo C²MOS. Vediamo ora che è un NAND. Supponiamo che ci sia un clock skew. Supponiamo poi che a e b abbiano i seguenti andamenti.

$T_{CK} = 20\ ns$

tempo di skew = 2 ns

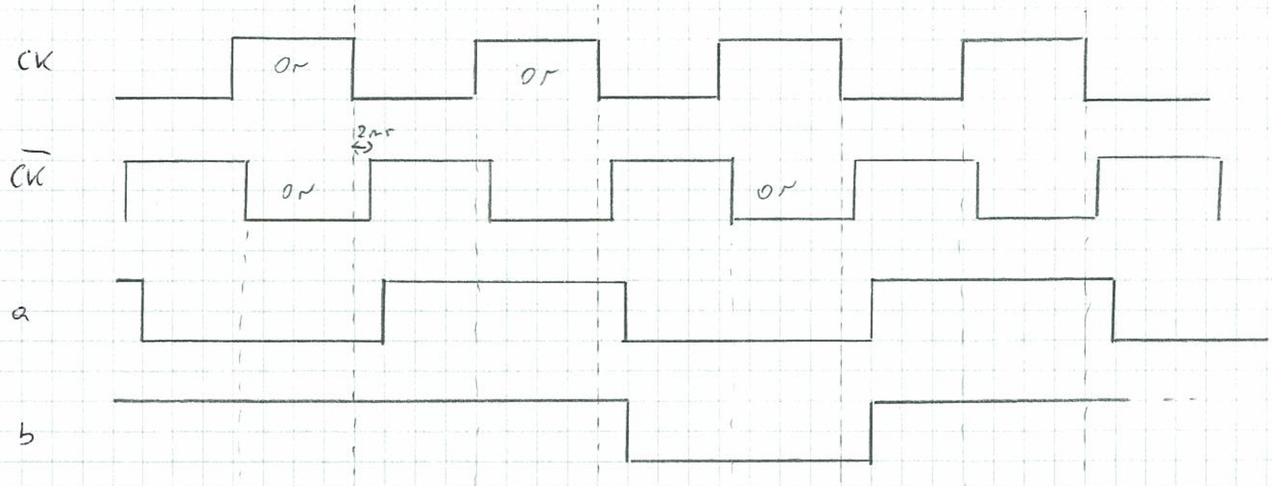
Tracciare qualitativamente l'andamento di V_u e calcolare i tempi di propagazione.

$V_{Tn} = |V_{Tp}| = 0.4\ V$

$\beta_n = 1\ mA/V^2$

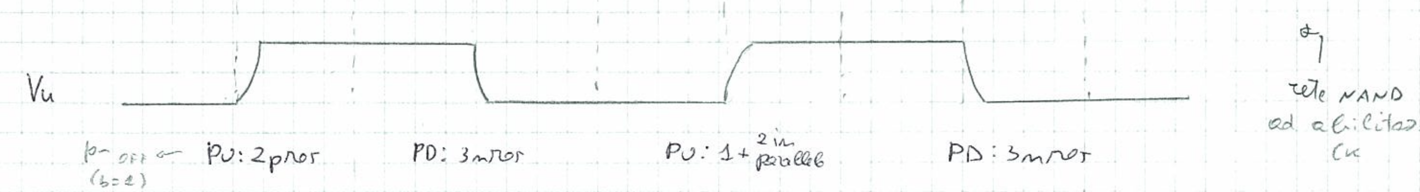
$\beta_p = ?$ ← va calcolato imponendo $t_{PHL} = t_{PLH}$ nel caso peggiore

$C = 20\ fF$ ← capacità di carico



Come risolvere facilmente? PU si riduce ad un solo mos equivalente

PD " " " " " " "



In caso di discesa ho un solo caso possibile, è facile calcolare l'unico tempo di propagazione.

$$t_p = \frac{C}{\beta(V_{DD}-V_T)}\left\{\frac{V_{DD}}{V_{DD}-V_T} + \ln\left(\frac{3-4V_T}{V_{DD}}\right)\right\} \quad K$$

$$t_{PHL}: \quad \underbrace{\beta_{eq} = \frac{\beta_n}{3}}_{\text{3 nmos in serie}} \longrightarrow t_{PHL} = 23.05 \text{ ps}$$

Ora dobbiamo imporre lo stesso tempo al caso peggiore del PU (quello con 2 mos in serie).

$$t_{PLH} \text{ (caso peggiore)}: \quad \beta_{eq} = \frac{\beta_p}{2}$$

$$t_{PLH} = \frac{K}{\frac{\beta_p}{2}} = 23.05 \text{ ps}$$

$$\beta_p = 0.66 \ \text{mA}/\text{V}^2$$

pu: 1 + (2 in parallelo)

$$\beta_{eq} = \frac{1}{\frac{1}{\beta_p} + \frac{1}{2\beta_p}} = \frac{2}{3}\beta_p$$

$$t_{PLH} = \frac{K}{\frac{2}{3}\beta_p} = 17.3 \text{ ps}$$

Potenza dissipata?

Una logica CMOS dissipa solo potenza dinamica

$P = C V_{DD}^2 f$ ← ma questa è la potenza di un invertitore CMOS che commuta ad ogni fronte di salita del clock.

Dobbiamo stare attenti a qual è la frequenza f. Se l'uscita commutasse a ogni periodo di clock la frequenza sarebbe stata quella dell'ingresso.

L'uscita commuta ogni 2 periodi di clock

$$P = \frac{C V_{DD}^2 f_{CK}}{2} = 6.125 \ \mu W$$