



UNIVERSITÀ DEGLI STUDI DI PARMA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

Fondamenti di Informatica B

Esercitazione n.3

Fondamenti di Informatica B

Esercitazione n.3

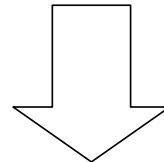
- Progetto di circuiti sequenziali
 - Diagramma degli stati
 - Costruzione delle tabelle
 - Minimizzazione
 - Disegno del circuito

Riepilogo teorico

CIRCUITI SEQUENZIALI: le uscite dipendono non solo dagli ingressi, ma anche dallo stato interno del sistema.

Necessità di *ELEMENTI DI MEMORIA* (FLIP-FLOP per lettura, scrittura e memorizzazione di un bit)

Problema delle *CORSE CRITICHE*: si utilizzano flip-flop cadenzati (le uscite variano in funzione degli ingressi solo in caso di un dato livello o di una data transizione del segnale di clock)



Reti Sequenziali Asincrone vs. **Reti Sequenziali Sincrone**

I passi del progetto

- Scelta di un modello del circuito (ad es. Mealy) e degli elementi di memoria (ad es. flip-flop SR o JK)
- Costruzione del diagramma degli stati del circuito
- Traduzione del diagramma degli stati nella tabella delle transizioni del circuito
- Codifica degli stati individuati
- Costruzione della tabella di transizione del flip-flop scelto, e quindi dell'intero circuito
- Minimizzazione logica (attraverso mappe) della funzione d'uscita e delle funzioni che determinano gli ingressi degli elementi di memoria (per il passaggio allo stato successivo)
- Disegno finale del circuito

Esercizio 1

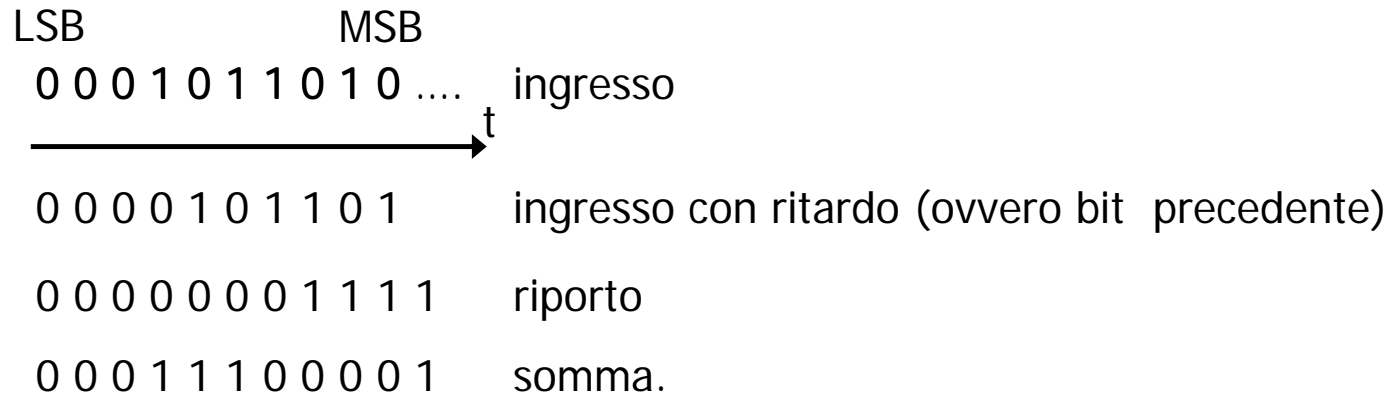
Progettare un circuito sequenziale che moltiplichi per tre un numero binario N di lunghezza arbitraria.

Il numero viene acquisito in modo seriale dall'ingresso x a partire dal bit meno significativo.

La cifra che rappresenta $3N$ deve presentarsi serialmente all'uscita z del circuito.

Progettare il circuito mediante FF-JK e porte logiche.

Esercizio 1



Data una sequenza all'ingresso la sequenza di uscita considera il valore presente (peso 1) e quello precedente (peso 2) e li somma.

Va considerato anche il riporto della somma precedente.

La somma è perciò funzione dell'ingresso e di altre due variabili "memorizzate": l'ingresso con ritardo e il riporto.

L'ingresso con ritardo è funzione dell'ingresso al passo precedente, mentre il riporto è funzione del riporto, dell'ingresso, e dell'ingresso con ritardo, tutti al passo precedente.

Esercizio 1

Possiamo perciò dire che il riporto e l'ingresso con ritardo sono variabili di stato.

Proviamo ad esprimere gli stati del nostro sistema utilizzando le variabili di stato: riporto ed ingresso con ritardo.

STATO A: riporto = 0 ingresso con ritardo = 0

STATO B: riporto = 0 ingresso con ritardo = 1

STATO C: riporto = 1 ingresso con ritardo = 0

STATO D: riporto = 1 ingresso con ritardo = 1

Avremo perciò 4 differenti stati, ciascuno dei quali viene rappresentato nel diagramma di stato con un ovale contraddistinto da una lettera.

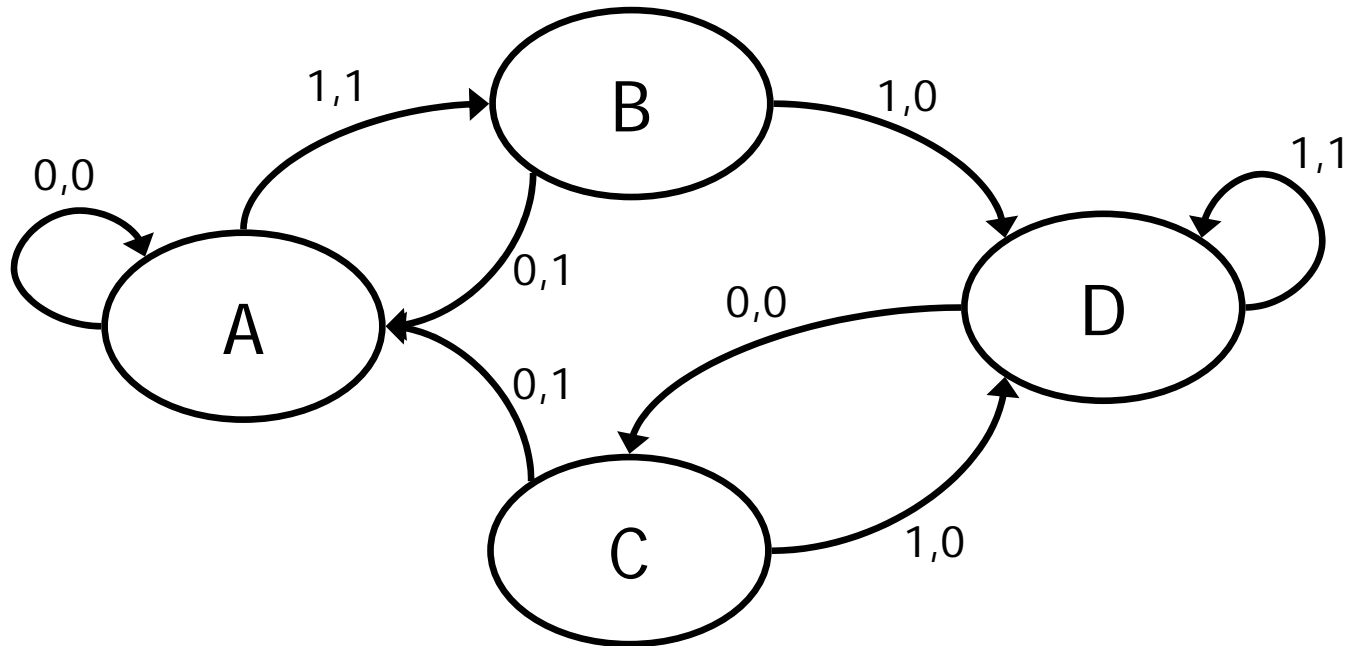
Esercizio 1

Diventa necessario capire come evolve il sistema da ogni stato per ogni possibile ingresso, in particolare serve conoscere l'uscita del sistema e lo stato futuro.

STATO	IN	OUT	STATO FUTURO
A riporto = 0 ingresso ritardo = 0	0	0	rip.=0 in.rit.=0 A
	1	1	rip.=0 in.rit.=1 B
B riporto = 0 ingresso ritardo = 1	0	1	rip.=0 in.rit.=0 A
	1	0	rip.=1 in.rit.=1 D
C riporto = 1 ingresso ritardo = 0	0	1	rip.=0 in.rit.=0 A
	1	0	rip.=1 in.rit.=1 D
D riporto = 1 ingresso ritardo =1	0	0	rip.=1 in.rit.=0 C
	1	1	rip.=1 in.rit.=1 D

Esercizio 1

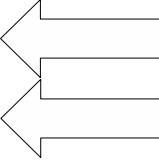
Disegniamo il diagramma di stato: ogni cambiamento di stato è indicato con una linea che congiunge due stati, i due numeri sovrapposti e separati da una virgola rappresentano rispettivamente ingresso ed uscita del sistema



Esercizio 1

Possiamo ricavare la seguente tabella che mostra per ogni possibile stato ed ogni possibile ingresso l'uscita e stato futuro:

		INGRESSO	
		0	1
STATO	A	A,0	B,1
	B	A,1	D,0
	C	A,1	D,0
	D	C,0	D,1

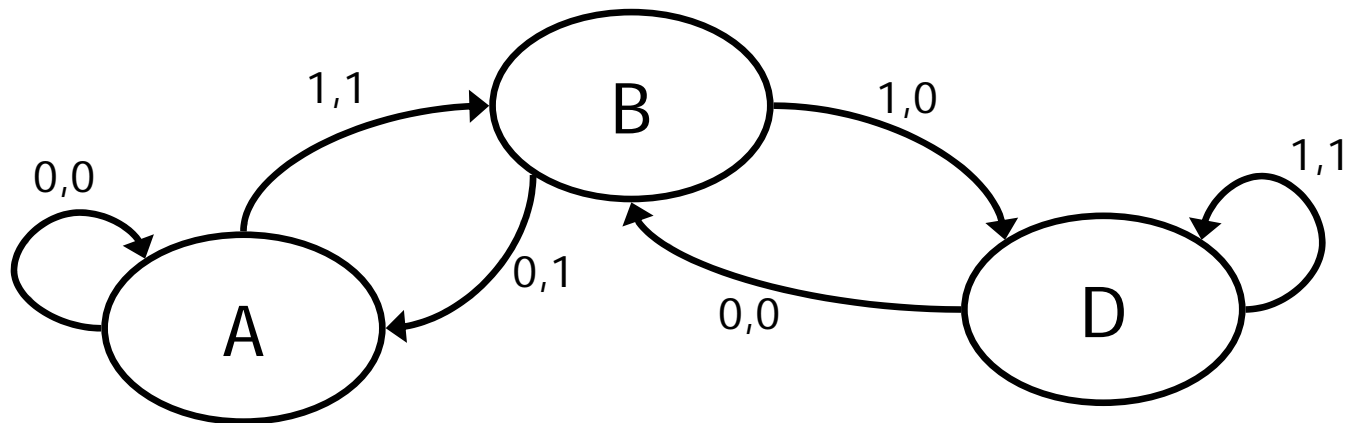


Si nota come il comportamento nello stato B e in quello C siano uguali. Uno di questi stati può perciò essere rimosso.

D'altra parte è indifferente se sia il riporto o l'ingresso con ritardo ad essere presente.

Esercizio 1

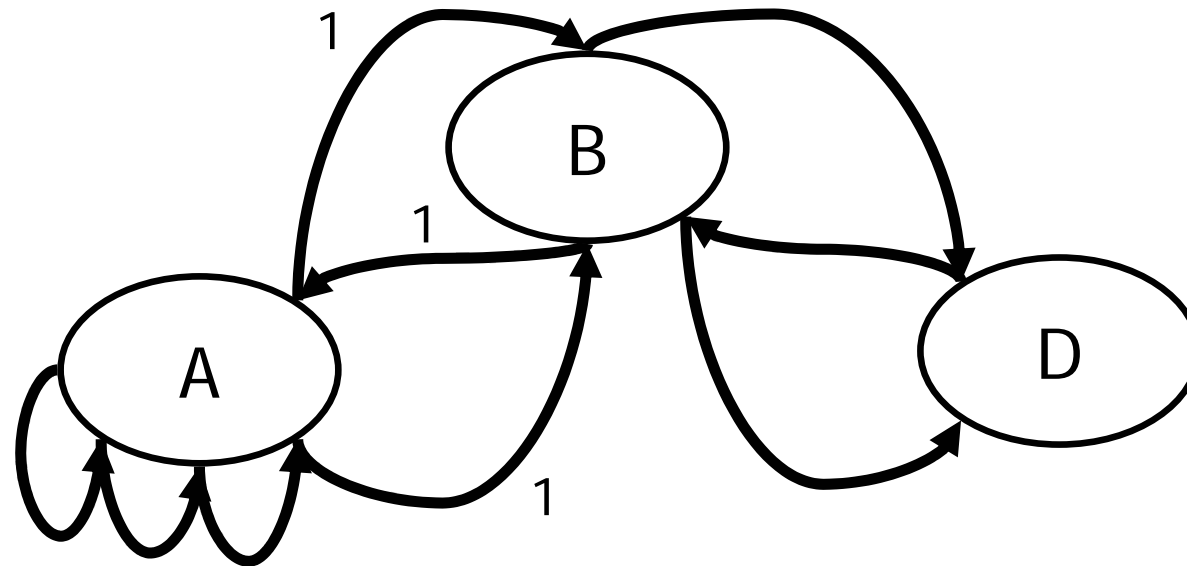
Graficamente è sufficiente rimuovere uno dei due stati, rimuovere tutte le frecce uscenti da esso e collegare le frecce entranti allo stato analogo.



Esercizio 1

Per verificare la validità della soluzione si può disegnare l'evoluzione del circuito.

0	0	0	1	0	1	1	0	1	0	ingresso
0	0	0	0	1	0	1	1	0	1		ingresso con ritardo (ovvero bit precedente)
0	0	0	0	0	0	0	1	1	1		riporto
0	0	0	1	1	1	0	0	0	0	1	somma.



Esercizio 1

Riprendiamo la tabella delle transizioni:

		INGRESSO	
		0	1
STATO	A=00	00,0	01,1
	B=01	00,1	10,0
	C=10	01,0	10,1

Siccome risulta impossibile codificare gli stati con delle lettere è necessario identificarli con dei numeri binari. Essendoci 3 stati sono necessari 2 bit. È sufficiente cambiare A con 00, B con 01, C con 10.

Esercizio 1

Ricordiamo il funzionamento del FF-JK:

J	K	Ck	Q_{n+1}
X	X	0	Q_n
1	0	1	1
0	1	1	0
0	0	1	Q_n
1	1	1	$\overline{Q_n}$

Da questa tabella possiamo ricavare la tabella delle transizioni, cioè la tabella che riporta il valore agli ingressi J e K in funzione della transizione che si vuole ottenere all'uscita dei FF-JK

Transizione	J	K
$0 \rightarrow 0$	0	d
$0 \rightarrow 1$	1	d
$1 \rightarrow 0$	d	1
$1 \rightarrow 1$	d	0
$0 \rightarrow d$	d	d
$1 \rightarrow d$	d	d

Esercizio 1

Utilizzando la tabella degli stati e quella delle transizioni possiamo scrivere:

		INGRESSO	
		0	1
STATO	00	00,0	01,1
	01	00,1	10,0
	10	01,0	10,1

Transizione	J	K
0 → 0	0	d
0 → 1	1	d
1 → 0	d	1
1 → 1	d	0
0 → d	d	d
1 → d	d	d

F ₀	F ₁	X	F ₀₊	F ₁₊	J ₀	K ₀	J ₁	K ₁	Z
0	0	0	0	0	0	d	0	d	0
0	0	1	0	1	0	d	1	d	1
0	1	0	0	0	0	d	d	1	1
0	1	1	1	0	1	d	d	1	0
1	0	0	0	1	d	1	1	d	0
1	0	1	1	0	d	0	0	d	1
1	1	0	d	d	d	d	d	d	d
1	1	1	d	d	d	d	d	d	d

Esercizio 1

Da questa tabella è possibile ricavare le mappe di Karnaugh

F_0	F_1	X	F_{0+}	F_{1+}	J_0	K_0	J_1	K_1	Z
0	0	0	0	0	0	d	0	d	0
0	0	1	0	1	0	d	1	d	1
0	1	0	0	0	0	d	d	1	1
0	1	1	1	0	1	d	d	1	0
1	0	0	0	1	d	1	1	d	0
1	0	1	1	0	d	0	0	d	1
1	1	0	d	d	d	d	d	d	d
1	1	1	d	d	d	d	d	d	d

X	0	1
F_0F_1		
00	0	0
01	0	1
11	d	d
10	d	d

J_0

X	0	1
F_0F_1		
00	d	d
01	d	d
11	d	d
10	1	0

K_0

Esercizio 1

Costruiamo le mappe di Karnaugh e cerchiamo la somma di prodotti minima (copertura degli 1)

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	0
	01	0	1
	11	d	d
	10	d	d

J₀

$$J_0 = X F_1$$

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	d	d
	01	d	d
	11	d	d
	10	1	0

K₀

$$K_0 = \overline{X}$$

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	d	d
	11	d	d
	10	1	0

J₁

$$J_1 = X \overline{F_0} + \overline{X} F_0$$

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	d	d
	01	1	1
	11	d	d
	10	d	d

K₁

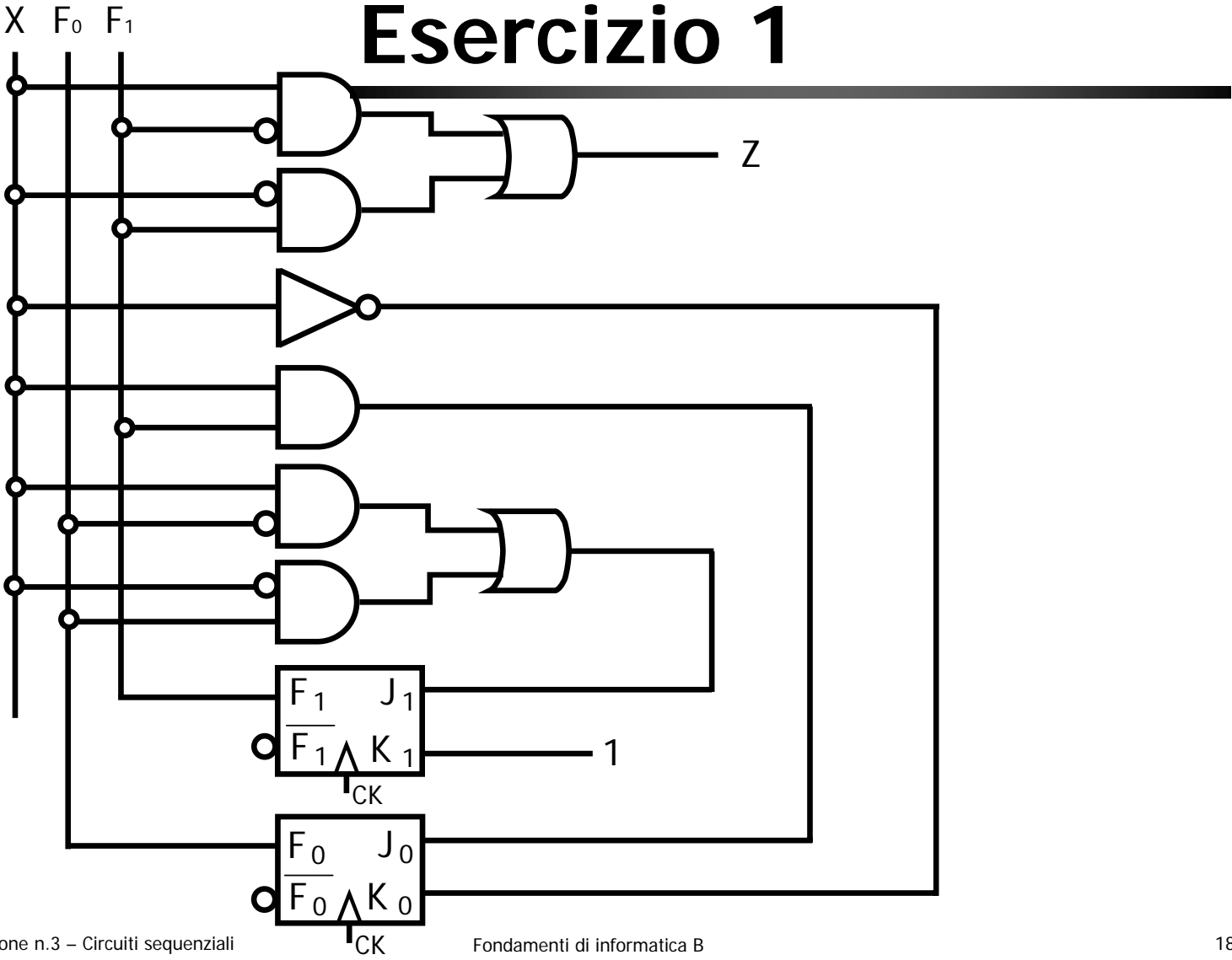
$$K_1 = 1$$

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	1	0
	11	d	d
	10	0	1

Z

$$Z = X \overline{F_1} + \overline{X} F_1$$

Esercizio 1



Esercizio 2

Se si fossero utilizzati FF-SR la tabella delle transizioni sarebbe stata la seguente

Transizione	J	K	S	R
$0 \rightarrow 0$	0	d	0	d
$0 \rightarrow 1$	1	d	1	0
$1 \rightarrow 0$	d	1	0	1
$1 \rightarrow 1$	d	0	d	0
$0 \rightarrow d$	d	d	d	d
$1 \rightarrow d$	d	d	d	d

Esercizio 2

Utilizzando la tabella degli stati e quella delle transizioni possiamo scrivere:

		INGRESSO	
		0	1
STATO	00	00,0	01,1
	01	00,1	10,0
	10	01,0	10,1

Transizione	S	R
0 → 0	0	d
0 → 1	1	0
1 → 0	0	1
1 → 1	d	0
0 → d	d	d
1 → d	d	d

F ₀	F ₁	X	F ₀₊	F ₁₊	S ₀	R ₀	S ₁	R ₁	Z
0	0	0	0	0	0	d	0	d	0
0	0	1	0	1	0	d	1	0	1
0	1	0	0	0	0	d	0	1	1
0	1	1	1	0	1	0	0	1	0
1	0	0	0	1	0	1	1	0	0
1	0	1	1	0	d	0	0	d	1
1	1	0	d	d	d	d	d	d	d
1	1	1	d	d	d	d	d	d	d

Esercizio 2

Dalla tabella è possibile ricavare le mappe di Karnaugh e cercare la somma di prodotti minima (copertura degli 1)

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	0
	01	0	1
	11	d	d
	10	0	d

S₀

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	d	d
	01	d	0
	11	d	d
	10	1	0

R₀

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	0	0
	11	d	d
	10	1	0

S₁

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	d	0
	01	1	1
	11	d	d
	10	0	d

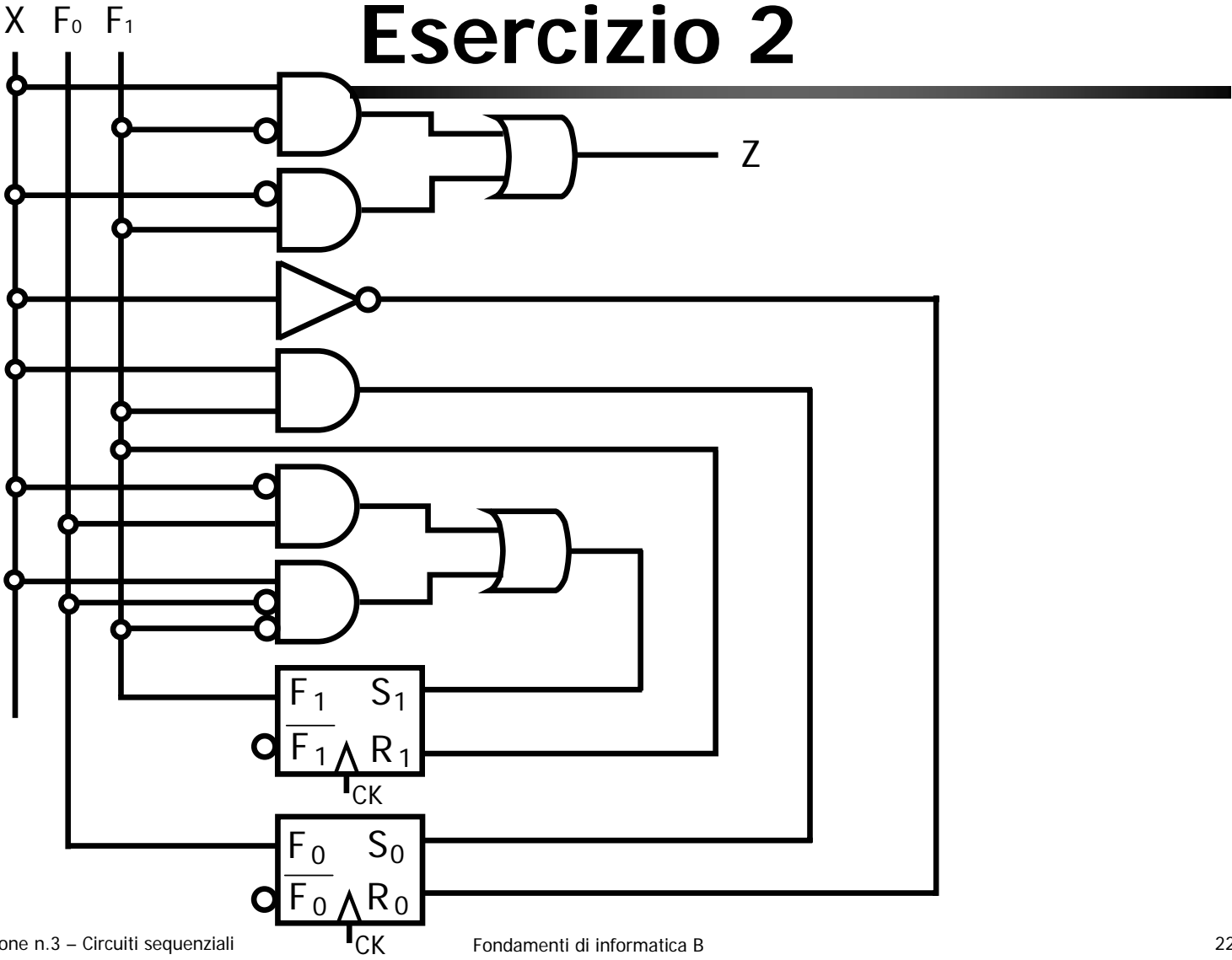
R₁

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	1	0
	11	d	d
	10	0	1

Z

$$S_0 = X F_1 \quad R_0 = \overline{X} \quad S_1 = X \overline{F_0} \overline{F_1} + \overline{X} F_0 \quad R_1 = F_1 \quad Z = X \overline{F_1} + \overline{X} F_1$$

Esercizio 2



Esercizio 3

**Se si fossero utilizzati
FF-T la tabella delle
transizioni sarebbe stata
la seguente**

Transizione	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0
$0 \rightarrow d$	d
$1 \rightarrow d$	d

Esercizio 3

Utilizzando la tabella degli stati e quella delle transizioni possiamo scrivere:

		INGRESSO	
		0	1
STATO	00	00,0	01,1
	01	00,1	10,0
	10	01,0	10,1

Transizione	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0
0 → d	d
1 → d	d

F ₀	F ₁	X	F ₀₊	F ₁₊	T ₀	T ₁	Z
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	0	0	1	1
0	1	1	1	0	1	1	0
1	0	0	0	1	1	1	0
1	0	1	1	0	0	0	1
1	1	0	d	d	d	d	d
1	1	1	d	d	d	d	d

Esercizio 3

Dalla tabella è possibile ricavare le mappe di Karnaugh e cercare la somma di prodotti minima (copertura degli 1)

	<i>X</i>	
	0	1
<i>F₀F₁</i>		
00	0	0
01	0	1
11	d	d
10	1	0

T₀

	<i>X</i>	
	0	1
<i>F₀F₁</i>		
00	0	1
01	1	1
11	d	d
10	1	0

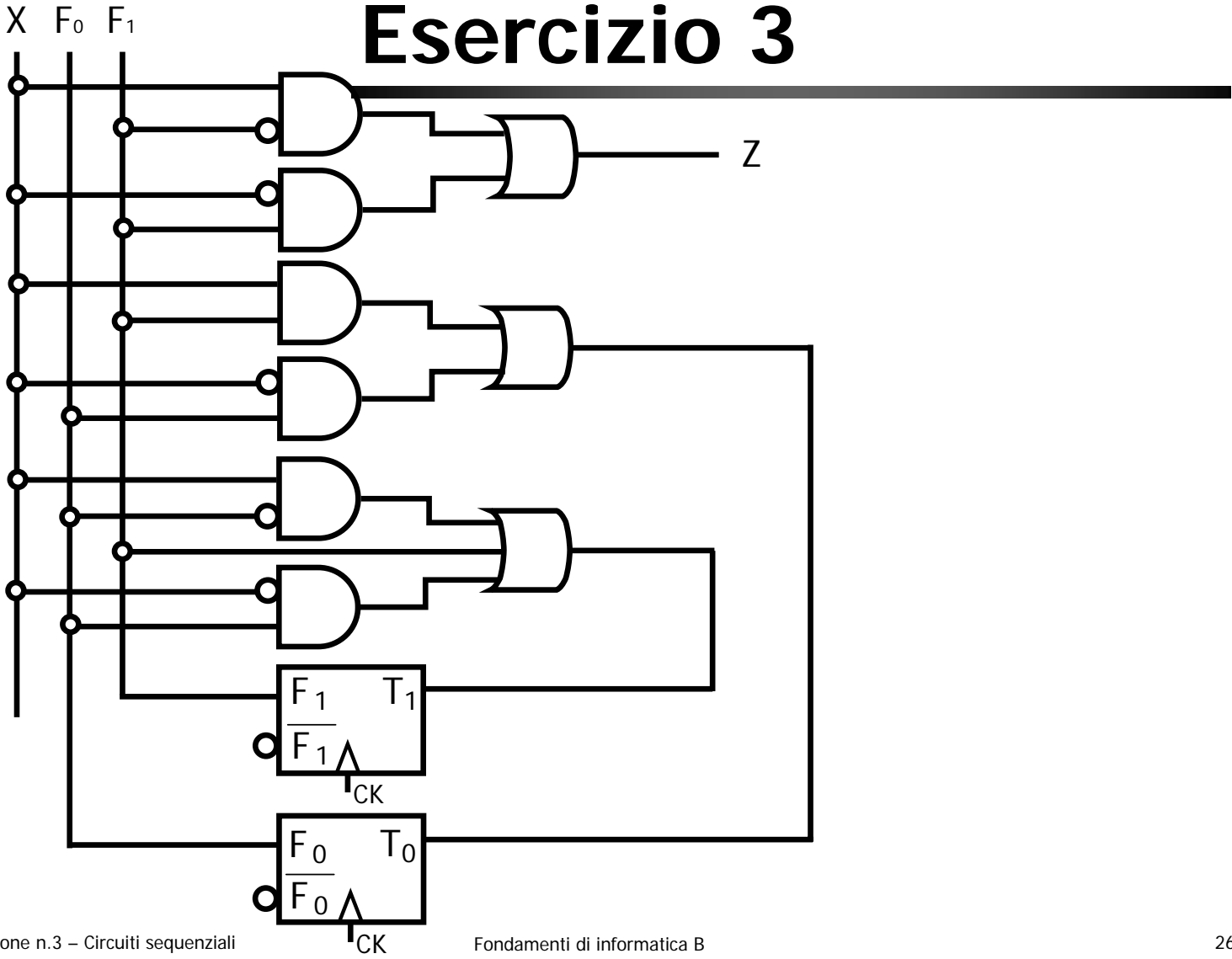
T₁

	<i>X</i>	
	0	1
<i>F₀F₁</i>		
00	0	1
01	1	0
11	d	d
10	0	1

Z

$$T_0 = \overline{X} F_0 + X F_1 \quad T_1 = F_1 + X \overline{F_0} + \overline{X} F_0 \quad Z = X \overline{F_1} + \overline{X} F_1$$

Esercizio 3



Esercizio 4

**Se si fossero utilizzati
FF-D la tabella delle
transizioni sarebbe stata
la seguente**

Transizione	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1
$0 \rightarrow d$	d
$1 \rightarrow d$	d

Esercizio 4

Utilizzando la tabella degli stati e quella delle transizioni possiamo scrivere:

		INGRESSO	
		0	1
STATO	00	00,0	01,1
	01	00,1	10,0
	10	01,0	10,1

Transizione	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1
0 → d	d
1 → d	d

F ₀	F ₁	X	F ₀₊	F ₁₊	D ₀	D ₁	Z
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	0	0	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	0	1	0
1	0	1	1	0	1	0	1
1	1	0	d	d	d	d	d
1	1	1	d	d	d	d	d

Esercizio 4

Dalla tabella è possibile ricavare le mappe di Karnaugh e cercare la somma di prodotti minima (copertura degli 1)

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	0
	01	0	1
	11	d	d
	10	0	1

D₀

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	0	0
	11	d	d
	10	1	0

D₁

		<i>X</i>	
		0	1
<i>F₀F₁</i>	00	0	1
	01	1	0
	11	d	d
	10	0	1

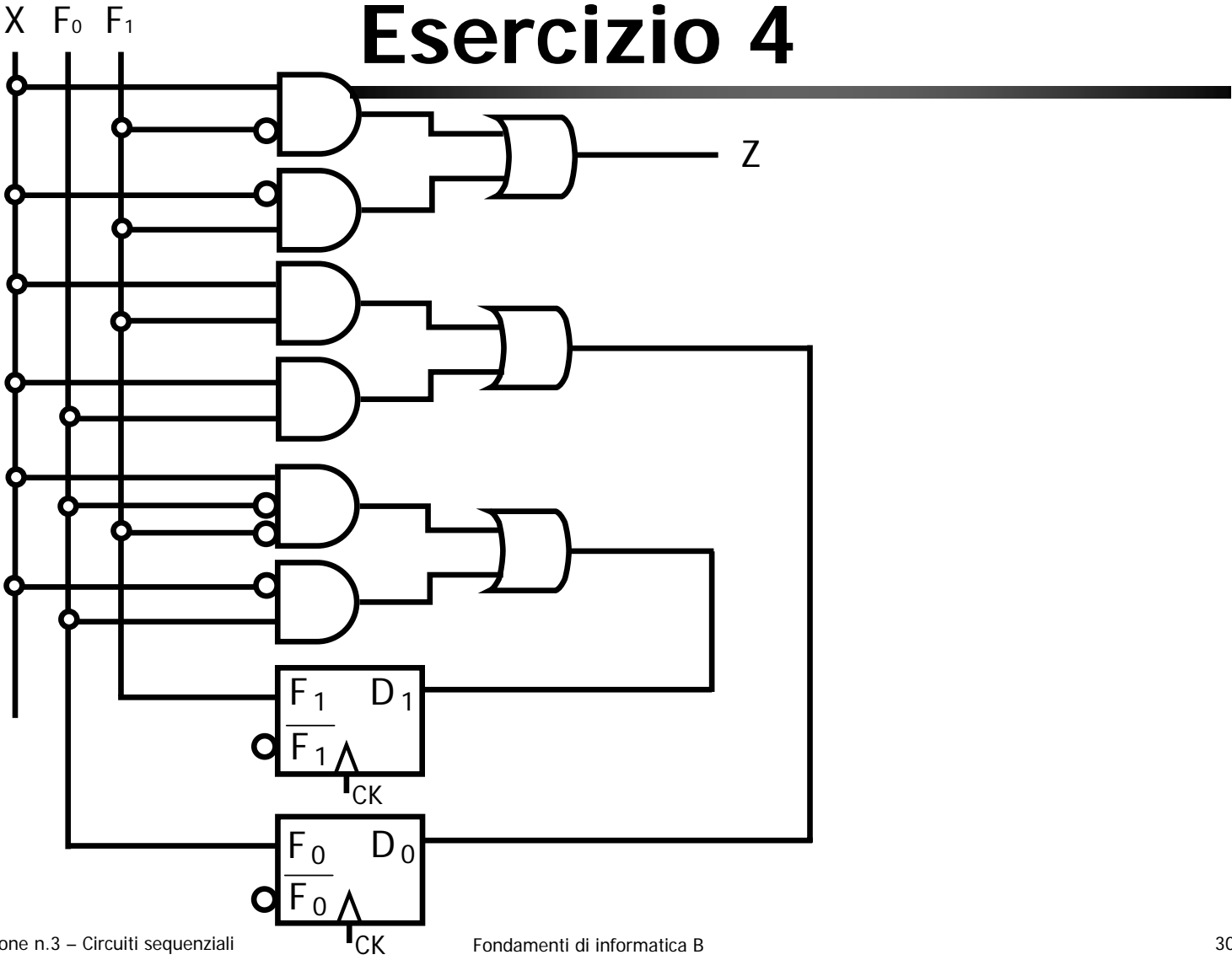
Z

$$D_0 = X F_0 + X F_1$$

$$D_1 = X \overline{F_0} \overline{F_1} + \overline{X} F_0$$

$$Z = X \overline{F_1} + \overline{X} F_1$$

Esercizio 4



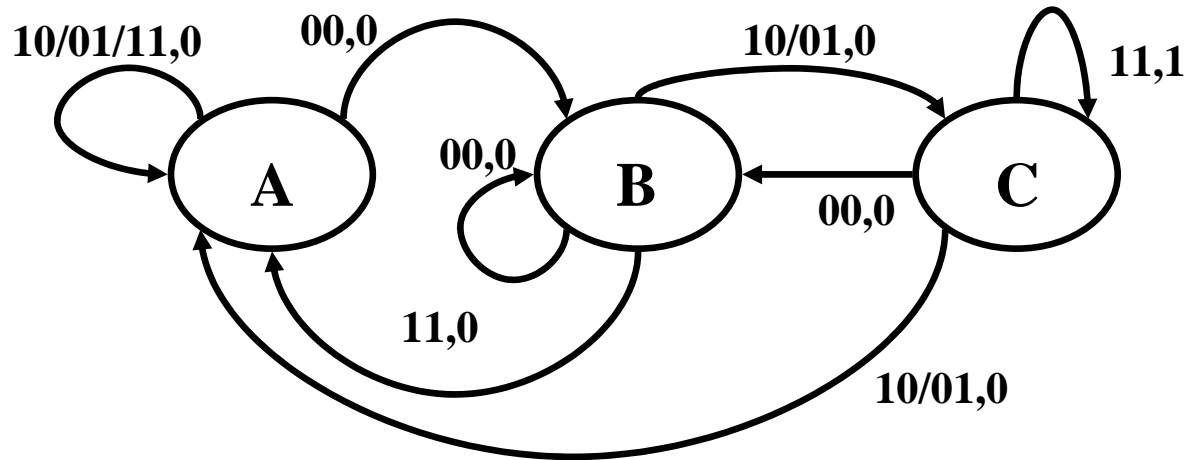
Esercizio 5

- Progettare una rete sequenziale sincrona con il compito di verificare l'andamento di due segnali di ingresso X_1, X_2 . Il segnale di uscita Z avrà valore 1 quando per i due segnali di ingresso si verifica una delle seguenti evoluzioni: $(00, 01, 11)$ oppure $(00, 10, 11)$. L'uscita Z viene mantenuta inalterata fin tanto che permane la configurazione finale (11) .
- Per la realizzazione dell'automa sono sufficienti tre stati.
- Progettare il circuito mediante FF-JK e porte logiche NAND.

Esercizio 5

- In questo caso gli stati sono funzione dell'andamento dei segnali di ingresso negli istanti precedenti, in particolare rappresentano lo stato di completamento delle due sequenze (00,01,11) oppure (00,10,11).
 - A. la sequenza non è ancora iniziata. Si passerà allo stato B quando in ingresso compare 00.
 - B. il primo elemento della sequenza è stato riconosciuto. Si passa a C quando 10 o 01 compaiono agli ingressi.
 - C. il secondo elemento della sequenza è stato riconosciuto. L'uscita va finalmente a 1 quando compare il terzo elemento della sequenza.

Esercizio 5



		INGRESSO			
		00	01	11	10
STATO	A	B,0	A,0	A,0	A,0
	B	B,0	C,0	A,0	C,0
	C	B,0	A,0	C,1	A,0

Esercizio 5

		XY			
		00	01	11	10
F ₀ F ₁	00	01,0	00,0	00,0	00,0
	01	01,0	10,0	00,0	10,0
	10	01,0	00,0	10,1	00,0

Transizione	J	K
0 → 0	0	d
0 → 1	1	d
1 → 0	d	1
1 → 1	d	0
0 → d	d	d
1 → d	d	d

X	Y	F ₀	F ₁	F ₀₊	F ₁₊	J ₀	K ₀	J ₁	K ₁	Z
0	0	0	0	0	1	0	d	1	d	0
0	0	0	1	0	1	0	d	d	0	0
0	0	1	0	0	1	d	1	1	d	0
0	0	1	1	d	d	d	d	d	d	d
0	1	0	0	0	0	0	d	0	d	0
0	1	0	1	1	0	1	d	d	1	0
0	1	1	0	0	0	d	1	0	d	0
0	1	1	1	d	d	d	d	d	d	d
1	0	0	0	0	0	0	d	0	d	0
1	0	0	1	1	0	1	d	d	1	0
1	0	1	0	0	0	d	1	0	d	0
1	0	1	1	d	d	d	d	d	d	d
1	1	0	0	0	0	0	d	0	d	0
1	1	0	1	0	0	0	d	d	1	0
1	1	1	0	1	0	d	0	0	d	1
1	1	1	1	d	d	d	d	d	d	d

Esercizio 5

	<i>XY</i>	00	01	11	10
<i>F₀F₁</i>	00	0	0	0	0
	01	0	1	0	1
	11	d	d	d	d
	10	d	d	d	d

$$J_0 = \overline{X} Y F_1 + X \overline{Y} F_1$$

	<i>XY</i>	00	01	11	10
<i>F₀F₁</i>	00	d	d	d	d
	01	d	d	d	d
	11	d	d	d	d
	10	1	1	0	1

$$K_0 = \overline{X} + \overline{Y}$$

	<i>XY</i>	00	01	11	10
<i>F₀F₁</i>	00	0	0	0	0
	01	0	0	0	0
	11	d	d	d	d
	10	0	0	1	0

$$Z = F_0 X Y$$

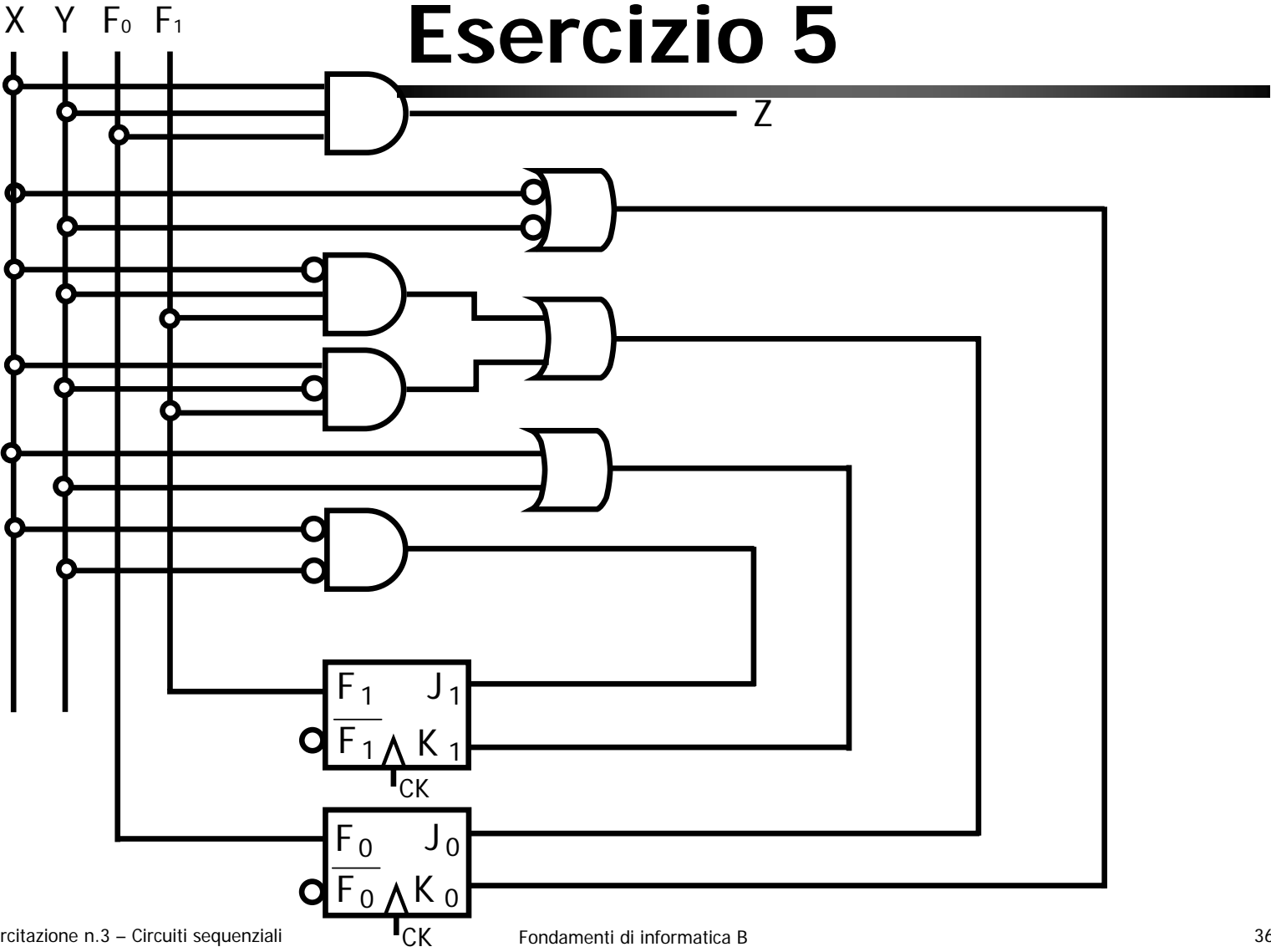
	<i>XY</i>	00	01	11	10
<i>F₀F₁</i>	00	1	0	0	0
	01	d	d	d	d
	11	d	d	d	d
	10	1	0	0	0

$$J_1 = \overline{X} \overline{Y}$$

	<i>XY</i>	00	01	11	10
<i>F₀F₁</i>	00	d	d	d	d
	01	0	1	1	1
	11	d	d	d	d
	10	d	d	d	d

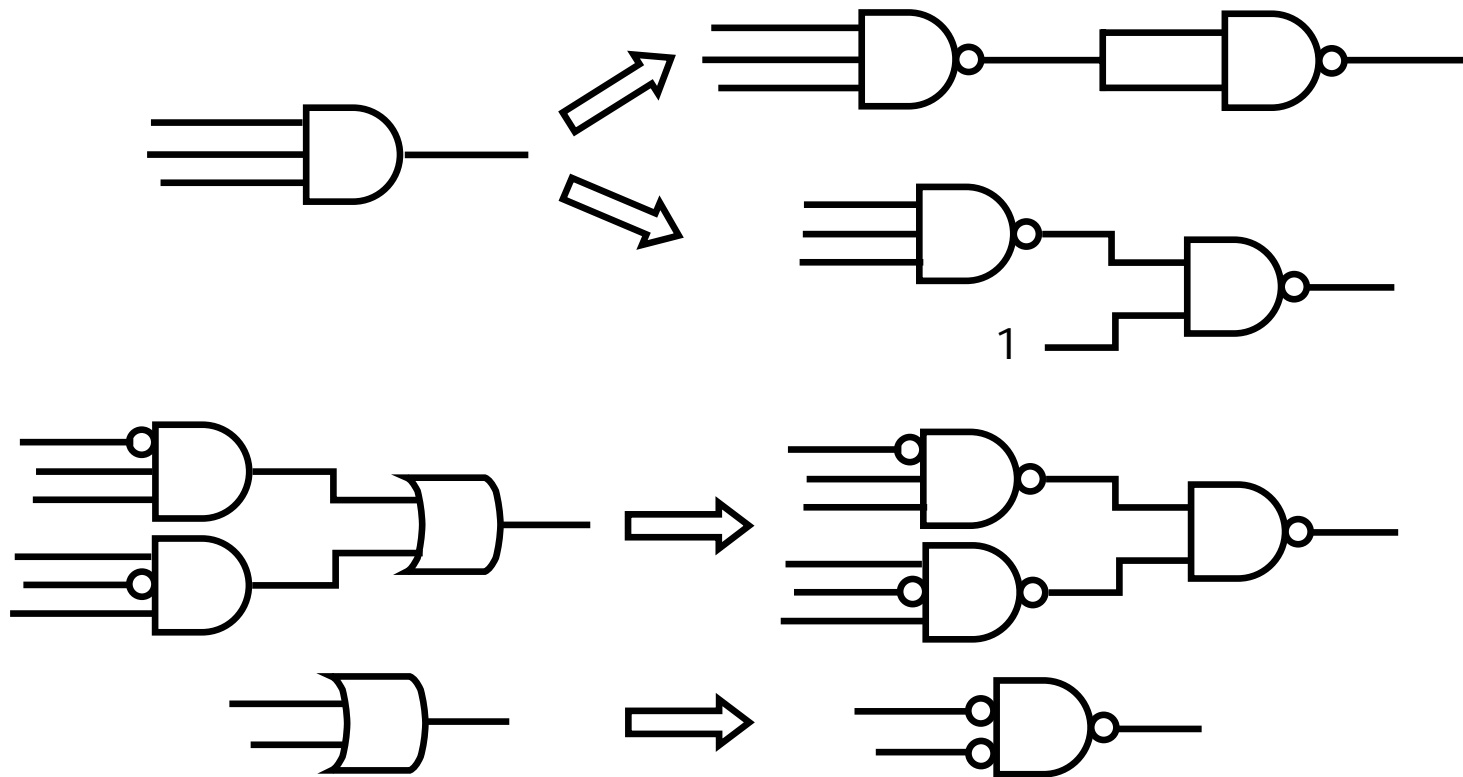
$$K_1 = X + Y$$

Esercizio 5



Esercizio 5

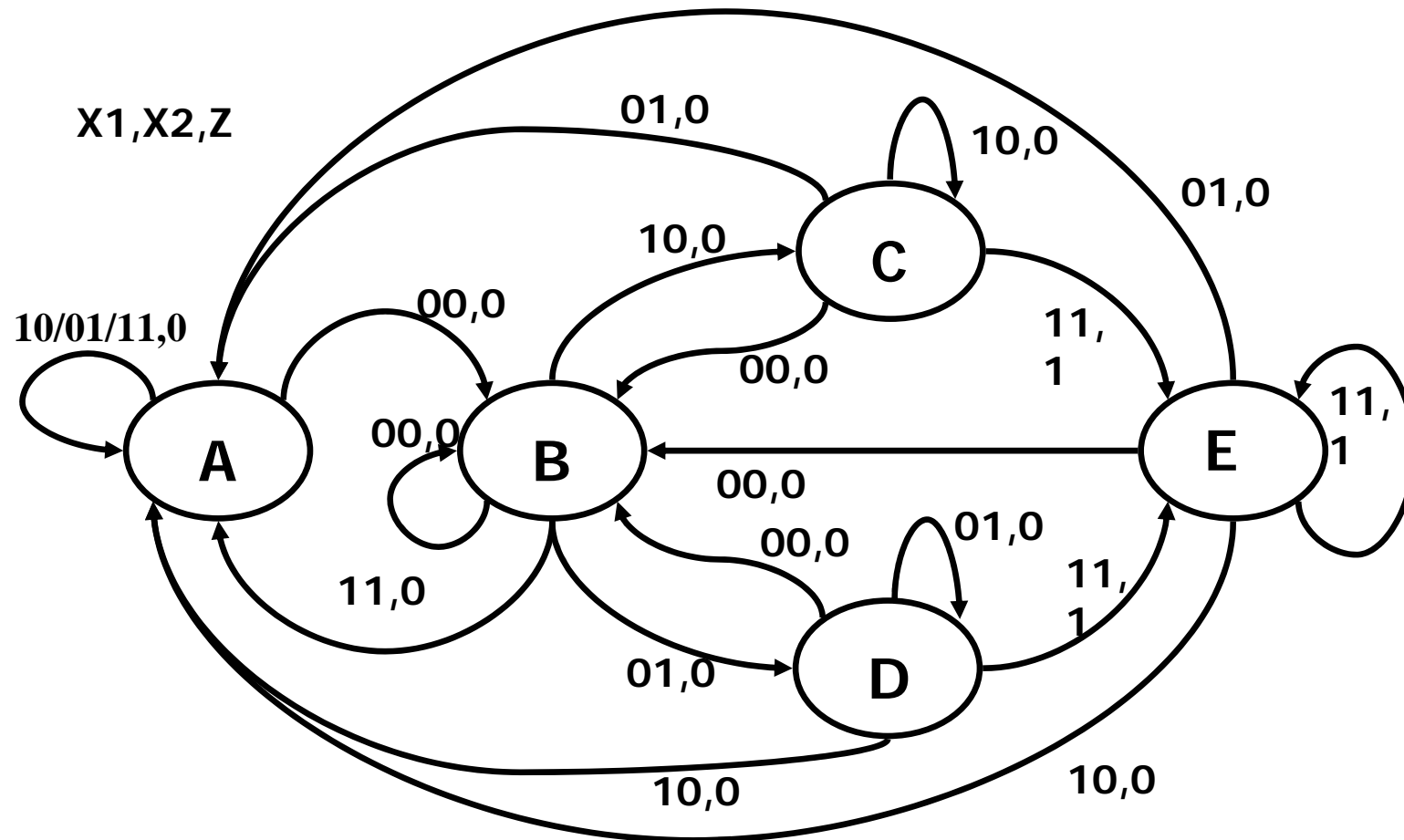
Per trasformare in soli NAND:



Esercizio 6

- **Progettare una rete sequenziale sincrona con il compito di verificare l'andamento di due segnali di ingresso X_1, X_2 . Il segnale di uscita Z avrà valore 1 quando per i due segnali di ingresso si verifica una delle seguenti evoluzioni: $(00,01,11)$ oppure $(00,10,11)$. Ogni passo può anche presentarsi più volte consecutivamente. L'uscita Z viene mantenuta inalterata fin tanto che permane la configurazione finale (11) .**
- **Progettare il circuito mediante FF-JK e porte logiche.**

Esercizio 6



Esercizio 6

La prosecuzione dell'esercizio è estremamente complessa dato il numero di stati che devono essere codificati.

Avendo 3 stati saranno necessari 3 FLIP FLOP e 3 bit per codificare gli stati.

Di norma in sede di esame non saranno proposti esercizi con 3 FLIP FLOP ma si può risolvere questo esercizio per completezza.

Esercizio 6

		INGRESSO			
		00	01	11	10
STATO	A	B,0	A,0	A,0	A,0
	B	B,0	D,0	A,0	C,0
	C	B,0	A,0	E,1	C,0
	D	B,0	D,0	E,1	A,0
	E	B,0	A,0	E,1	A,0

Sostituendo $A = 000$, $B = 001$, $C = 010$, $D = 011$, $E = 100$ otteniamo:

Esercizio 6

		INGRESSO			
		00	01	11	10
STATO	000	001,0	000,0	000,0	000,0
	001	001,0	011,0	000,0	010,0
	010	001,0	000,0	100,1	010,0
	011	001,0	011,0	100,1	000,0
	100	001,0	000,0	100,1	000,0

Ricordando la tabella delle transizioni del FF-JK possiamo ottenere:

Esercizio 6

F ₀	F ₁	F ₂	X	Y	F ₀₊	F ₁₊	F ₂₊	J ₀	K ₀	J ₁	K ₁	J ₂	K ₂	Z
0	0	0	0	0	0	0	1	0	-	0	-	1	-	0
0	0	1	0	0	0	0	1	0	-	0	-	-	0	0
0	1	0	0	0	0	0	1	0	-	-	1	1	-	0
0	1	1	0	0	0	0	1	0	-	-	1	-	0	0
1	0	0	0	0	0	0	1	-	1	0	-	1	-	0
1	0	1	0	0	-	-	-	-	-	-	-	-	-	-
1	1	0	0	0	-	-	-	-	-	-	-	-	-	-
1	1	1	0	0	-	-	-	-	-	-	-	-	-	-
0	0	0	0	1	0	0	0	0	-	0	-	0	-	0
0	0	1	0	1	0	1	1	0	-	1	-	-	0	0
0	1	0	0	1	0	0	0	0	-	-	1	0	-	0
0	1	1	0	1	0	1	1	0	-	-	0	-	0	0
1	0	0	0	1	0	0	0	-	1	0	-	0	-	0
1	0	1	0	1	-	-	-	-	-	-	-	-	-	-
1	1	0	0	1	-	-	-	-	-	-	-	-	-	-
1	1	1	0	1	-	-	-	-	-	-	-	-	-	-

Esercizio 6

F ₀	F ₁	F ₂	X	Y	F ₀₊	F ₁₊	F ₂₊	J ₀	K ₀	J ₁	K ₁	J ₂	K ₂	Z
0	0	0	1	1	0	0	0	0	-	0	-	0	-	0
0	0	1	1	1	0	0	0	0	-	0	-	-	1	0
0	1	0	1	1	1	0	0	1	-	-	1	0	-	1
0	1	1	1	1	1	0	0	1	-	-	1	-	1	1
1	0	0	1	1	1	0	0	-	0	0	-	0	-	1
1	0	1	1	1	-	-	-	-	-	-	-	-	-	-
1	1	0	1	1	-	-	-	-	-	-	-	-	-	-
1	1	1	1	1	-	-	-	-	-	-	-	-	-	-
0	0	0	1	0	0	0	0	0	-	0	-	0	-	0
0	0	1	1	0	0	1	0	0	-	1	-	-	1	0
0	1	0	1	0	0	1	0	0	-	-	0	0	-	0
0	1	1	1	0	0	0	0	0	-	-	1	-	1	0
1	0	0	1	0	0	0	0	-	1	0	-	0	-	0
1	0	1	1	0	-	-	-	-	-	-	-	-	-	-
1	1	0	1	0	-	-	-	-	-	-	-	-	-	-
1	1	1	1	0	-	-	-	-	-	-	-	-	-	-

Esercizio 6

		XY			
	F ₁ F ₂	00	01	11	10
00	0	0	0	0	0
01	0	0	0	0	0
11	0	0	1	0	
10	0	0	1	0	

$F_0=0$

		XY			
	F ₁ F ₂	00	01	11	10
00	0	0	1	0	
01	-	-	-	-	
11	-	-	-	-	
10	-	-	-	-	

$F_0=1$

$$Z = X Y F_1 + X Y F_0$$

Esercizio 6

$F_1F_2 \backslash XY$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	0	0	1	0

$F_0=0$

$F_1F_2 \backslash XY$	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	-	-	-	-
10	-	-	-	-

$F_0=1$

$$J_0 = X \ Y \ F_1$$

Esercizio 6

$F_1F_2 \backslash XY$	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	-	-	-	-
10	-	-	-	-

$F_0=0$

$F_1F_2 \backslash XY$	00	01	11	10
00	1	1	0	1
01	-	-	-	-
11	-	-	-	-
10	-	-	-	-

$F_0=1$

$$K_0 = \overline{X} + \overline{Y}$$

Esercizio 6

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00		0	0	0	0
01		0	1	0	1
11		-	-	-	-
10		-	-	-	-

$F_0=0$

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00		0	0	0	0
01		-	-	-	-
11		-	-	-	-
10		-	-	-	-

$F_0=1$

$$J_1 = X \overline{Y} F_2 + \overline{X} Y F_2$$

Esercizio 6

$F_1F_2 \backslash XY$	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	1	0	1	1
10	1	1	1	0

$F_0=0$

$F_1F_2 \backslash XY$	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	-	-	-	-
10	-	-	-	-

$F_0=1$

$$K_1 = \overline{X} \overline{Y} + X F_2 + Y \overline{F_2}$$

Esercizio 6

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00	1	0	0	0	
01	-	-	-	-	
11	-	-	-	-	
10	1	0	0	0	

$F_0=0$

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00	1	0	0	0	
01	-	-	-	-	
11	-	-	-	-	
10	-	-	-	-	

$F_0=1$

$$J_2 = \overline{X} \overline{Y}$$

Esercizio 6

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00		-	-	-	-
01		0	0	1	1
11		0	0	1	1
10		-	-	-	-

$F_0=0$

		<i>XY</i>			
	<i>F₁F₂</i>	00	01	11	10
00		-	-	-	-
01		-	-	-	-
11		-	-	-	-
10		-	-	-	-

$F_0=1$

$$K_2 = X$$

Esercizio 6

$$Z = X Y F_1 + X \bar{Y} F_0$$

$$J_0 = X Y F_1$$

$$K_0 = \bar{X} + \bar{Y}$$

$$J_1 = X \bar{Y} F_2 + \bar{X} Y F_2$$

$$K_1 = \bar{X} \bar{Y} + X F_2 + Y \bar{F}_2$$

$$J_2 = \bar{X} \bar{Y}$$

$$K_2 = X$$

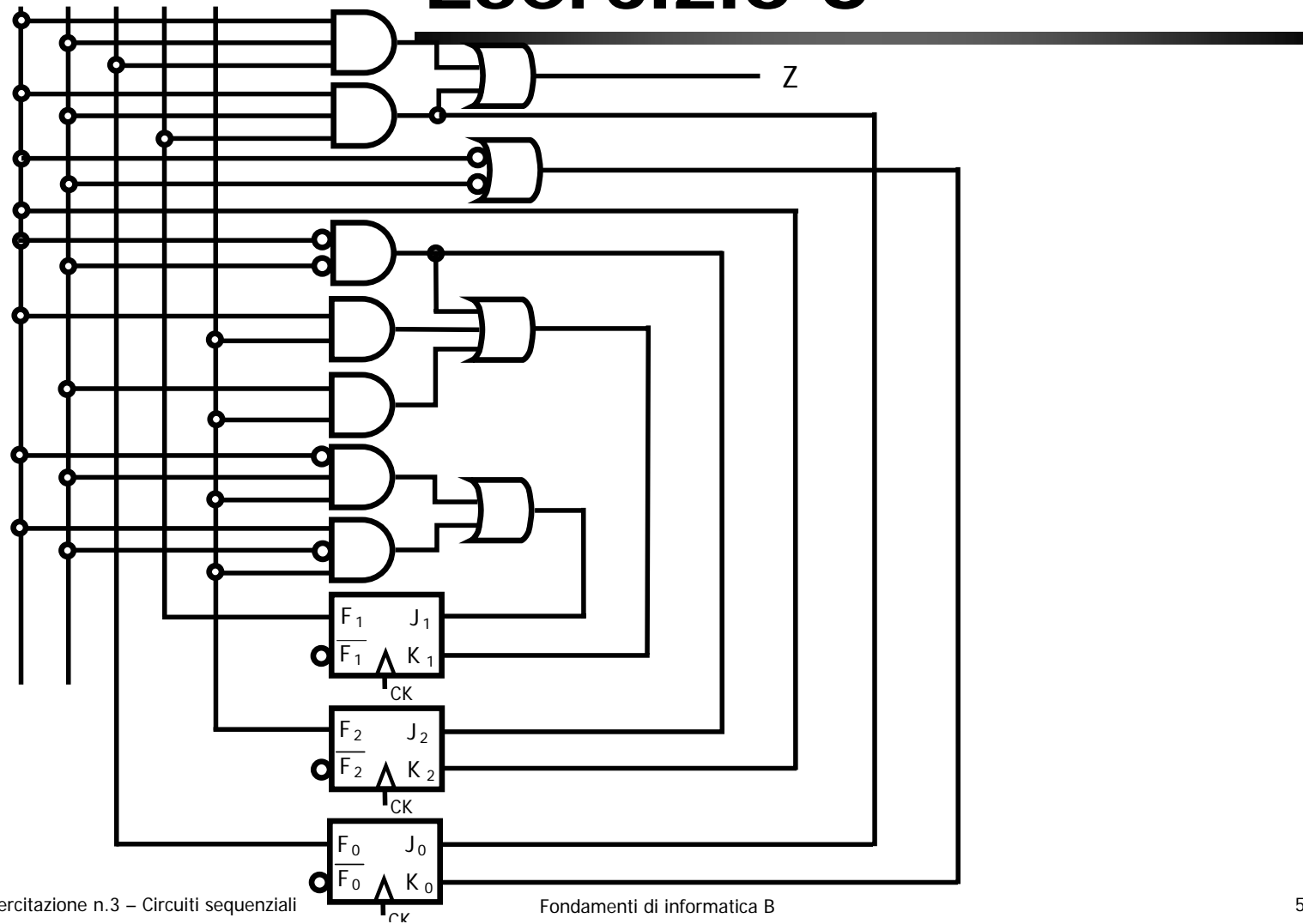
Possiamo diminuire il numero di porte in questo modo:

$$Z = J_0 + X \bar{Y} F_0$$

$$K_1 = J_2 + X F_2 + Y \bar{F}_2$$

X Y F₀ F₁ F₂

Esercizio 6



Esercizio 7

Progettare una rete sequenziale sincrona con un ingresso X e un'uscita Z. L'uscita assume il valore 1 quando l'ingresso X ha assunto lo stesso valore per almeno tre intervalli consecutivi.

Progettare il circuito utilizzando FLIP-FLOP SR.

Esercizio 7

Identifico gli stati:

Stato A: stato in cui non ho ancora avuto né un 1 né uno 0.

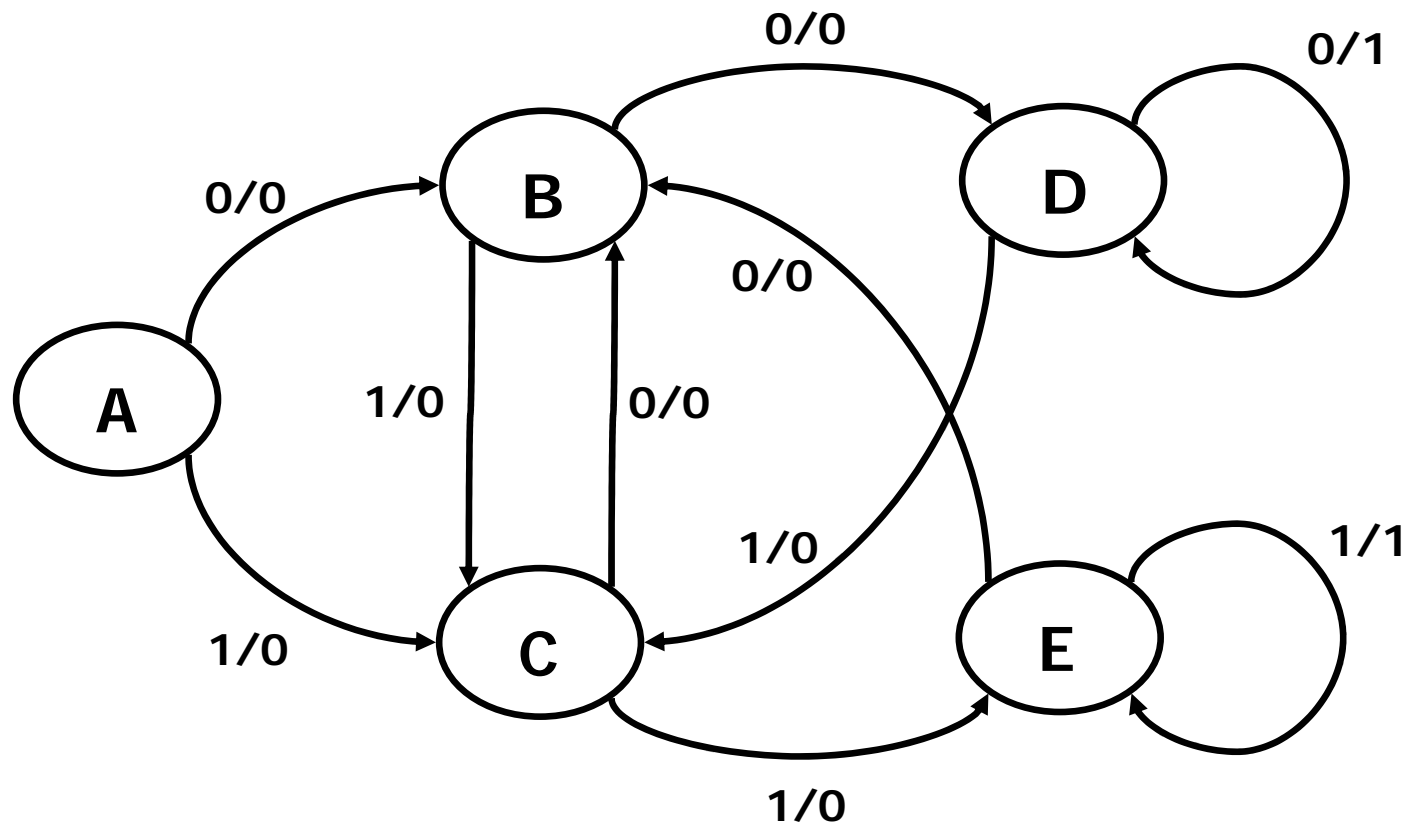
Stato B: stato dove ho avuto il primo 0

Stato C: stato dove ho avuto il primo 1

Stato D: stato dove ho avuto almeno due 0

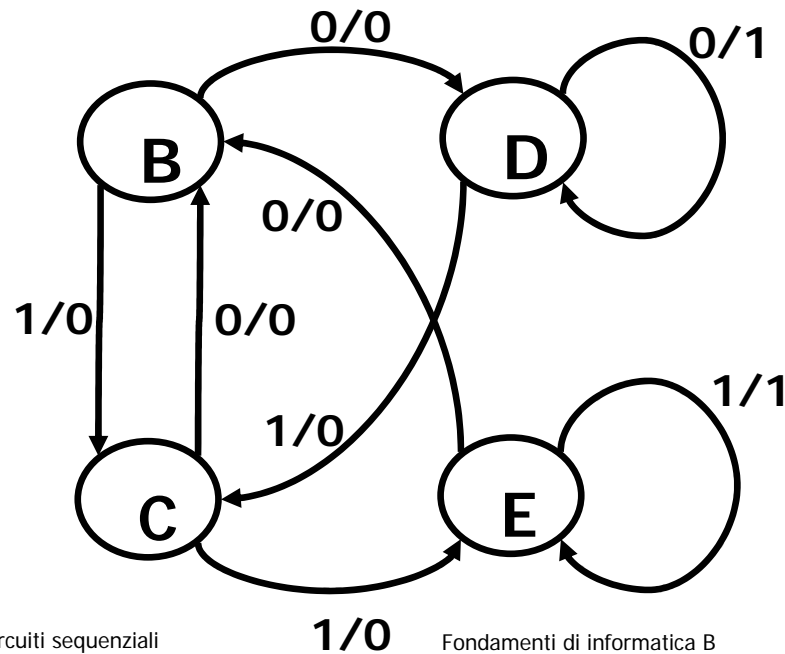
Stato E: stato dove ho avuto almeno due 1

Esercizio 7



Esercizio 7

Si nota che lo stato A non può essere raggiunto dalla macchina a stati (ovvero non ha frecce entranti): serve solo per partire. Supponendo che il sistema si trovi già a regime (perciò dobbiamo avere per forza avuto almeno uno 0 o un 1) è legittimo eliminare lo stato A.



Esercizio 7

Scriviamo la tabella degli stati e quella delle transizioni del FLIP FLOP SR

		INGRESSO	
		0	1
STATO	B 00	10,0	01,0
	C 01	00,0	11,0
	D 10	10,1	01,0
	E 11	00,0	11,1

Transizione	S	R
0 → 0	0	d
0 → 1	1	0
1 → 0	0	1
1 → 1	d	0

Esercizio 7

Otteniamo dunque la tabella completa
e le mappe di Karnaugh

F_0	F_1	X	F_{0+}	F_{1+}	S_0	R_0	S_1	R_1	Z
0	0	0	1	0	1	0	0	d	0
0	0	1	0	1	0	d	1	0	0
0	1	0	0	0	0	d	0	1	0
0	1	1	1	1	1	0	d	0	0
1	0	0	1	0	d	0	0	d	1
1	0	1	0	1	0	1	1	0	0
1	1	0	0	0	0	1	0	1	0
1	1	1	1	1	d	0	d	0	1

$F_0F_1 \backslash X$	0	1
00	1	0
01	0	1
11	0	d
10	d	0

S_0

$F_0F_1 \backslash X$	0	1
00	0	d
01	d	0
11	1	0
10	0	1

R_0

$F_0F_1 \backslash X$	0	1
00	0	0
01	0	0
11	0	1
10	1	0

Z

$F_0F_1 \backslash X$	0	1
00	0	1
01	0	d
11	0	d
10	0	1

S_1

$F_0F_1 \backslash X$	0	1
00	d	0
01	1	0
11	1	0
10	d	0

R_1

Esercizio 7

Dalle coperture otteniamo le funzioni

	X	0	1
F ₀ F ₁			
00		1	0
01		0	1
11		0	d
10		d	0

*S*₀

	X	0	1
F ₀ F ₁			
00		0	d
01		d	0
11		1	0
10		0	1

*R*₀

	X	0	1
F ₀ F ₁			
00		0	1
01		0	d
11		0	1
10		0	d

*S*₁

	X	0	1
F ₀ F ₁			
00		d	0
01		1	0
11		1	0
10		d	0

*R*₁

	X	0	1
F ₀ F ₁			
00		0	0
01		0	0
11		0	1
10		1	0

Z

$$S_0 = \overline{X} \overline{F_1} + X F_1$$

$$R_0 = \overline{X} F_1 + X \overline{F_1}$$

$$S_1 = X$$

$$R_1 = \overline{X}$$

$$Z = X F_0 F_1 + \overline{X} F_0 \overline{F_1}$$

Esercizio 7

